

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-174831

(P2019-174831A)

(43) 公開日 令和1年10月10日(2019.10.10)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343	2H092
<b>GO2F 1/1333 (2006.01)</b>	GO2F 1/1333	2H189
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1333 505	2H190
	GO2F 1/1368	2H192

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2019-105999 (P2019-105999)	(71) 出願人	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22) 出願日	令和1年6月6日 (2019.6.6)	(74) 代理人	110001737 特許業務法人スズエ国際特許事務所
(62) 分割の表示	特願2017-138265 (P2017-138265) の分割	(72) 発明者	木内 一也 東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内
原出願日	平成23年7月4日 (2011.7.4)	(72) 発明者	土井 崇 東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内
		(72) 発明者	二ノ宮 利博 東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内

最終頁に続く

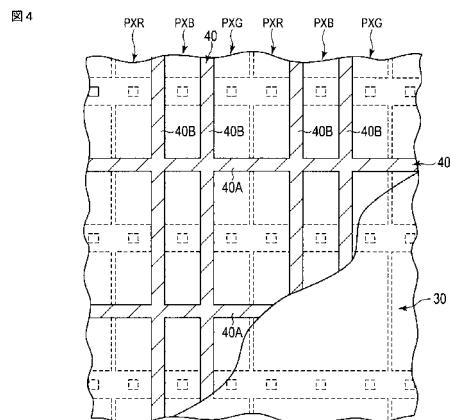
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】表示品位の良好な液晶表示装置を提供する。

【解決手段】一実施形態の液晶表示装置は、第1絵素に配置された3つの色画素と、前記3つの色画素を第1方向に区画する4本の映像信号線と、前記第1絵素に重なり、前記映像信号線と平行な1本のセンサ配線と、を備え、前記3つの色画素は、第1色画素と、第2色画素と、第3色画素であり、前記4本の映像信号線は、第1、第2、第3、第4映像信号線であり、前記第1色画素は前記第1と前記第2映像信号線の間、前記第2色画素は前記第2と前記第3映像信号線の間、前記第3色画素は前記第3と前記第4映像信号線の間にあり、前記センサ配線は、前記第2映像信号線に重なり、前記第1、3、4映像信号線に重ならない、構成である。

【選択図】図4



## 【特許請求の範囲】

## 【請求項 1】

第1絵素に配置された3つの色画素と、  
 前記3つの色画素を第1方向に区画する4本の映像信号線と、  
 前記第1絵素に重なり、前記映像信号線と平行な1本のセンサ配線と、を備え、  
 前記3つの色画素は、第1色画素と、前記第1色画素に隣り合う第2色画素と、前記第2色画素に隣り合う第3色画素であり、  
 前記4本の映像信号線は、第1映像信号線、第2映像信号線、第3映像信号線と第4映像信号線であり、

前記第1色画素は前記第1映像信号線と前記第2映像信号線の間にあり、  
 前記第2色画素は前記第2映像信号線と前記第3映像信号線の間にあり、  
 前記第3色画素は前記第3映像信号線と前記第4映像信号線の間にあり、  
 前記センサ配線は、前記第2映像信号線に重なり、前記第1, 3, 4映像信号線に重ならない、

液晶表示装置。

## 【請求項 2】

第1絵素に配置された3つの色画素と、  
 前記3つの色画素を第1方向に区画する4本の映像信号線と、  
 前記第1絵素に重なり、前記映像信号線と平行な1本のセンサ配線と、を備え、  
 前記3つの色画素は、第1色画素と、前記第1色画素に隣り合う第2色画素と、前記第2色画素に隣り合う第3色画素であり  
 前記4本の映像信号線は、第1映像信号線、第2映像信号線、第3映像信号線と第4映像信号線であり、

前記第1色画素は前記第1映像信号線と前記第2映像信号線の間にあり、  
 前記第2色画素は前記第2映像信号線と前記第3映像信号線の間にあり、  
 前記第3色画素は前記第3映像信号線と前記第4映像信号線の間にあり、  
 前記センサ配線は、前記第3映像信号線に重なり、前記第1, 2, 4映像信号線に重ならない、

液晶表示装置。

## 【請求項 3】

前記第1色画素は、赤色を表示し、  
 前記第2色画素は、青色を表示し、  
 前記第3色画素は、緑色を表示する、  
 請求項1または請求項2に記載の液晶表示装置。

## 【請求項 4】

前記第1絵素は、前記第1色画素の第1画素電極と、前記第2色画素の第2画素電極と、  
 前記第3色画素の第3画素電極と、前記第1, 2, 3画素電極に重なる第1共通電極と、  
 を有し、  
 前記第1共通電極は前記第1絵素において島状に形成されている、  
 請求項1ないし請求項3のいずれか1項に記載の液晶表示装置。

## 【請求項 5】

さらに、前記第1絵素に前記第1方向に隣り合う第2絵素を備え、  
 前記第2絵素は、前記第1共通電極と前記第1方向に隣り合う島状の第2共通電極と、  
 を有し、  
 前記第1共通電極と前記第2共通電極とはそれぞれ離間されており、  
 前記離間された位置に、前記第4映像信号線が重なる、  
 請求項4に記載の液晶表示装置。

## 【請求項 6】

さらに、配向膜と、絶縁膜と、平坦化膜と、を備え、

10

20

30

40

50

前記 4 本の映像信号線と前記センサ配線は平坦化膜によって絶縁されており、前記第 1 共通電極、前記第 2 共通電極及び前記センサ配線は前記平坦化膜と前記絶縁膜とに挟まれ、

前記第 1、2、3 画素電極は、前記絶縁膜と前記配向膜に挟まれている、請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、各種分野に適用されている。このような液晶表示装置は、一対の基板間に液晶層を保持した構成であり、画素電極と共通電極との間の電界によって液晶層を通過する光に対する変調率を制御し、画像を表示するものである。

【0003】

液晶表示装置は、一対の基板の基板面と略直交する方向の縦電界を液晶層に印加して液晶の配向状態を制御する方式と、一対の基板の基板面と略平行な方向の横電界（フリンジ電界も含む）を液晶層に印加して液晶の配向状態を制御する方式とが知られている。

【0004】

横電界を利用した液晶表示装置は、広視野角化の観点から特に注目されている。In-Plane Switching (IPS) モードや、Fringe Field Switching (FFS) モードなどの横電界方式の液晶表示装置は、アレイ基板に形成された画素電極と共通電極とを備え、アレイ基板の正面に対してほぼ平行な横電界で液晶分子をスイッチングするように構成されている。

【0005】

また、表示部にユーザの指やペン先が接触したことを検出する接触センサを有する液晶表示装置が提案されている。接触センサは液晶表示装置の表示部にさらにセンサ電極を有するセンサ基板を重ねて形成される場合や、液晶表示装置の一対の基板の一方にセンサ電極が一体に形成される場合がある。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2010-231773 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

一対の基板の液晶層と接触する表面には配向膜が配置されている。配向膜の表面はラビング処理や光配向処理等の配向処理が成されている。配向膜の配向処理方向により液晶層に含まれる液晶分子の初期配向方向が規定される。

【0008】

一方の基板に複数の導電層および絶縁層を重ねて配置する場合、基板の表面には導電層や絶縁層のパターン端部に沿って段差が生じる。この段差に配置された配向膜は配向処理が成されず、段差近傍の液晶層に非配向領域が生じることがあった。非配向領域は液晶分子が所望の配向方位に制御されない領域であって、非配向領域で光抜けが生じるとコントラストが低下して表示品位が低下することがあった。

【0009】

本発明は上記事情を鑑みて成されたものであって、表示品位の良好な液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

10

20

30

40

50

## 【0010】

一実施形態の液晶表示装置は、第1絵素に配置された3つの色画素と、前記3つの色画素を第1方向に区画する4本の映像信号線と、前記第1絵素に重なり、前記映像信号線と平行な1本のセンサ配線と、を備え、前記3つの色画素は、第1色画素と、第2色画素と、第3色画素であり、前記4本の映像信号線は、第1、第2、第3、第4映像信号線であり、前記第1色画素は前記第1と前記第2映像信号線の間、前記第2色画素は前記第2と前記第3映像信号線の間、前記第3色画素は前記第3と前記第4映像信号線の間にあり、前記センサ配線は、前記第2映像信号線に重なり、前記第1、3、4映像信号線に重ならない、構成である。

## 【図面の簡単な説明】

10

## 【0011】

【図1】実施形態の液晶表示装置の一構成例を説明するための斜視図である。

【図2】図1に示す液晶表示装置の線I-I - I-Iにおける断面の一例を示す図である。

【図3】図1に示す液晶表示装置の表示領域の一構成例を説明するための平面図である。

【図4】図1に示す液晶表示装置の表示領域に配置されたセンサ電極の一構成例を説明するための平面図である。

【図5】アレイ基板のセンサ電極の第2センサ近傍における走査線と略平行な方向における断面の一例を示す図である。

【図6】比較例の液晶表示装置の表示領域の一構成例を説明するための平面図である。

20

## 【発明を実施するための形態】

## 【0012】

以下、実施形態の液晶表示装置について、図面を参照して説明する。

図1に、本実施形態の液晶表示装置の一例を概略的に示す。液晶表示装置は、アレイ基板110とアレイ基板110と所定の間隙をおいて対向配置された対向基板120と、アレイ基板110と対向基板120との間に挟持された液晶層70(図2に示す)と、マトリクス状に配置された表示画素PXを含む表示領域25と、を備える液晶表示パネルと、液晶表示パネルを背面側から照明するバックライトユニット130と、を備えている。

## 【0013】

図2に、図1に示す液晶表示パネルのI-I - I-Iにおける断面の一例を示す。本実施形態の液晶表示装置は、横電界を利用して液晶層の配向状態を制御するFFSモードの液晶表示装置である。

30

## 【0014】

アレイ基板110は、ガラス等の透明絶縁性基板10と、透明絶縁性基板10上に配置された画素駆動配線と、スイッチング素子14と、絶縁膜L1、50と、平坦化膜20と、共通電極(第1電極)30と、センサ電極(第2電極)40と、画素電極(第3電極)60と、図示しない配向膜と、駆動回路と、を備えている。画素駆動配線は、複数の表示画素PXが配列する行に沿って延びる走査線11と、複数の表示画素PXが配列する列に沿って延びる信号線12と、を備えている。

## 【0015】

駆動回路は、表示領域25の周囲を囲む額縁領域に配置された複数の走査線11を駆動する走査線駆動回路YDと、複数の信号線12を駆動する信号線駆動回路XDと、を備えている。

40

## 【0016】

走査線駆動回路YDは走査線11が延びる方向における表示領域25の両脇に配置され、走査線駆動回路YDには表示領域25から延びる複数の走査線11が電気的に接続されている。信号線駆動回路XDには表示領域25から延びる複数の信号線12が電気的に接続されている。

## 【0017】

アレイ基板110の端部には図示しないフレキシブル基板が接続され、走査線駆動回路YDおよび信号線駆動回路XDには、フレキシブル基板を介して図示しない信号源から制

50

御信号および映像信号が供給される。

【0018】

走査線11は、表示領域25においてマトリクス状に配置された表示画素PXの行に沿って延びている。信号線12は、表示領域25においてマトリクス状に配置された表示画素PXの列に沿って延びている。

【0019】

スイッチング素子14は、走査線11と信号線12とが交差する位置近傍に配置されている。スイッチング素子14は、透明絶縁性基板10上に配置された図示しないアンダーコート層上に配置され、アモルファスシリコンあるいはポリシリコンの半導体層SCと、ゲート電極14bと、ソース電極14aと、ドレイン電極14cと、を含む薄膜トランジスタを備えている。

【0020】

スイッチング素子14の半導体層SCの上層にはゲート絶縁膜が配置され、ゲート絶縁膜上にスイッチング素子14のゲート電極14bが配置されている。スイッチング素子14のソース電極14aとドレイン電極14cとは絶縁膜L1に設けられたコンタクトホールにおいて半導体層SCと接続されている。

【0021】

スイッチング素子14のゲート電極14bは、対応する走査線11と電気的に接続されている（あるいは一体に形成されている）。スイッチング素子14のソース電極14aは、対応する信号線12と電気的に接続されている（あるいは一体に形成されている）。スイッチング素子のドレイン電極14cは、後述するコンタクトホール21、51において対応する画素電極60と電気的に接続されている。

【0022】

走査線駆動回路YDにより走査線11が駆動されてスイッチング素子14のゲート電極14bに電圧が印加されると、ソース電極14aとドレイン電極14cとの間が導通し、スイッチング素子14が一定期間オン状態となる。スイッチング素子14がオン状態である間に、信号線12からスイッチング素子14を介して画素電極60へ映像信号が供給される。

【0023】

スイッチング素子14上には平坦化膜20が配置されている。本実施形態では、平坦化膜20は透明有機絶縁膜であって、平坦化膜20の膜厚は略3μmである。平坦化膜20は、コンタクトホール21を除いて表示領域25の全体に渡って配置されている。スイッチング素子14のドレイン電極14c上の平坦化膜20には、後述する画素電極60と電気的接続を取るためのコンタクトホール21が設けられている。平坦化膜20上には共通電極30が配置されている。

【0024】

図3に、アレイ基板110の表示領域25の構成の一例を示す。なお、図3では、画素電極60とセンサ電極40とを一部省略して共通電極30の形状を示している。

カラー表示タイプの液晶表示装置である場合、複数の表示画素PXは複数種類の色画素を含んでいる。本実施形態では、複数の表示画素PXは、赤色を表示する赤色表示画素PX Rと、緑色を表示する緑色表示画素PX Gと、青色を表示する青色表示画素PX Bと、含んでいる。赤色表示画素PX Rと緑色表示画素PX Gと青色表示画素PX Bとの3種類の色画素により、1絵素が構成されている。表示領域25には赤色表示画素PX Rと、緑色表示画素PX Gと、青色表示画素PX Bと、が走査線11の延びる方向に周期的に並んで配置され、信号線12が延びる方向には同種類の色画素が並んで配置されている。

【0025】

共通電極30は例えばITO(indium tin oxide)やIZO(indium zinc oxide)等の透明電極材料により形成されている。表示領域25の端部に配置された共通電極30は額縁領域へ延びて配置され、例えば外部の信号源からフレキシブル基板を介して共通電圧が印加されている。

10

20

30

40

50

## 【0026】

共通電極30は後述のセンサ電極40との重ね合せ精度を考慮した同じパターンも盛り込み形成する。すなわち、共通電極30は複数の画素電極60と対向するように配置されている。共通電極30は、1絵素に配置された3つの画素電極60と対向するように配置されている。

## 【0027】

また、コンタクトホール21には共通電極30と同じ材料で形成された接続電極31が配置されている。スイッチング素子14のドレイン電極14cと接続電極31とはコンタクトホール21において電気的に接続している。

## 【0028】

図4に、センサ電極40の一構成例を説明するための平面図を示す。なお、図4には共通電極30および接続電極31のパターン形状を破線で記載している。共通電極30上にはセンサ電極40が配置されている。

## 【0029】

センサ電極40は、例えばアルミニウムとモリブデンとの多層電極である。センサ電極40のモリブデン層の厚さは10nm以上50nm以下であって、アルミニウム層の厚さは100nm以上400nm以下であることが望ましい。センサ電極40は2つのモリブデン層と、これらのモリブデン層の間に配置されたアルミニウム層とを備え、厚さは120nm以上500nm以下である。

## 【0030】

センサ電極40は走査線11が延びる方向と略平行に延びた第1センサ40Aと信号線12が延びる方向と略平行に延びた第2センサ40Bとを含む格子状に配置され、複数の共通電極30を電気的に接続している。本実施形態では、走査線11が延びる方向の第2センサの幅および信号線12が延びる方向の第1センサの幅は略5μmである。センサ電極40は、表示領域25において共通電極30上の段差のない平坦な部分に配置されることが望ましい。

## 【0031】

第2センサ40Bは、表示領域25において走査線11の延びる方向に周期的に並んで配置された赤色表示画素PXRと、緑色表示画素PXGと、青色表示画素PXBとの所定の色画素間において、信号線12の上層に配置されている。本実施形態では、第2センサ40Bは、赤色表示画素PXRと青色表示画素PXBとの間、青色表示画素PXBと緑色表示画素PXGとの間に配置されている。

## 【0032】

センサ電極40は表示領域25から額縁領域へ延びて配置され、例えば外部に設けられた図示しない感知回路と電気的に接続されている。本実施形態の液晶表示装置で接触位置を検出する場合、感知回路はセンサ電極40へ所定波形の信号を供給する。ユーザの指先やペン先とセンサ電極40と距離に応じて、指先等とセンサ電極40との間に生じる容量の大きさが変化する。感知回路は、指先等とセンサ電極40との間の容量の変化によるセンサ電極40の電位の変化を、センサ電極40から出力された信号の出力波形から検出して、ユーザの指先やペン先等が接触した位置に対応するセンサ電極40の座標位置を検出する。

## 【0033】

センサ電極40上には絶縁膜50が配置されている。絶縁膜50は、画素電極60と接続電極31とを電気的に接続するためのコンタクトホール51を備えている。

## 【0034】

絶縁膜50上には画素電極60が配置され、コンタクトホール51において接続電極31と電気的に接続している。画素電極60は、例えばITOやIZO等の透明電極材料により形成されている。画素電極60の上層には図示しない配向膜が配置されている。

## 【0035】

図3に示すように、画素電極60は、互いに略平行に延びたスリット60Sを備えてい

10

20

30

40

50

る。本実施形態では、複数のスリット 60S は信号線 12 が延びる方向と略平行に延びている。

【0036】

画素電極 60 と共に電極 30 との間、あるいは、画素電極 60 の端部とセンサ電極 40 との間に生じる電界により液晶層 70 の配向状態が制御される。画素電極 60 にスリット 60S を設けることにより、表示画素 PX の中央部分においても画素電極 60 と共に電極 30 との間に電界が生じて、液晶層 70 の配向状態を制御することが可能となる。

【0037】

対向基板 120 は、ガラス等の透明絶縁性基板 28 と、透明樹脂平坦化膜 29 と、複数の着色層と、図示しない配向膜とを備えている。

10

【0038】

複数の着色層は、有機絶縁膜である赤 (R)、緑 (G)、青 (B) のうちのいずれかのレジストによって着色された第 1 着色層 24a、第 2 着色層 24b、第 3 着色層 24c と、黒色の第 4 着色層 27a、第 5 着色層 27b と、を備えている。

【0039】

赤色の第 1 着色層 24a は赤色表示画素 PX R に配置され、緑色の第 2 着色層 24b は緑色表示画素 PX G に配置され、青色の第 3 着色層 24c は青色表示画素 PX B に配置されている。第 4 着色層 27a は表示領域 25 を囲むように配置され、額縁領域における光抜けを防止する遮光層である。第 5 着色層 27b は、アレイ基板 110 の走査線 11 および信号線 12 と対向する位置に格子状に配置され、表示画素 PX 間における光抜けを防止する遮光層である。

20

【0040】

アレイ基板 110 の画素電極 60 上および、対向基板 120 の透明樹脂平坦化膜 29 上には配向膜が配置されている。配向膜の表面はラビング処理や光学配向処理等の配向処理が成されている。

【0041】

アレイ基板 110 と対向基板 120 とは、互いの配向膜が対向するように配置されシール剤 26 により固定される。アレイ基板 110 と対向基板 120 との間には、柱状スペーサ 22 が配置されている。柱状スペーサ 22 によりアレイ基板 110 と対向基板 120 との距離は一定に保持される。本実施形態では、柱状スペーサ 22 の高さは 2 μm 以上 6 μm 以下で任意に制御している。

30

【0042】

液晶層 70 は、アレイ基板 110、対向基板 120、およびシール剤 26 により囲まれた領域に配置されている。

【0043】

アレイ基板 110 および対向基板 120 の液晶層 70 側と反対に位置する面には図示しない偏光板が夫々配設されている。

【0044】

続いて、本実施形態の液晶表示装置の製造方法の一例について説明する。

まず、アレイ基板 110 を形成する方法について説明する。複数のアレイ基板 110 を切り出す第 1 透明絶縁性基板上に成膜とパターンニングとを繰り返してスイッチング素子 14、走査線 11、信号線 12、絶縁膜 L1、および、アレイ基板 110 上の他のスイッチング素子や各種配線を形成する。

40

【0045】

続いて、露光レジストを塗布、露光、現像して平坦化膜 20 を形成する。このとき、露光レジストは表示領域 25 および額縁領域の全面に塗布される。本実施形態では露光レジストは光硬化性のものを採用し、露光マスクを介してフォトレジストを露光し、現像してコンタクトホール 21 を有する所定パターンの平坦化膜 20 となるように形成する。

【0046】

平坦化膜 20 の上に ITO 等の透明電極材料を成膜し、透明電極材料上にさらに露光レ

50

ジストを塗布する。露光レジストを露光および現像して接続電極 3 1 および共通電極 3 0 の所定のパターンにパターンニングする。続いて、エッチングにより透明電極材料をパターンニングして、露光レジストを剥離して所定パターンの共通電極 3 0 を形成する。

【0047】

続いて、共通電極 3 0 の上層に、モリブデンの成膜、アルミニウムの成膜、さらにモリブデンの成膜を行い、これら多層の金属層のパターンニングを行う。共通電極 3 0 上に配置されたアルミニウムとモリブデンと積層された電極パターンを複数のグループに分けて形成し、センサ電極 4 0 を形成する。

【0048】

続いて、センサ電極 4 0 上に露光レジストを塗布、露光、現像してコンタクトホール 5 1 を有する絶縁膜 5 0 を形成する。続いて、絶縁膜 5 0 上にITO等の透明電極材料を成膜し、スリット 6 0 S を備える所定のパターンにパターンニングして画素電極 6 0 を形成する。その後、画素電極 6 0 上のアレイ基板 1 1 0 表面には所定方向にラビング処理や光学配向処理等の配向処理を施した配向膜 8 0 を形成する。

10

【0049】

図 5 に、センサ電極 4 0 の第 2 センサ 4 0 B 近傍のアレイ基板 1 1 0 の、第 2 センサ 4 0 B が延びる方向と略直交する方向における断面の一例を示す。アレイ基板 1 1 0 の表面には、下層に配置された導電層や絶縁層のパターン端部に沿って凹凸が生じている。特に平坦化膜 2 0 の上層に配置されている共通電極 3 0 、センサ電極 4 0 、および画素電極 6 0 のパターン端部の上層に凹凸が生じやすい。さらに、センサ電極 4 0 は複数の導電層から形成されるため他の導電層よりも比較的厚く、センサ電極 4 0 のパターン端部上には他の部分よりも大きな段差が生じやすい。そのため、センサ電極 4 0 のパターン端部上に配置された配向膜 8 0 の配向処理が適切に行われないことがある。

20

【0050】

例えば、配向膜 8 0 をラビング処理する場合には、段差部分に配置された配向膜 8 0 上をラビング布で刷り上げ又は刷り下げる際に、配向膜 8 0 にラビング布が十分に接触せずラビング処理が施されない部分 A が生じる。この配向膜 8 0 のラビング処理が施されない部分 A の近傍には、液晶分子の初期配向方向が規定されず液晶分子の配向状態を制御することができない非配向領域が発生する場合がある。例えば、センサ電極 4 0 が延びる方向と配向処理方向が略 90 度であると非配向領域が生じやすくなり、センサ電極 4 0 が延びる方向と配向処理方向が略 40 度であると非配向領域が生じにくくなる。

30

【0051】

この非配向領域で光抜けが発生すると、非配向領域近傍の表示画素 P X の端部が明るくなり、表示画像のコントラストが低下して表示品位が低下する原因となる。ここで、図 6 に示すように赤色表示画素 P X R と緑色表示画素 P X G との間、緑色表示画素 P X G と青色表示画素 P X B との間、および、青色表示画素 P X B と赤色表示画素 P X R との間に第 2 センサ 4 0 B を配置すると、非配向領域における光抜けに起因するコントラストの低下は緑色表示画素 P X G 、赤色表示画素 P X R 、青色表示画素 P X B の順に顕著に視認された。

40

【0052】

そこで、本実施形態では、赤色表示画素 P X R と青色表示画素 P X B との間、青色表示画素 P X B と緑色表示画素 P X G との間にセンサ電極 4 0 の第 2 センサ 4 0 B を配置し、赤色表示画素 P X R と緑色表示画素 P X G との間には第 2 センサ 4 0 B を配置していない。このことにより、緑色表示画素 P X G および赤色表示画素 P X R において光抜けが生じてコントラストが低下することが抑制され、表示品位の良好な液晶表示装置を提供することができる。

【0053】

なお、本実施形態では、赤色表示画素 P X R と青色表示画素 P X B との間、青色表示画素 P X B と緑色表示画素 P X G との間にセンサ電極 4 0 の第 2 センサ 4 0 B を配置しているが、第 2 センサ 4 0 B は赤色表示画素 P X R と青色表示画素 P X B との間にのみ第 2 セ

50

ンサ40Bが配置されてもよく、青色表示画素PXBと緑色表示画素PXGとの間にのみ第2センサ40Bが配置されてもよい。

【0054】

赤色表示画素PXRと青色表示画素PXBとの間にのみ第2センサ40Bを配置すると、最もコントラストの低下が顕著である緑色表示画素PXGにおけるコントラストの低下をさらに抑制することが可能となりより表示品位の良好な液晶表示装置を提供することが可能である。

【0055】

青色表示画素PXBと緑色表示画素PXGとの間にのみ第2センサ40Bを配置すると、赤色表示画素PXRにおけるコントラストの低下をさらに抑制することが可能となりより表示品位の良好な液晶表示装置を提供することが可能となる。

10

【0056】

第2センサ40Bの本数は、表示領域の解像度や接触位置の検出精度に応じて設計されることが望ましい。

【0057】

次に、対向基板120を形成する方法について説明する。複数の対向基板120を切り出す第2透明絶縁性基板上に、着色された露光レジストの塗布、露光、現像を繰り返して、第1着色層24a、第2着色層24b、第3着色層24c、第4着色層27a、および、第5着色層27bを形成する。さらに、複数の着色層上に透明樹脂平坦化膜29となる透明樹脂材料を塗布し、所定パターンにパターンニングして透明樹脂平坦化膜29を形成する。その後、透明樹脂平坦化膜29の表面に所定方向にラビング処理や光学配向処理等の配向処理を施した配向膜を形成する。

20

【0058】

柱状スペーサ22は、第1透明絶縁性基板あるいは第2透明絶縁性基板の上層に、例えば樹脂材料を塗布し、所定パターンにパターンニングすることにより形成される。

【0059】

続いて、表示領域25を囲むように第1透明絶縁性基板上あるいは第2透明絶縁性基板上に例えば紫外線硬化樹脂からなるシール剤26を塗布し、複数のアレイ基板110となる透明絶縁性基板と複数の対向基板120となる透明絶縁性基板とを互いの配向膜が向かい合うように対向させて位置あわせし、シール剤26に紫外線を照射して硬化させて固定する。

30

【0060】

液晶材料は、シール剤26が開口した注入口から表示領域25に注入されてもよく、第1透明絶縁性基板と第2透明絶縁性基板とを貼り合わせる前に、シール剤26に囲まれた領域に滴下されてもよい。注入口から液晶材料を注入する場合は、注入後に注入口を封止剤により封止して液晶層70が形成される。液晶材料を滴下する場合には、滴下した後に第1透明絶縁性基板と第2透明絶縁性基板とを貼り合わせて液晶層70が形成される。

【0061】

第1透明絶縁性基板と第2透明絶縁性基板とが貼り合わされた状態で、複数のアレイ基板110と、アレイ基板110と対向する第2透明絶縁性基板の部分とを切り出し、さらに第2透明絶縁性基板を割断して対向基板120を切り出す。

40

【0062】

続いて、アレイ基板110および対向基板120の液晶層70側と反対に位置する面に偏光板を配設して、液晶表示装置を形成する。

【0063】

上記のように、本実施形態によれば、赤色表示画素PXRと緑色表示画素PXGとの間に第2センサ40Bを配置しないことにより、緑色表示画素PXGおよび赤色表示画素PXRにおいてコントラストが低下することが抑制され、表示品位の良好な液晶表示装置を提供することができる。

【0064】

50

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

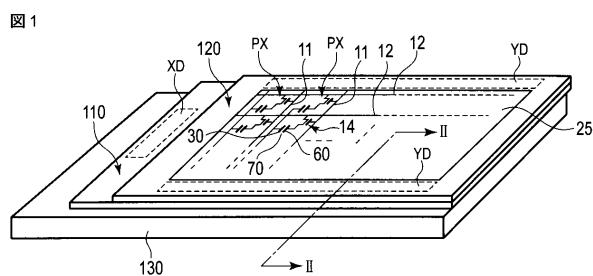
【符号の説明】

【0065】

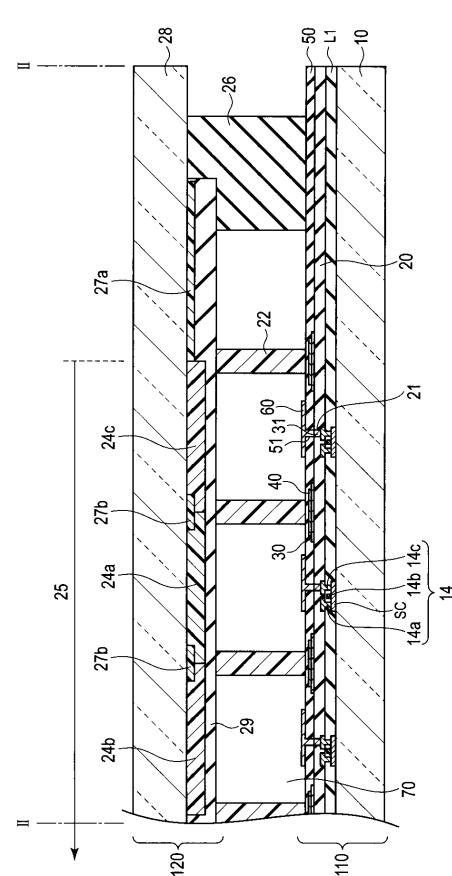
P X ... 表示画素、P X R ... 赤色表示画素、P X G ... 緑色表示画素、P X B ... 青色表示画素、25 ... 表示領域、30 ... 共通電極（第1電極）、40 ... センサ電極（第2電極）、40 A ... 第1センサ、40 B ... 第2センサ、50 ... 絶縁膜、51 ... コンタクトホール、60 ... 画素電極（第3電極）、60 S ... スリット、70 ... 液晶層、80 ... 配向膜、110 ... アレイ基板（第1基板）、120 ... 対向基板（第2基板）、130 ... バックライトユニット。

10

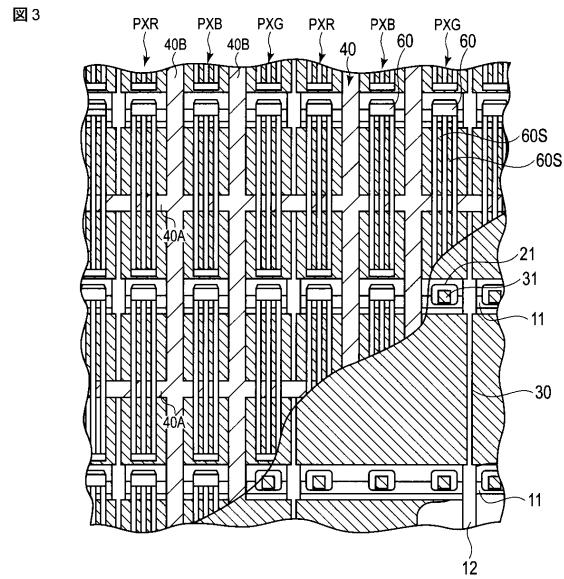
【図1】



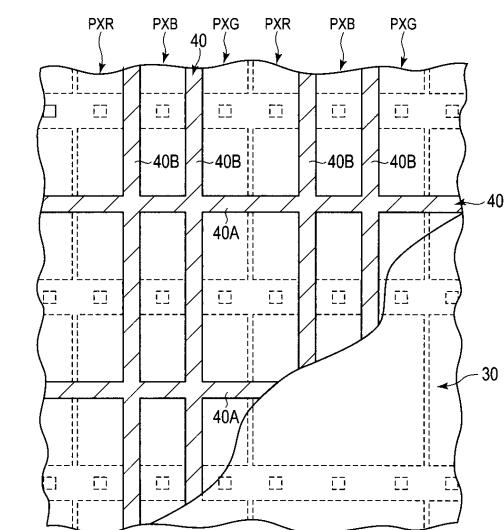
【図2】



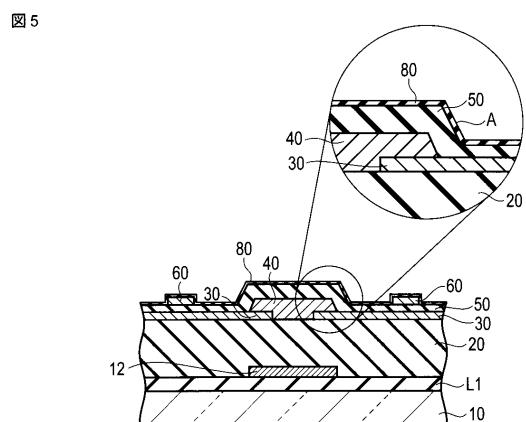
【図3】



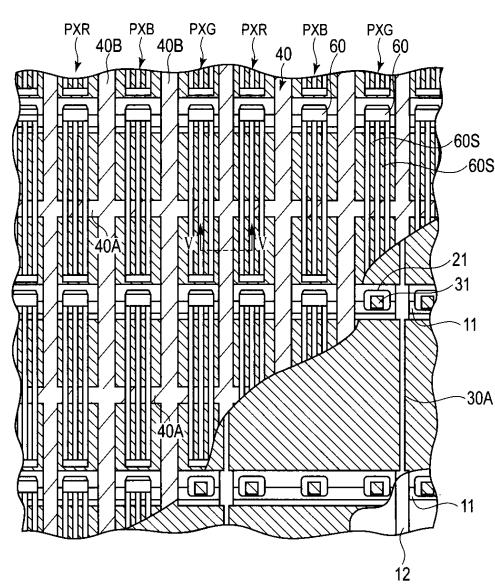
【図4】



【図5】



【図6】



---

フロントページの続き

(72)発明者 松本 良一

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

F ター&ム(参考) 2H092 GA14 GA17 GA29 GA62 JA25 JB13 JB22 JB31 PA08 PA09  
2H189 LA03 LA06 LA10 LA28 LA31  
2H190 HA03 HA04 JB02 LA01 LA04 LA15 LA21  
2H192 AA24 BB13 BC31 CB02 EA22 EA43 EA66 EA72 EA74 GB33

专利名称(译)	液晶显示装置		
公开(公告)号	<a href="#">JP2019174831A</a>	公开(公告)日	2019-10-10
申请号	JP2019105999	申请日	2019-06-06
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	木内一也 土井崇 二ノ宮利博 松本良一		
发明人	木内 一也 土井 崇 二ノ宮 利博 松本 良一		
IPC分类号	G02F1/1343 G02F1/1333 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1333 G02F1/1333.505 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA29 2H092/GA62 2H092/JA25 2H092/JB13 2H092/JB22 2H092/JB31 2H092/PA08 2H092/PA09 2H189/LA03 2H189/LA06 2H189/LA10 2H189/LA28 2H189/LA31 2H190/HA03 2H190/HA04 2H190/JB02 2H190/LA01 2H190/LA04 2H190/LA15 2H190/LA21 2H192/AA24 2H192/BB13 2H192/BC31 2H192/CB02 2H192/EA22 2H192/EA43 2H192/EA66 2H192/EA72 2H192/EA74 2H192/GB33		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

为了提供一种具有良好的显示质量的液晶显示装置。解决方案：根据一个实施例的液晶显示装置包括布置在第一像素中的三个彩色像素，在第一方向上划分这三个彩色像素的四个视频信号线和一个传感器。布线与第一彩色像素重叠并与视频信号线平行布置。这三个颜色像素包括第一颜色像素，第二颜色像素和第三颜色像素。四个视频信号线由第一，第二，第三和第四视频信号线组成。第一彩色像素位于第一和第二视频信号线之间，第二彩色像素位于第二和第三视频信号线之间，第三彩色像素位于第三和第四视频信号线之间。传感器接线与第二条视频信号线重叠，但不与第一条，第三条和第四条视频信号线重叠。

