

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-203762

(P2011-203762A)

(43) 公開日 平成23年10月13日(2011.10.13)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G O 2 F 1/1343	2 H O 9 2
G02F 1/1368 (2006.01)	G O 2 F 1/1368	

審査請求 有 請求項の数 6 O L (全 22 頁)

(21) 出願番号	特願2011-155763 (P2011-155763)	(71) 出願人	303018827 N L Tテクノロジー株式会社 神奈川県川崎市中原区下沼部 1 7 5 3 番地
(22) 出願日	平成23年7月14日 (2011. 7. 14)	(74) 代理人	100123788 弁理士 宮崎 昭夫
(62) 分割の表示	特願2001-96263 (P2001-96263) の分割	(74) 代理人	100106138 弁理士 石橋 政幸
原出願日	平成13年3月29日 (2001. 3. 29)	(74) 代理人	100127454 弁理士 緒方 雅昭
		(72) 発明者	木村 茂 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	前田 明寿 東京都港区芝五丁目7番1号 日本電気株式会社内

最終頁に続く

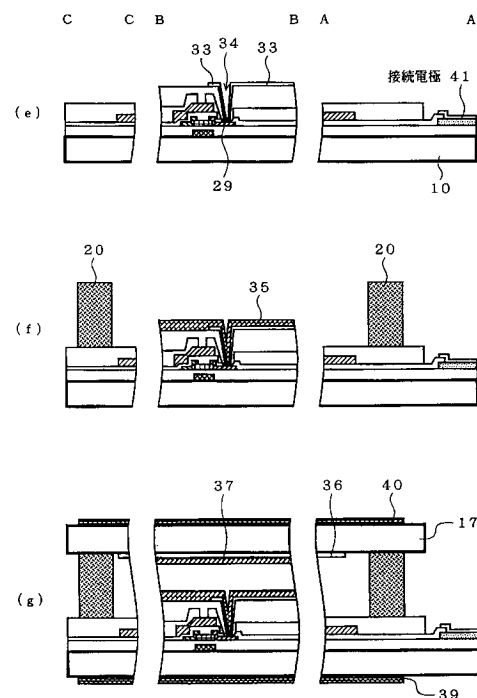
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】塗布系の絶縁膜上のITO膜の成膜に際し、エッチング残渣を生じさせず、且つ、ITO膜と下層金属膜との間のコンタクト抵抗を低減することにより、液晶表示面での表示不良を無くすることができる液晶表示装置及びその製造方法を提供する。

【解決手段】基板上にマトリクス状に配置された走査線及び信号線と、これらに接続されるTFTと、TFTに塗布系の層間絶縁膜を介して接続された画素電極とを有する液晶表示装置の製造方法において、層間絶縁膜上へ透明導電膜を成膜する際の基板温度を、100～170℃とする。また、層間絶縁膜上へ透明導電膜を成膜する際、非加熱で酸素流量比を1%以下とし、且つ、成膜後アニールを行う。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

基板上にマトリクス配置されたバス配線と、前記バス配線に接続されるスイッチング素子と、前記スイッチング素子に塗布系の層間絶縁膜を介して接続された画素電極とを有する液晶表示装置において、

前記層間絶縁膜上に成膜される透明導電膜が、接続する金属膜との接続部で結晶性を有することを特徴とする液晶表示装置。

【請求項 2】

前記透明導電膜が I T O であり、前記透明導電膜に接続する金属膜をクロムまたはクロムを主体とする合金であることを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 3】

基板上にマトリクス配置されたバス配線と、前記バス配線に接続されるスイッチング素子と、前記スイッチング素子に塗布系の層間絶縁膜を介して接続された画素電極とを有する液晶表示装置の製造方法において、

前記層間絶縁膜上へ透明導電膜を成膜する際の前記基板の温度を $100^{\circ}\text{C} \sim 170^{\circ}\text{C}$ とすることにより、前記層間絶縁膜上に成膜される前記透明導電膜が、接続する金属膜との接続部で結晶性を有することを特徴とする液晶表示装置の製造方法。

【請求項 4】

前記基板の加熱を行う処理と、次に、スパッタエッチを行う処理と、次に、前記透明導電膜を成膜する処理とを、大気に開放せず連続的に行うことを特徴とする請求項 3 に記載の液晶表示装置の製造方法。

20

【請求項 5】

基板上にマトリクス配置されたバス配線と、前記バス配線に接続されるスイッチング素子と、前記スイッチング素子に塗布系の層間絶縁膜を介して接続された画素電極とを有する液晶表示装置の製造方法において、

前記層間絶縁膜上へ透明導電膜を非加熱で成膜し、成膜する際の酸素流量比を 1% 以下とし、且つ、成膜後アニールを行うことにより、前記層間絶縁膜上に成膜される前記透明導電膜が、接続する金属膜との接続部で結晶性を有することを特徴とする液晶表示装置の製造方法。

【請求項 6】

30

前記アニールを $200^{\circ}\text{C} \sim 240^{\circ}\text{C}$ で行うことを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、液晶表示装置及びその製造方法に関し、特に、有機膜等塗布系の絶縁膜を層間膜に用いた構造の高精細パネルを有する液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

従来、画素電極を駆動制御するスイッチング素子として、薄膜トランジスタ (thin film transistor: TFT) や MIM (metal insulator metal) を用いた、透過型の液晶表示装置が広く用いられている。

40

【0003】

図 22 は、従来の TFT を用いた透過型液晶表示装置 (特開平 9-152625 号公報参照) におけるアクティブマトリクス基板の 1 画素部分の構成を示し、(a) は平面図、(b) は (a) の B-B 線に沿う断面図である。この透過型液晶表示装置のアクティブマトリクス基板には、複数の画素電極がマトリクス状に形成されている。

【0004】

図 22 (a) に示すように、画素電極 1 の周囲には、走査信号を供給する走査線 2 a と表示信号を供給する信号線 2 b が、その一部を画素電極 1 の外周部分とオーバーラップさせ

50

て設けられている。走査線 2 a と信号線 2 b の交差部には、画素電極 1 に接続される T F T 3 が設けられている。

【0005】

T F T 3 のゲート電極は走査線 2 a に、ソース電極は信号線 2 b に、それぞれ接続され、ドレイン電極は、接続電極 4 a 更にコンタクトホール 5 を介して、画素電極 1 に接続されると共に、接続電極 4 a を介して付加容量電極 4 b に接続されている。

【0006】

図 2 2 (b) に示すように、透明絶縁性基板 6 の上には、ゲート電極 3 a 、ゲート絶縁膜 7 a 、半導体層 8 a が順次積層され、その中央部上にチャネル保護層 8 b が設けられている。更に、半導体層 8 a を覆い、且つ、チャネル保護層 8 b 上で分断された状態で、ソース電極 3 b 及びドレイン電極 3 c となるアモルファスシリコン ($n^+ a-Si$) 層が設けられている。

10

【0007】

ソース電極 3 b の端部上には、透明導電膜と金属層の 2 層構造の信号線 2 b が設けられている。ドレイン電極 3 c の端部上にも、透明導電膜と金属層が設けられ、透明導電膜は延長されて接続電極 4 a としてドレイン電極 3 c と画素電極 1 を接続すると共に、付加容量電極 4 b に接続されている。更に、T F T 3 、走査線 2 a 、信号線 2 b 、及び接続電極 4 a を覆って層間絶縁膜 (パッシベーション膜) 9 が設けられている。

【0008】

次に、上記構成を有するアクティブマトリクス基板の製造工程を説明する。先ず、ガラス等の透明絶縁性基板 6 上に、ゲート電極 3 a を形成し、ゲート絶縁膜 7 a 、アモルファスシリコン ($a-Si$) を順次成膜した後、パターニングして半導体層 8 a を形成する。次に、ゲート電極上に対応してチャネル保護膜 8 b を形成し、これと半導体層 8 a を覆ってアモルファスシリコン ($n^+ a-Si$) 層を成膜し、パターニングしてソース電極 3 b 及びドレイン電極 3 c を形成する。

20

【0009】

続いて、ソース電極 3 b 及びドレイン電極 3 c の上に、有機膜からなる層間絶縁膜 9 を形成し、コンタクトホール 5 を開口する。その後、層間絶縁膜 9 を覆って、インジウムスズ酸化 ($indium-tin-oxide$: I T O) 膜をスパッタリングにより成膜し、I T O からなる透明な複数の画素電極 1 を形成する。

30

【0010】

なお、コンタクトホール 5 を形成した後、有機膜からなる層間絶縁膜 9 の表面に、酸素プラズマによる灰化处理を行うことにより、I T O 膜と有機膜の間の密着性を向上させると共に、I T O 膜と付加容量電極の金属膜との間の接続不良を抑制している。

【0011】

このように、層間絶縁膜 9 として、それまでの無機膜に代えて無機膜より比誘電率が低い有機膜を用いるのは、開口率を向上するために画素電極 1 と信号線を一部オーバーラップさせたとき、信号線と画素電極の容量結合を小さくし、クロストークを抑制するためである。

【0012】

従来、有機膜からなる層間絶縁膜 9 上に I T O 膜を成膜する場合、I T O 膜のパターニング性向上を図るため、透明絶縁性基板 6 を加熱する加熱スパッタリングが用いられている。

40

【0013】

加熱スパッタリングを用いた I T O 膜の成膜方法として、例えば、特許 2 5 2 0 3 9 9 号公報では、スパッタリングに際し基板温度を 180°C 以上 250°C 以下とすることがカラーフィルタ劣化を起こすことなく良質の I T O 膜を形成できる条件である、と述べられている。前述した特開平 9 - 1 5 2 6 2 5 号公報では、I T O 膜の成膜条件については、何も述べられていない。

【先行技術文献】

50

【特許文献】

【0014】

【特許文献1】特開平9-152625号公報

【発明の概要】

【発明が解決しようとする課題】

【0015】

しかしながら、ITO膜の成膜を、加熱スパッタリングで行うと、有機絶縁膜からの出ガスによりITO膜が変質してしまい、エッチング残渣が生じてパターニングできなくなってしまう。これは、ウェットエッチングの場合、特に顕著である。

【0016】

そこで、有機絶縁膜上のITO膜の成膜を、非加熱スパッタリングで行うことが考えられるが、非加熱スパッタリングを用いた場合、ITO膜と下層金属膜との間のコンタクト抵抗が増大してしまう。

【0017】

このコンタクト抵抗の増大に伴って、基板面内におけるコンタクト抵抗の均一性が確保できなくなった場合、特に、信号線と信号線の間が狭いために、信号線端子を交互に、或いは複数本毎に交互に逆向きになるように、基板の両側に配置した高精細パネルにおいて、影響が大きく、表示面に縦筋ムラを発生させることになる。

【0018】

また、コンタクト抵抗の増大は、コモンストレージ方式のTN (twisted nematic) 型や、IPS (in plane switching) 型のパネルにおいて、横クロストーク現象を発生させてしまう。

【0019】

つまり、コモンストレージ方式の場合、共通配線（コモン配線）に共通の電位を与えるため、共通配線を相互に結束する必要があるが、結束を層間絶縁膜（パッシベーション膜）上のITO膜で行うようなTFE構造を採用した場合、有機層間膜を用いているためにコンタクト抵抗が高くなってしまう。従って、共通配線全体の抵抗が高くなることが避けられない。

【0020】

この発明の目的は、塗布系の絶縁膜上のITO膜の成膜に際し、エッチング残渣を生じさせず、且つ、ITO膜と下層金属膜との間のコンタクト抵抗を低減することにより、液晶表示面での表示不良を無くすることができる液晶表示装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0021】

上記目的を達成するため、この発明に係る液晶表示装置の製造方法は、基板上にマトリクス配置されたバス配線と、前記バス配線に接続されるスイッチング素子と、前記スイッチング素子に塗布系の層間絶縁膜を介して接続された画素電極とを有する液晶表示装置の製造方法において、前記層間絶縁膜上へ透明導電膜を成膜する際の前記基板の温度を、100℃～170℃とすることを特徴としている。

【0022】

また、この液晶表示装置の製造方法において、前記基板の加熱を行う処理と、次に、スパッタエッチを行う処理と、次に、前記透明導電膜を成膜する処理とを同一真空中で行うことを特徴としている。

【0023】

また、この発明に係る液晶表示装置の製造方法は、前記層間絶縁膜上へ透明導電膜を非加熱で成膜し、成膜する際の酸素流量比を1%以下とし、且つ、成膜後アニールを行うことを特徴としている。

【0024】

また、この液晶表示装置の製造方法において、前記アニールを200℃～240℃で行

10

20

30

40

50

うことを特徴としている。

【0025】

また、この発明に係る液晶表示装置の製造方法において、前記パッシベーション膜の開口を、プラズマエッチングで行うことを特徴としている。

【0026】

また、この液晶表示装置の製造方法において、前記透明導電膜をITOにより形成し、前記透明導電膜に接続する金属膜をクロムまたはクロムを主体とする合金により形成することを特徴としている。

【0027】

更に、上記目的を達成するため、この発明に係る液晶表示装置は、基板上にマトリクス配置されたバス配線と、前記バス配線に接続されるスイッチング素子と、前記スイッチング素子に塗布系の層間絶縁膜を介して接続された画素電極とを有する液晶表示装置において、前記層間絶縁膜上に成膜される透明導電膜が、接続する金属膜との接続部で結晶性を有することを特徴としている。

【0028】

また、この液晶表示装置において、複数の信号線への入力、前記基板の対向する両側に配置された各信号線端子から行われる構造を有し、前記各信号線端子の透明導電膜と金属膜とのコンタクト抵抗同士の差が 1500Ω 以下であることを特徴としている。

【0029】

上記構成を有することにより、基板上にマトリクス配置されたバス配線と、前記バス配線に接続されるスイッチング素子と、前記スイッチング素子に塗布系の層間絶縁膜を介して接続された画素電極とを有する液晶表示装置は、層間絶縁膜上へ透明導電膜を成膜する際の基板の温度を $100^{\circ}\text{C}\sim 170^{\circ}\text{C}$ として製造される。

【0030】

また、層間絶縁膜上へ透明導電膜を非加熱で成膜する際の酸素流量比を1%以下とし、且つ、成膜後アニールを行うことにより製造される。

【0031】

これにより、コンタクトスルーホール部での下層金属膜上でのITO膜が結晶性を有するようになり、ITO膜と下層金属膜との間のコンタクト抵抗を均一に低減することができ、液晶表示面での表示不良を無くすることができる。

【発明の効果】

【0032】

以上説明したように、この発明によれば、基板上にマトリクス配置されたバス配線と、前記バス配線に接続されるスイッチング素子と、前記スイッチング素子に塗布系の層間絶縁膜を介して接続された画素電極とを有する液晶表示装置は、塗布系の層間絶縁膜上へ透明導電膜を成膜する際の基板の温度を $100^{\circ}\text{C}\sim 170^{\circ}\text{C}$ として製造される。また、層間絶縁膜上へ透明導電膜を非加熱で成膜する際の酸素流量比を1%以下とし、且つ、成膜後アニールを行うことにより製造される。

【0033】

これにより、コンタクトスルーホール部での下層金属膜上でのITO膜が結晶性を有するようになり、層間絶縁膜上のITO膜のエッチング時にエッチング残渣を生じさせず、且つ、ITO膜と下層金属膜との間のコンタクト抵抗を均一に低減することができ、液晶表示面での表示不良を無くすることができる。

【図面の簡単な説明】

【0034】

【図1】この発明の第1の実施の形態に係る透過型液晶表示装置におけるTF基板の構成を概念的に示す平面図である。

【図2】図1のTF基板を用いた液晶パネルの平面図である。

【図3】図1のTF基板の1画素部を拡大して示す平面図である。

【図4】図2のA-A線及び図3のB-B線に沿う断面図である。

10

20

30

40

50

【図 5】図 1 の T F T 基板を用いた液晶パネルの製造方法の一例を説明する、図 2 の A - A 線、C - C 線及び図 3 の B - B 線に沿う工程断面図（その 1）である。

【図 6】図 1 の T F T 基板を用いた液晶パネルの製造方法の一例を説明する、図 2 の A - A 線、C - C 線及び図 3 の B - B 線に沿う工程断面図（その 2）である。

【図 7】図 4 の画素部コンタクトスルーホール形成方法を示す工程断面図（その 1）である。

【図 8】図 4 の画素部コンタクトスルーホール形成方法を示す工程断面図（その 2）である。

【図 9】図 4 の信号線端子部の形成方法を示す工程断面図である。

【図 10】この発明の第 2 の実施の形態に係る透過型液晶表示装置における T F T 基板の構成を概念的に示す平面図である。

【図 11】図 10 の T F T 基板の 1 画素部を拡大して示す平面図である。

【図 12】図 10 の T F T 基板の製造方法の一例を説明する、図 11 の A - A 線、B - B 線及び C - C 線に沿う工程断面図（その 1）である。

【図 13】図 10 の T F T 基板の製造方法の一例を説明する、図 11 の A - A 線、B - B 線及び C - C 線に沿う工程断面図（その 2）である。

【図 14】図 10 の T F T 基板の製造方法の一例を説明する、図 11 の A - A 線、B - B 線及び C - C 線に沿う工程断面図（その 3）である。

【図 15】第 1 の実施の形態に示した I T O スパッタ時の基板温度と縦筋ムラ発生率の関係の一例をグラフで示す説明図である。

【図 16】非加熱 I T O スパッタ時の酸素流量比と層抵抗値の関係の一例をグラフで示す説明図である。

【図 17】非加熱 I T O スパッタ後に 200℃でアニールした後の基板内層抵抗分布の様子の一例を示す説明図である。

【図 18】I T O スパッタ時の基板温度とエッチング残渣の関係を表で示す説明図である。

【図 19】非加熱 I T O スパッタ後のアニール温度と基板内線幅均一性、有機絶縁膜の色つきの関係を表で示す説明図である。

【図 20】第 1 の実施の形態において、上下信号線端子部のコンタクト抵抗値差と縦筋ムラの一例をグラフで示す説明図である。

【図 21】この発明に係る製造方法により製造された液晶表示装置の透明導電膜と下層金属膜の接続部を透過型電子顕微鏡により観察した結果の一例を概念的に示す説明図である。

【図 22】従来の T F T を用いた透過型液晶表示装置におけるアクティブマトリクス基板の 1 画素部分の構成を示し、（a）は平面図、（b）は（a）の B - B 線に沿う断面図である。

【発明を実施するための形態】

【0035】

以下、この発明の実施の形態について図面を参照して説明する。

【0036】

（第 1 の実施の形態）

図 1 は、この発明の第 1 の実施の形態に係る透過型液晶表示装置における T F T 基板の構成を概念的に示す平面図である。図 1 に示す T F T 基板 10 は、後述する対向基板 17 との間に液晶を挟み込んで、液晶表示装置の液晶パネルを形成する（図 2，4 参照）。

【0037】

T F T 基板 10 の対向基板側面には、複数の信号線 11 と走査線 12 が、互いに交差するマトリクス状に配置され、信号線 11 と走査線 12 の交差部分に、T F T 13 が形成されている。

【0038】

この T F T 基板 10 は、特に、T F T 13 の上にカラーフィルタ（C F）を載せた C F

10

20

30

40

50

on TFT構造を有する高精細の液晶パネルに用いられるものである。

【0039】

高精細の液晶パネルの場合、パネルの縦方向に沿って配置された信号線11の隣接間隔が狭くなるので、信号線11の一端に設けられた信号線端子14を、交互に或いは複数本毎に逆向きになるようにTFT基板10の両側に位置させている。パネルの横方向に沿って配置された走査線12は、一端に設けられた走査線端子15を同一側に位置させている。

【0040】

信号線11は、TFT13のソース電極に接続され、ソース電極へデータ信号を入力する。走査線12は、TFT13のゲート電極に接続され、走査線12からゲート電極へ入力される走査信号によってTFT13が駆動され、ドレイン電極に接続される画素電極にデータ信号が書き込まれる。

【0041】

図2は、図1のTFT基板を用いた液晶パネルの平面図であり、図3は、図1のTFT基板の1画素部を拡大して示す平面図である。図4は、図2のA-A線及び図3のB-B線に沿う断面図である。

【0042】

図2及び図4に示すように、液晶パネル16は、共にガラス等の透明絶縁性基板からなる矩形のTFT基板10と対向基板17を有し、両基板10、17間には液晶L（図4参照）が挟み込まれている。

【0043】

TFT基板10の上面には、ブラックマトリクス18が形成されており、ブラックマトリクス18には、画素電極33（図4参照）に対応して、複数の開口部19（図2参照）が開けられている。各開口部19は、例えば、赤色カラーフィルタの開口部19R、緑色カラーフィルタの開口部19G、青色カラーフィルタの開口部19Bとして、順番に繰り返し配置される。

【0044】

このTFT基板10と対向基板17は、所定ギャップを有し重ね合わせた状態で、周縁に沿って配置されたシール材20により固定されている。TFT基板10の周辺部には、縦方向両側にH側端子21（信号線端子14）が、横方向一方側にV側端子22（走査線端子15）が、それぞれ対向基板17から露出させて複数個並設されている。

【0045】

横方向他方側のシール材20には、両基板10、17間に液晶Lを注入するための注入口23が開けられている。この注入口23は、液晶L注入後、封口材24により封止される。

【0046】

図3及び図4に示すように、TFT基板10の上には、ゲート電極25が設けられ、ゲート電極25を覆うようにゲート絶縁膜26が形成されている。ゲート絶縁膜26の上には、ゲート電極25と重畳するように、半導体層27が設けられ、この半導体層27の中央部上で隔てられたソース電極28、ドレイン電極29が、半導体層27に接続されている。これら半導体層27、ソース電極28及びドレイン電極29を覆って、パッシベーション膜30が成膜され、TFT13が形成される。

【0047】

パッシベーション膜30の上には、TFT13に対応してブラックマトリクス18が、H側端子21及びV側端子（図示しない）近傍に額縁ブラックマトリクス18aが、それぞれ形成されると共に、画素表示領域に対応した部分に、赤色のカラーフィルタ31R、青色のカラーフィルタ31B、及び緑色のカラーフィルタ（図示しない）が形成されている。

【0048】

これら各カラーフィルタ31とパッシベーション膜30を覆って、オーバーコート膜3

10

20

30

40

50

2が形成され、オーバーコート膜32の上に、ITO膜からなる透明な複数の画素電極33が、マトリクス状に配置される。

【0049】

このように、TFT13をスイッチング素子として用いる場合は、ドレイン電極29が画素電極33との接続用引き出し電極として機能し、オーバーコート膜32とパッシベーション膜30を貫通して設けたコンタクトスルーホール34を介して、ドレイン電極29と画素電極33が接続される。

【0050】

TFT13のゲート電極25には走査線12が接続され、ソース電極28には信号線11が接続され、ドレイン電極29には、コンタクトスルーホール34を介して画素電極33が接続されている。このTFT13には、走査線12、ゲート電極25を通してスイッチング信号が、信号線11、ソース電極28を通して映像信号が入力され、画素電極33への電荷の書き込みが行われる。

【0051】

なお、コンタクトスルーホール34の周囲は覆わずに、ブラックマトリクス18及びカラーフィルタ31が形成されている。

【0052】

画素電極33が形成されたTFT基板10の表面には、画素電極33を覆って配向膜35が形成される。一方、対向基板17の表面には、透明共通電極38が形成され、これを覆って配向膜37が形成される。これらのTFT基板10と対向基板17との間に面内スペーサ36を介在させ、液晶Lを挟み込み液晶パネルが形成される。透明共通電極38と画素電極33との間の液晶L層（図4参照）により、画素容量が形成される。

【0053】

なお、TFT基板10の下面と対向基板17の上面、即ち、互いの対向面ではない側の面には、それぞれTFT側偏光板39と対向側偏光板40が設けられている。

【0054】

図5及び図6は、図1のTFT基板を用いた液晶パネルの製造方法の一例を説明する、図2のA-A線、C-C線及び図3のB-B線に沿う工程断面図（その1、その2）である。

【0055】

図5及び図6に示すように、先ず、例えば、板厚が約0.7mmの無アルカリガラスからなるガラス基板10aの上に、スパッタリングにより、Cr、Mo、Cr/Al積層膜、Mo/Al積層膜等からなる導電層を約100～300nmの膜厚で成膜し、フォトリソ工程により、ゲート電極25、走査線（図示しない）、走査線端子部であるV側端子（図示しない）を形成する。

【0056】

その後、プラズマCVD（chemical vapor deposition）により、シリコン窒化膜（SiNx）からなるゲート絶縁膜26を約300～500nmの膜厚で、更に、アモルファスシリコン（a-Si）を約150～300nmの膜厚で、リンがドーパされたアモルファスシリコン（n⁺a-Si）を約30～50nmの膜厚で、順次成膜し、フォトリソ工程により半導体層27を形成する。

【0057】

次に、スパッタリングにより、Cr、Mo、Cr/Al/Cr積層膜、Mo/Al/Mo積層膜等からなる導電層を約100～400nmの膜厚で成膜し、フォトリソ工程により、ソース電極28、ドレイン電極29、信号線（図示しない）、信号線端子部であるH側端子21を形成する。

【0058】

その後、プラズマCVDにより、シリコン窒化膜（SiNx）等の無機膜からなるパッシベーション膜30を約100～200nmの膜厚で成膜する（図5（a）参照）。

【0059】

10

20

30

40

50

次に、ブラックマトリクス 18 及び額縁ブラックマトリクス 18 a を、ネガ型感光性アクリル系顔料分散レジスト或いはカーボン系レジストを用いて、膜厚が約 1 ~ 3 μm 、光学濃度 (OD 値) が 3 以上、シート抵抗値が $1 \times 10^{10} \Omega/\square$ 以上、に形成する (図 5 (b) 参照)。

【0060】

次に、ネガ型感光性アクリル系顔料分散レジストを用いて、膜厚が約 1.0 ~ 1.5 μm の赤色カラーフィルタ 31 R を形成する。赤色カラーフィルタ 31 R と同様に、青色カラーフィルタ 31 B 及び緑色カラーフィルタ (図示しない) の各色層を形成する (図 5 (c) 参照)。

【0061】

次に、ポジ型感光性ノボラック系レジストを用いて、膜厚が約 2.0 ~ 3.5 μm の有機絶縁膜であるオーバーコート膜 32 を、コンタクトスルーホール形成部分を開口したパターンに形成する。

【0062】

その後、フォトリソ工程により、プラズマエッチングを行い、パッシベーション膜 30 をドライエッチングして、コンタクトスルーホール 34 を形成する。このとき、コンタクトスルーホール 34 形成と同時に、H 側端子 21 の上のパッシベーション膜 30、及び V 側端子の上のパッシベーション膜 30 とゲート絶縁膜 (図示しない) も除去する。

【0063】

ここで、プラズマエッチングは、 SF_6 や CF_4 、 CHF_3 等のフッ素系のガスを高周波放電させ、これらのラジカルでエッチングを行う。ガス圧力や流量、放電パワー等を最適化し、コンタクトスルーホールの形状を良好なものにする (図 5 (d) 参照)。

【0064】

次に、オーバーコート膜 32 及びコンタクトスルーホール 34 から露出したドレイン電極 29 上に、後述するスパッタリングにより、ITO 膜からなる膜厚が約 40 ~ 120 nm の透明導電膜を成膜し、フォトリソ工程により画素電極 33 を形成する。このとき、H 側端子 21 及び V 側端子 (図示しない) の上にも透明導電膜を成膜し、画素電極 33 と同時に、信号線端子部である H 側端子 21 に接続する接続電極 41、及び走査線端子部である V 側端子に接続する接続電極 (図示しない) を形成する (図 6 (e) 参照)。

【0065】

次に、この TFT 基板 10 に、ポリイミド系の配向剤からなる膜厚が 30 ~ 60 nm の配向膜 35 を形成し、配向処理をした後、エポキシ系樹脂接着剤からなるシール材 20 を、TFT 基板 10 の周縁に沿って形成する (図 6 (f) 参照)。

【0066】

同様に、例えば、板厚が約 0.7 mm の無アルカリガラスからなるガラス基板に、ITO 膜からなる膜厚が約 80 ~ 150 nm、シート抵抗値が 20 ~ 40 $\Omega/\square$ の透明導電膜を成膜し、対向側の透明共通電極 36 を形成する。更に、この透明共通電極 36 の上に、ポリイミド系の配向剤からなる膜厚が 30 ~ 60 nm の配向膜 37 を形成し、配向処理をして、対向基板 17 とする。

【0067】

その後、シール材 20 と面内スペーサ (図示しない) を介して、TFT 基板 10 の上に対向基板 17 を重ね合わせ、注入口 23 から両基板 10、17 間に、フッ素系化合物からなる液晶 L を注入した後、UV 硬化型アクリレート系樹脂からなる封口材 24 により、注入口 23 を封止し、所定ギャップのパネルを得る。

【0068】

最後に、TFT 基板 10 の配向膜 35 とは反対側面に、ヨウ素系偏光フィルムからなる TFT 側偏光板 39 を形成し、対向基板 17 の配向膜 37 とは反対側面に、ヨウ素系偏光フィルムからなる対向側偏光板 40 を形成する。これにより、TFT 基板 10 を用いた液晶パネル 16 が形成される (図 6 (g) 参照)。

【0069】

10

20

30

40

50

図 7 及び図 8 は、図 4 の画素部コンタクトスルーホール形成方法を示す工程断面図（その 1 及びその 2）である（図 3 における B-B 線と垂直方向の断面図である）。

【0070】

図 7 及び図 8 に示すように、先ず、ガラス基板 10a の上に、ゲート絶縁膜 26 を形成し、その上にドレイン電極 29 を形成した後、ドレイン電極 29 を覆ってパッシベーション膜 30 を形成する（図 7（a）参照）。

【0071】

次に、例えば、青色カラーフィルタ 31B からなる色層を、ドレイン電極 29 の上の中央部分を除いて形成し（図 7（b）参照）、更に、オーバーコート膜 32 を、色層を覆ってコンタクトスルーホール形成部分に開口を有するパターン状に形成する（図 7（c）参照）。

10

【0072】

次に、フォトリソ工程により、パッシベーション膜 30 をエッチングして、ドレイン電極 29 を露出させるコンタクトスルーホール 34 を形成する。（図 8（d）参照）。

【0073】

次に、コンタクトスルーホール 34 から露出したドレイン電極 29 と共に、オーバーコート膜 32 を覆うように、スパッタリングにより、ITO 膜からなる透明導電膜を成膜し、フォトリソ工程により画素電極 33 を形成する（図 8（e）参照）。これにより、コンタクトスルーホール 34 を介して、ドレイン電極 29 と画素電極 33 が接続される。

【0074】

20

図 9 は、図 4 の信号線端子部の形成方法を示す工程断面図である（短辺方向の断面図である）。図 9 に示すように、先ず、ガラス基板 10a の上に、ゲート絶縁膜 26 を形成し、その上に信号線端子部である H 側端子 21 を形成した後、H 側端子 21 を覆ってパッシベーション膜 30 を成膜する（図 9（a）参照）。ブラックマトリクス形成工程、色層形成工程では、この領域には何も形成しない。

【0075】

次に、フォトリソ工程によりパッシベーション膜 30 をエッチングして、H 側端子 21 を露出させるコンタクトスルーホール 34 を形成する。（図 9（b）参照）。

【0076】

次に、コンタクトスルーホール 34 から露出した H 側端子 21 と共に、周囲のパッシベーション膜 30 を覆うように、スパッタリングにより、ITO 膜からなる透明導電膜を成膜し、フォトリソ工程により接続電極 41 を形成する（図 9（c）参照）。これにより、コンタクトスルーホール 34 を介して、信号線端子部である H 側端子 21 に接続する接続電極 41 が接続される。ここで、接続電極 41 の透明導電膜の成膜は、画素電極 33 の透明導電膜の成膜と同時にされる。

30

【0077】

有機層間絶縁膜上に ITO 膜からなる透明導電膜を成膜する際、TF T 基板 10 が約 100～170℃となるように TF T 基板 10 を加熱する。また、透明導電膜を成膜する際、非加熱で酸素流量比（ O_2 / Ar ）を約 1% 以下、望ましくは 0.5% 以下、更に望ましくは 0.2% 以下として成膜する。更に、成膜後に、約 200～240℃の温度でアニールを行う。

40

【0078】

（第 2 の実施の形態）

図 10 は、この発明の第 2 の実施の形態に係る透過型液晶表示装置における TF T 基板の構成を概念的に示す平面図である。図 10 に示すように、TF T 基板 50 の対向基板側面には、複数の信号線 11 と走査線 12 が、互いに交差するマトリクス状に配置され、信号線 11 と走査線 12 の交差部分に、TF T 13 が形成されている。

【0079】

そして、隣接する走査線 12 の間に、共通配線（コモン線）51 を設けており、この共通配線 51 と画素電極でストレージを形成するコモンストレージ方式の液晶表示装置に用

50

いられる。

【0080】

共通配線51は、共通の電位を与えるために相互に結束されており、各共通配線51の両端がそれぞれ接続された共通配線結束線52が、TFT基板50の横方向両側に1本ずつTFT基板50の縦方向に沿って設けられている。この共通配線51と、TFT13のドレイン電極に接続された画素電極との間で容量が形成される。各共通配線結束線52の端部には、それぞれ共通配線端子53が設けられている。

【0081】

図11は、図10のTFT基板の1画素部を拡大して示す平面図である。図11に示すように、TFT基板50の信号線11と走査線12の交差区画には、櫛歯状に形成された画素電極54と共通電極55が交互に配置されている。

10

【0082】

TFT13のゲート電極25は走査線の一部を共有して形成され、ドレイン電極29には、画素電極用のコンタクトスルーホール56を介して画素電極54が、共通配線51には、共通電極用のコンタクトスルーホール57を介して共通電極55が、それぞれ接続され、ソース電極28には信号線11が接続されている。

【0083】

このTFT13には、走査線12、ゲート電極25を通してスイッチング信号が、信号線11、ソース電極28を通して映像信号が入力され、画素電極54への電荷の書き込みが行われる。

20

【0084】

図12から図14は、図10のTFT基板の製造方法の一例を説明する、図11のA-A線、B-B線及びC-C線に沿う工程断面図（その1からその3）である。ここで、A-A線に沿う断面部はTFT部を示し、B-B線に沿う断面部は画素部を示し、C-C線に沿う断面部は共通電極用コンタクトスルーホール部（ITO-COM部）を示す。

【0085】

図12から図14に示すように、まず、ガラス基板10aの上に、スパッタリングにより、Cr、Mo、Cr/Al積層膜、Mo/Al積層膜等からなる導電層を約100～300nmの膜厚で成膜し、フォトリソ工程により、ゲート電極25、走査線（図示しない）、共通配線51、及び走査線端子部（図示しない）を形成する（図12（a）参照）。

30

【0086】

次に、プラズマCVDにより、シリコン窒化膜からなるゲート絶縁膜26を約300～500nmの膜厚で、更に、アモルファスシリコン（a-Si）を約150～300nmの膜厚で、リンがドーパされたアモルファスシリコン（n⁺a-Si）を約30～50nmの膜厚で、順次成膜し、フォトリソ工程により半導体層27を形成する（図12（b）参照）。

【0087】

次に、スパッタリングにより、Cr、Mo、Cr/Al/Cr積層膜、Mo/Al/Mo積層膜等からなる導電層を約100～400nmの膜厚で成膜し、フォトリソ工程により、ソース電極28、ドレイン電極29、信号線層の画素電極58、この画素電極58を挟んで隣接する信号線11、信号線端子部（図示しない）を、それぞれ形成する（図12（c）参照）。

40

【0088】

その後、プラズマCVDにより、シリコン窒化膜等の無機膜からなるパッシベーション膜30を、約100～300nmの膜厚で成膜する（図12（d）参照）。

【0089】

次に、ポジ型感光性ノボラック系レジストを用いて、膜厚が約2.0～3.5μmの有機絶縁膜59を、コンタクトスルーホール形成部分に開口を有するパターン状に形成する（図13（e）参照）。

【0090】

50

その後、フォトリソ工程により、プラズマエッチングを行い、パッシベーション膜 30 をドライエッチングして、ドレイン電極 29 を露出させる画素電極用のコンタクトスルーホール 56 と、信号線端子部を露出させるコンタクトスルーホール（図示しない）を、パッシベーション膜 30 及びゲート絶縁膜 26 をエッチングして、共通配線 51 を露出させる共通電極用のコンタクトスルーホール 57 と、信号線端子部を露出させるコンタクトスルーホール（図示しない）を、それぞれ形成する。ここで、プラズマエッチングは、第 1 の実施の形態と同様の方法で行う（図 13（f）参照）。

【0091】

次に、両コンタクトスルーホール 56、57、及び有機絶縁膜 59 上に、ITO 膜からなる透明導電膜を成膜し、フォトリソ工程により画素電極 54 と共通電極 55、及び信号線端子部、走査線端子部上の接続電極（図示しない）を形成する。このとき、信号線層の画素電極 58 に対応して、有機絶縁膜 59 上に画素電極 54 が位置し、信号線 11 に対応して、有機絶縁膜 59 上に共通電極 55 が位置する（図 14 参照）。

【0092】

これにより、画素電極用のコンタクトスルーホール 56 を介して、ソース電極 28 に接続する画素電極 54 が、共通電極用のコンタクトスルーホール 57 を介して、共通配線 51 に接続する共通電極 55 が、また、信号線、走査線端子部用のコンタクトスルーホールを介して、信号線端子部、走査線端子部に接続する接続電極が、それぞれ接続される。

【0093】

有機層間絶縁膜上に ITO 膜からなる透明導電膜を成膜する際、第 1 の実施の形態と全く同様に、TF T 基板 50 が約 100～170℃となるように TF T 基板 50 を加熱する。また、透明導電膜を成膜する際、非加熱で酸素流量比（ $O_2/A r$ ）を約 1% 以下、望ましくは 0.5% 以下、更に望ましくは 0.2% 以下として成膜する。更に、成膜後に、約 200～240℃の温度でアニールを行う。

【0094】

この後、第 1 の実施の形態と同様に、TF T 基板 50 の表面に配向膜 35 を形成して配向処理を行い、ブラックマトリクス 18 とカラーフィルタ 31 と配向膜 37 が形成され配向処理をされた対向基板 17 を、シール材 20 と面内スペーサ 36 を介して重ね合わせ、液晶 L を挟み込んで、広視野角、高開口率の液晶表示パネルが形成される。

【0095】

第 1 の実施の形態及び第 2 の実施の形態において、上述したように、有機絶縁膜 59 上に ITO 膜からなる透明導電膜を成膜する際、加熱温度を約 100～170℃とする、或いは非加熱で酸素流量比（ $O_2/A r$ ）を約 1% 以下、望ましくは 0.5% 以下、更に望ましくは 0.2% 以下として成膜し、更に、スパッタ後に、約 200～240℃の温度でアニールを行うことが重要である。

【0096】

上記条件を得る基になった、透明導電膜をスパッタした場合の縦筋ムラ発生率や層抵抗値の関係、或いはエッチング残渣や有機絶縁膜の色つきの関係等を、以下に示す。

【0097】

図 15 は、第 1 の実施の形態に示した ITO スパッタ時の基板温度と縦筋ムラ発生率の関係の一例をグラフで示す説明図である。図 15 に示すように、ITO スパッタ時に TF T 基板 10 を加熱して、基板温度を、常温から 50℃、100℃、150℃、更に 200℃と高めていった場合、縦筋ムラの発生率は徐々に低下し、常温では約 40% だったのが、100℃では約 5% となり 150℃ではほぼ 0 となった。

【0098】

この際、基板加熱は、成膜室とは独立した加熱室で事前に行い、有機絶縁膜からのガス出しを十分に行うことが望ましい。この場合、成膜室で保温のための加熱を行うかどうかは、どちらでもよい。

【0099】

図 16 は、非加熱 ITO スパッタ時の酸素流量比と層抵抗値の関係の一例をグラフで示

10

20

30

40

50

す説明図である。図16に示すように、ITOスパッタ時に酸素流量比(O_2 / Ar)を、ほぼ0%からほぼ2.5%まで高めていった場合、層抵抗値は徐々に増加し、0.5%で約 $65 \Omega / \square$ 、1%で約 $80 \Omega / \square$ 、1.5%で約 $110 \Omega / \square$ となり、同様に、層抵抗値のバラツキ 3σ も徐々に増加し、0.5%で約 $8 \Omega / \square$ 、1%で約 $23 \Omega / \square$ 、1.5%で約 $39 \Omega / \square$ となった。

【0100】

図17は、非加熱ITOスパッタ後に $200^\circ C$ でアニールした後の基板内層抵抗分布の様子の一例を示す説明図である。図17に示すように、ITOスパッタ時の酸素流量比(O_2 / Ar)を0.05%、0.8%、2.1%へと高めていった場合、層抵抗値の増加に連れて基板内層抵抗値の分布状況も悪化した。

10

【0101】

図18は、ITOスパッタ時の基板温度とエッチング残渣の関係を表で示す説明図である。ここで、ITO膜のエッチングは、塩化第2鉄系及び王水系のエッチング液を用いて行った。図18に示すように、基板温度が $100^\circ C$ 、 $150^\circ C$ 、 $170^\circ C$ の場合、ITOのエッチング残渣は無く問題とならなかったが、 $200^\circ C$ の場合、ITOのエッチング残渣が多くエッチング不可能となる。

【0102】

これは、有機絶縁膜からの出ガスによりITO膜が変質するためと思われる。従って、ITOスパッタ時の基板温度は、 $170^\circ C$ 以下にすることが望ましい。

【0103】

図19は、非加熱ITOスパッタ後のアニール温度と基板内線幅均一性、有機絶縁膜の色つきの関係を表で示す説明図である。図19に示すように、ITO線幅均一性は、第2の実施の形態においてアニール温度が $150^\circ C$ のとき表示不良となり、有機絶縁膜の色つきは、アニール温度が $240^\circ C$ のとき許容範囲内であるが、 $250^\circ C$ のとき透過率が大幅に低下する。

20

【0104】

これは、有機絶縁膜のレジスト材料が $240^\circ C$ 以上で分解されるからである。従って、ITOスパッタ後のアニール温度は、 $200 \sim 240^\circ C$ の範囲にすることが望ましく、更に望ましくは、 $200 \sim 230^\circ C$ の範囲にするのがよい。

【0105】

図20は、第1の実施の形態において、上下信号線端子部のコンタクト抵抗値差と縦筋ムラの関係を表で示す説明図である。図20に示すように、上下信号線端子部のコンタクト抵抗値差が 0Ω 及び 1000Ω の場合、縦筋ムラは認められないが、コンタクト抵抗値差が 1500Ω のときは薄く縦筋ムラが認められ、 3000Ω の場合ははっきり縦筋ムラが認められる。従って、上下信号線端子部のコンタクト抵抗値差は、 1500Ω 以下にすることが望ましく、更に望ましくは、 1000Ω 以下にするのがよい。

30

【0106】

また、上記製造方法により製造された、画素電極が有機層間絶縁膜上に形成される液晶表示装置は、透明導電膜と下層金属膜との接続部において透明導電膜が結晶性を有することが望ましい。これは、透過型電子顕微鏡(transmission electron microscope: TEM)を用いた観察の結果から、下層金属膜に接する透明導電膜の部分に結晶性があると判断できる場合、不良とならないことが認められたことによる。

40

【0107】

図21は、この発明に係る製造方法により製造された液晶表示装置の透明導電膜と下層金属膜の接続部を透過型電子顕微鏡により観察した結果の一例を概念的に示す説明図である。

【0108】

図21に示すように、透明導電膜と下層金属膜との接続部に結晶格子が見える場合、即ち、原子配列が界面部分に到達している場合((a)参照)は、ITOの格子がCrと繋

50

がっており、このとき縦筋ムラは発生しない。一方、結晶格子が殆ど見えない場合（（b）参照）は、ITOの格子がCrと繋がっておらず、このとき縦筋ムラが発生する。このように、ITO／Cr界面の詳細構造に基づいて、良品か不良品かを判断することができる。

【0109】

従って、有機層間絶縁膜上に走査線及び信号線と分離された画素電極を有する液晶表示装置は、以下の各種条件により形成することが望ましい。

【0110】

1. 透明導電膜のスパッタ時の基板温度を100～170℃で行う。
2. 透明導電膜のスパッタ前に同一真空中で基板加熱を行った後に、スパッタエッチングを行う。つまり、基板を成膜チャンバへ入れる前に加熱チャンバで加熱することで、予めガスを出しておく。更に、スパッタエッチングにより、コンタクトスルーホール部において、下層金属膜表面の酸化物やフッ化物を除去する。
3. 透明導電膜のスパッタを非加熱で行い、酸素流量比を1%以下とし、且つ、スパッタ後アニールを行う。このとき、アニールを200～240℃の温度で行う。

【0111】

これらの条件は、透明導電膜をITO膜とし、下層金属をCr又はCrを主体とした場合に、特に顕著な効果がある。

【0112】

パッシベーション膜及びゲート絶縁膜に開口するコンタクトスルーホールのエッチングは、通常、CF₄やCF₆等のガスを用いて行われるが、下層金属膜がCr又はCrを主体とする合金の場合は、オーバーエッチング時にCr又はCrを主体とする合金はエッチングされず、F元素が金属膜表面にノックオンされ、透明導電膜と下層金属膜との間のコンタクト抵抗値を上昇させるからである。

【0113】

このコンタクトスルーホールのエッチングは、エネルギーの低いラジカルによるプラズマエッチングで行うことが望ましい。コンタクトスルーホールのエッチングで通常用いられるイオンによるリアクティブイオンエッチングは、エネルギーが高く、ITO／Cr界面分析の結果、F元素がCr膜表面に多量にノックオンされることが分かった。

【0114】

以上のように、コンタクト抵抗値の増大を抑制する方法として、上記条件が効果のあることが、本発明者の実験で確認された。

【0115】

このように、この発明によれば、有機層間構造を有する高精細の液晶パネルやコモンストレージを採用した液晶パネルにおいて、画素電極を構成するITO膜の成膜条件、例えば、加熱温度や酸素流量等を最適化する。

【0116】

つまり、予め、加熱室で基板を加熱してガスを出してしまった後に、成膜室に入れて、ITOスパッタ時の基板温度を70℃～170℃に制御したり、スパッタを非加熱で行い、酸素流量比を1%以下とし、且つ、スパッタ後に200℃～240℃のアニールを行うことにより、コンタクトスルーホール部の下層金属膜上のITO膜に、全体的に結晶性を生じさせるようにした。

【0117】

これにより、有機層間膜からの出ガスの影響を無くして、ITO膜の膜質が結晶性を有するように改善され、コンタクト抵抗値の上昇や基板面内での不均一性を招くことなく、ITO膜と下層金属膜間のコンタクト抵抗を低減させ、且つ、均一に安定化させることができる。

【0118】

この結果、高精細パネルでの縦筋ムラを抑制することができ、また、コモンストレージ型のTN、IPSパネルにおける横クロストークを低減することができる。

【0119】

なお、前述の実施の形態では、塗布系の絶縁膜として、感光性ノボラック系レジストのような有機絶縁膜を用いた例を示したが、勿論ポリイミド樹脂やアクリル樹脂を用いてもよいし、シリコン酸化膜やシリコン窒化膜等の無機系樹脂材料であってもよい。また、感光性でなく非感光性のものでもよい。この場合は、通常の写真リソ工程と同様に、現像後にエッチング工程とレジスト剥離工程が必要になる。

【0120】

また、前述の実施の形態では、塗布系の絶縁膜の形成工程とパッシベーション膜の開口工程は、別々の写真リソ工程である例を示したが、同一の写真リソ工程で開口してもよい。

10

【0121】

また、前述の実施の形態では、逆スタガチャネルエッチ型TFTを有する液晶表示装置について述べたが、チャネル保護型や順スタガ型TFTでもよく、また、スタガード型TFTのみならず、コプレーナ型のTFTについても適用できることは言うまでもない。また、a-SiTFTのみならず、ポリシリコン(p-Si)TFTにも適用できる。更に、スイッチング素子はMIM(metal-insulator-metal)であってもよい。

【符号の説明】

【0122】

- 10, 50 TFT基板
- 11 信号線
- 12 走査線
- 13 TFT
- 14 信号線端子
- 15 走査線端子
- 16 液晶パネル
- 17 対向基板
- 18 ブラックマトリクス
- 18a 額縁ブラックマトリクス
- 19, 19R, 19G, 19B 開口部
- 20 シール材
- 21 H側端子
- 22 V側端子
- 23 注入口
- 24 封口材
- 25 ゲート電極
- 26 ゲート絶縁膜
- 27 半導体層
- 28 ソース電極
- 29 ドレイン電極
- 30 パッシベーション膜
- 31R, 31B, 31G カラーフィルタ
- 32 オーバーコート膜
- 33, 54, 58 画素電極
- 34, 56, 57 コンタクトスルーホール
- 35, 37 配向膜
- 36 面内スペーサ
- 38 透明共通電極
- 39 TFT側偏光板
- 40 対向側偏光板

20

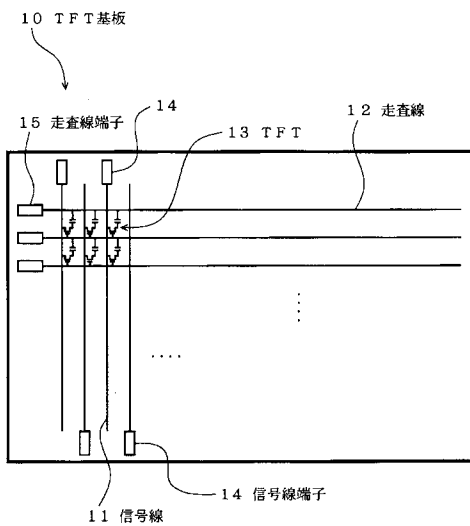
30

40

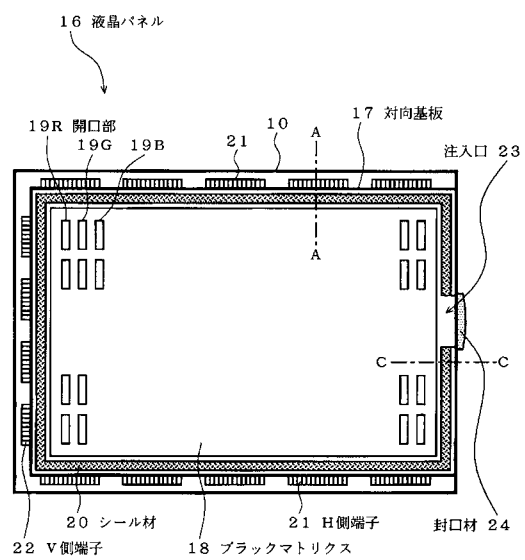
50

- 5 1 共通配線
- 5 2 共通配線結束線
- 5 3 共通配線端子
- 5 5 共通電極
- 5 9 有機絶縁膜
- L 液晶

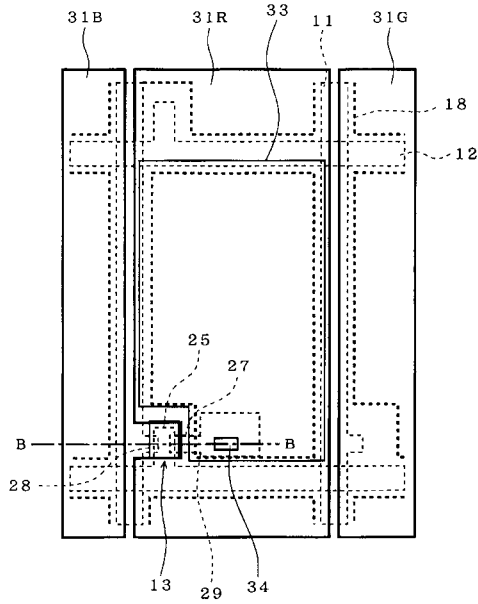
【図 1】



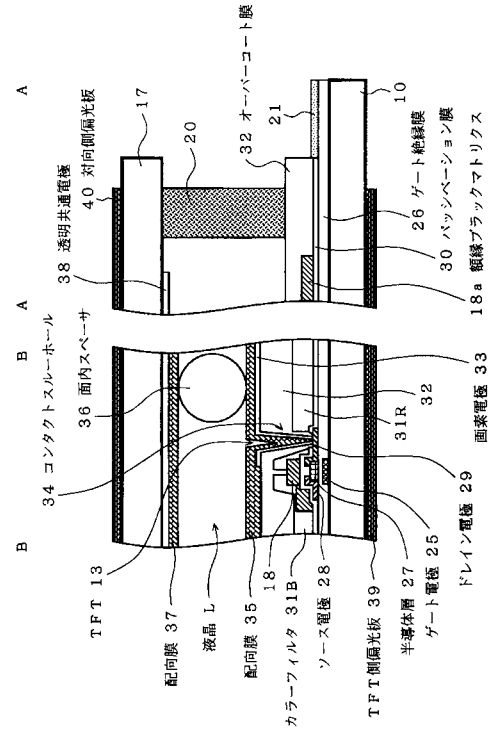
【図 2】



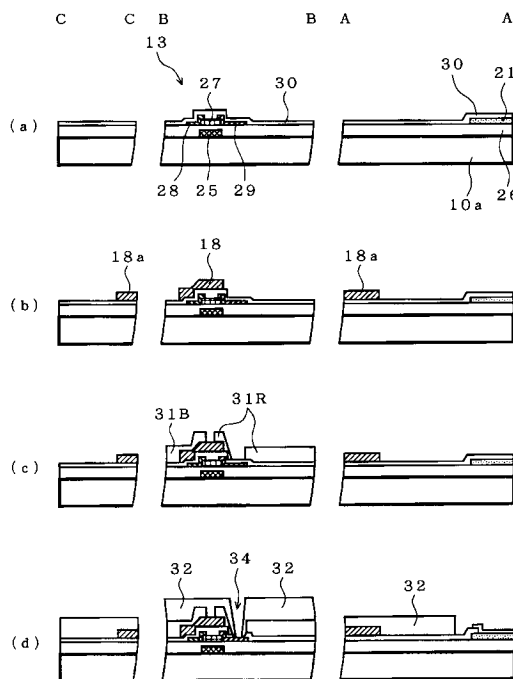
【図 3】



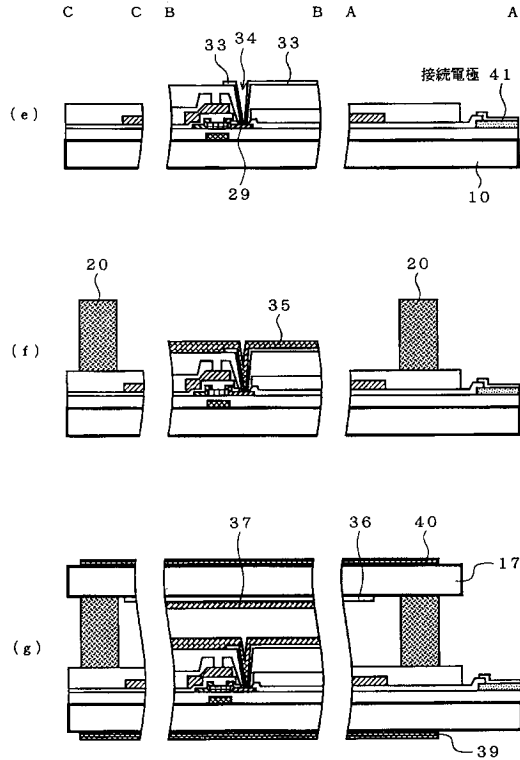
【図 4】



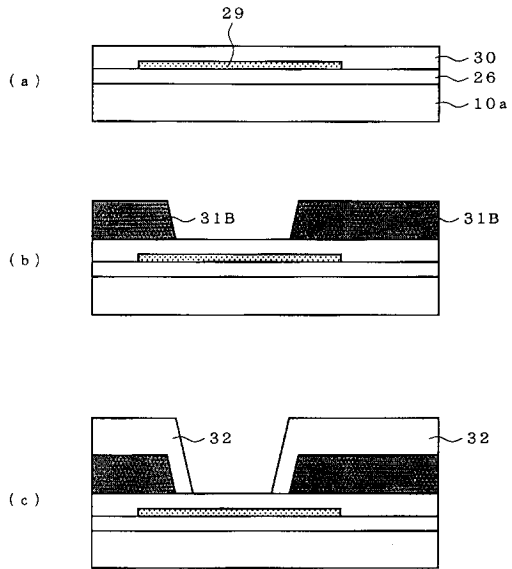
【図 5】



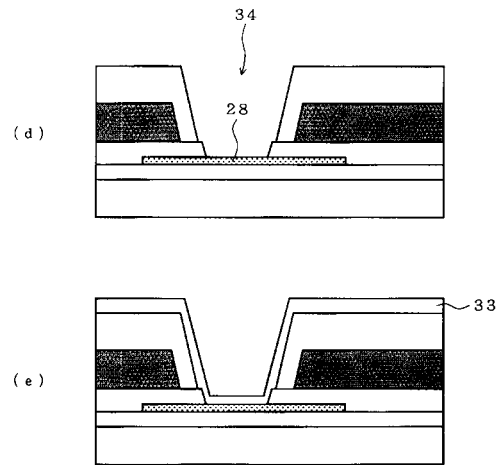
【図 6】



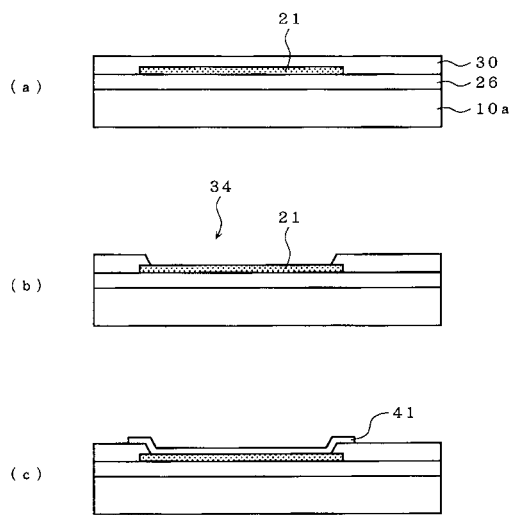
【図 7】



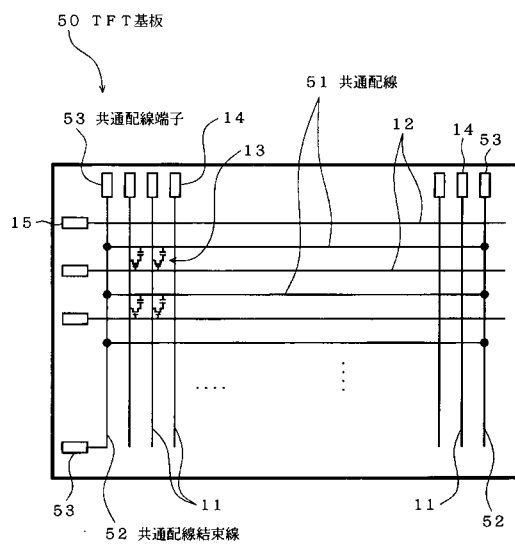
【図 8】



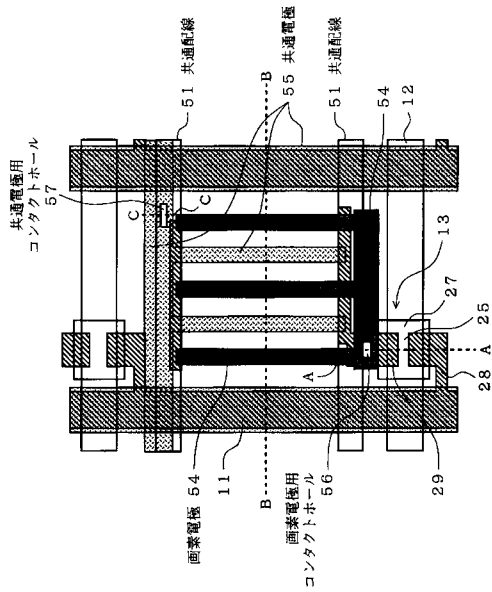
【図 9】



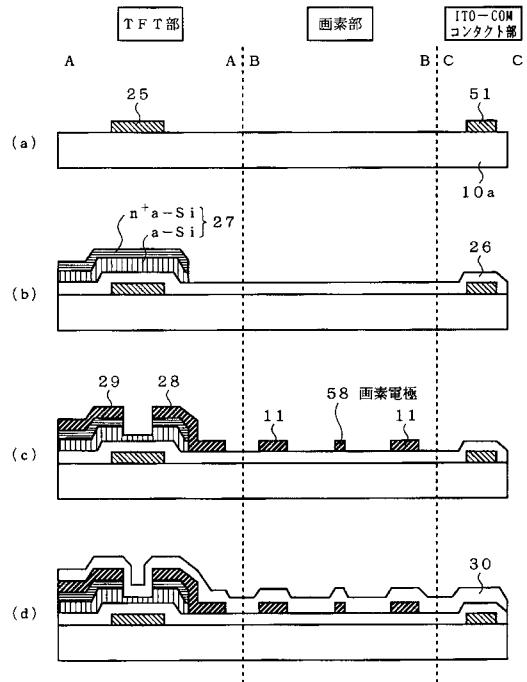
【図 10】



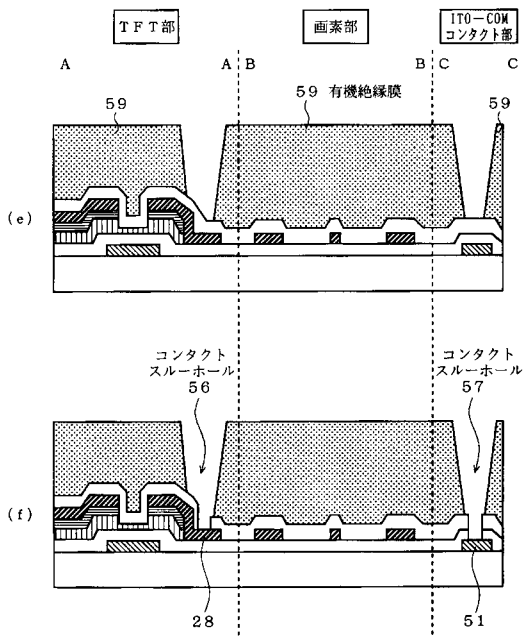
【図 1 1】



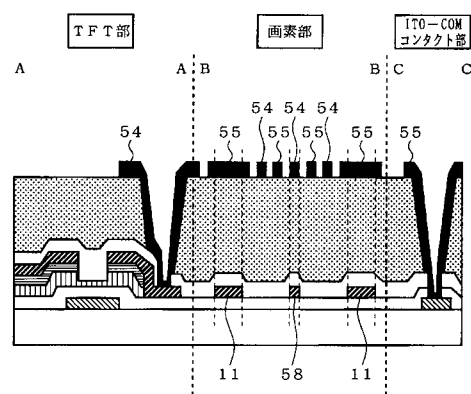
【図 1 2】



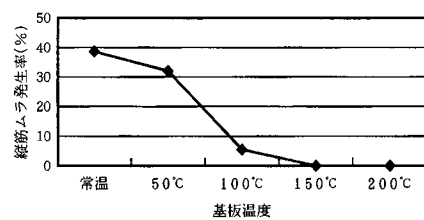
【図 1 3】



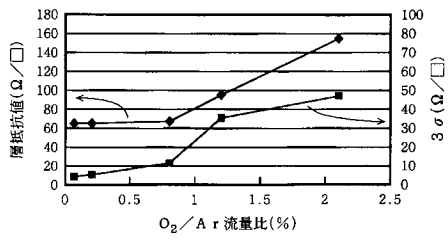
【図 1 4】



【図 1 5】



【図 16】



【図 18】

基板温度	100℃	150℃	170℃	200℃
ITOエッチング残さ	○	○	○	×

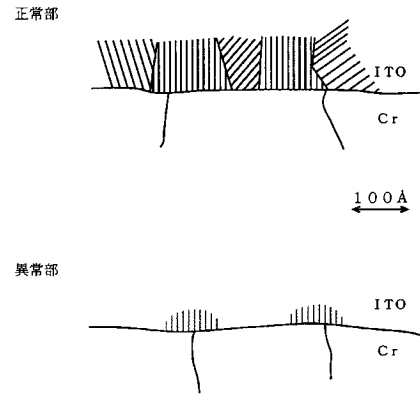
【図 19】

アニール温度	150℃	200℃	230℃	240℃	250℃
ITO線幅均一性	×	○	○	○	○
有機絶縁膜色つき	○	○	○	△	×

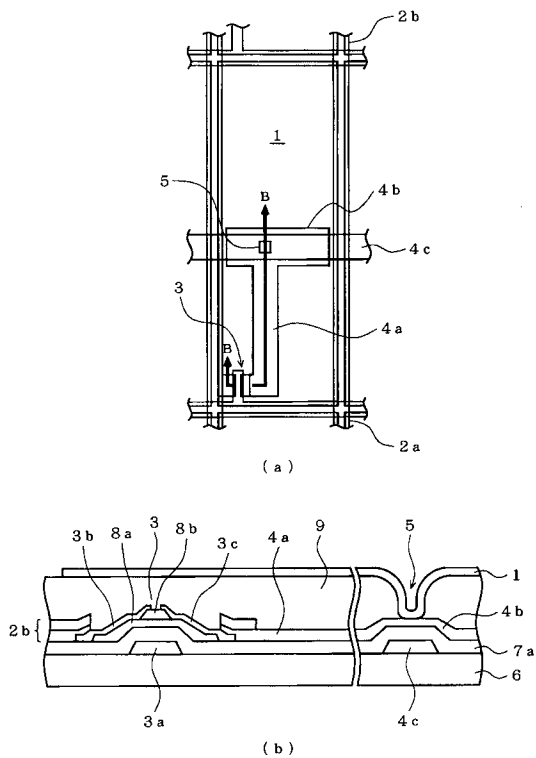
【図 20】

コンタクト抵抗値差	0Ω	1KΩ	1.5KΩ	3KΩ
縦筋ムラ	○	○	△	×

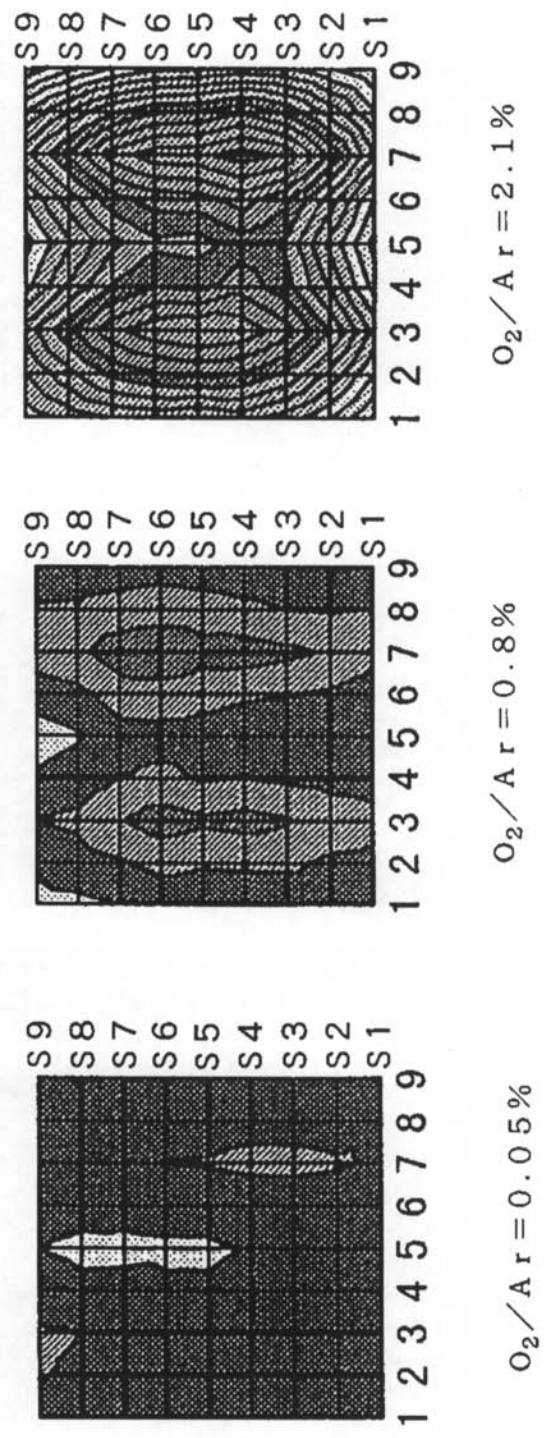
【図 21】



【図 22】



【図 17】



フロントページの続き

(72)発明者 土居 悟史

鹿児島県出水市大野原町 2 0 8 0 鹿児島日本電気株式会社内

(72)発明者 石野 隆行

鹿児島県出水市大野原町 2 0 8 0 鹿児島日本電気株式会社内

F ターム(参考) 2H092 GA14 JA26 JA46 JB05 JB57 JB69 KA05 KA07 KB12 KB14
KB22 KB25 KB26 MA05 MA08 MA10 MA13 MA19 NA28 PA08
PA09

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2011203762A	公开(公告)日	2011-10-13
申请号	JP2011155763	申请日	2011-07-14
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NLT科技有限公司		
[标]发明人	木村茂 前田明寿 土居悟史 石野隆行		
发明人	木村 茂 前田 明寿 土居 悟史 石野 隆行		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB57 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KB12 2H092/KB14 2H092/KB22 2H092/KB25 2H092/KB26 2H092/MA05 2H092/MA08 2H092/MA10 2H092/MA13 2H092/MA19 2H092/NA28 2H092/PA08 2H092/PA09 2H192/AA24 2H192/BB03 2H192/BC31 2H192/CB05 2H192/EA42 2H192/HA13 2H192/HA33 2H192/HA63 2H192/HA90		
代理人(译)	宫崎昭雄 绪方明		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其制造方法，在应用系统的绝缘膜上形成ITO（铟锡氧化物）膜时不产生蚀刻残留物，可以去除通过降低ITO膜和下层金属膜之间的接触电阻，在液晶显示器表面上显示失败。

解决方案：在制造液晶显示装置的方法中，包括在基板上以矩阵形状排列的扫描线和信号线，连接到线的TFT（薄膜晶体管）和通过TFT连接到TFT的像素电极在涂敷系统的层间绝缘膜中，在层间绝缘膜上形成透明导电膜时的衬底温度设定在100-170℃。此外，当在层间绝缘膜上形成透明导电膜时，在非加热状态下氧气流速比设定为1%或更低，并且在形成膜之后进行退火。