

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-184529

(P2015-184529A)

(43) 公開日 平成27年10月22日(2015. 10.22)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/36	(2006.01)	G09G 3/36 2 H 1 9 3
G09G 3/20	(2006.01)	G09G 3/20 6 2 4 B 5 C 0 0 6
G02F 1/133	(2006.01)	G09G 3/20 6 4 1 E 5 C 0 8 0
		GO2F 1/133 5 5 0

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号	特願2014-61585 (P2014-61585)	(71) 出願人	308036402 株式会社 J V C ケンウッド 神奈川県横浜市神奈川区守屋町3丁目12 番地
(22) 出願日	平成26年3月25日 (2014. 3. 25)	(74) 代理人	100085235 弁理士 松浦 兼行
		(72) 発明者	樋口 潤 神奈川県横浜市神奈川区守屋町3丁目12 番地
		F ターム (参考)	2H193 ZA04 ZA20 ZC39 ZD25 ZD26 ZD30 ZE10 ZF31 5C006 AA14 AA21 AC25 AC26 AF44 AF50 BB16 BC06 BF03 BF04 BF27 BF46 FA31
			最終頁に続く

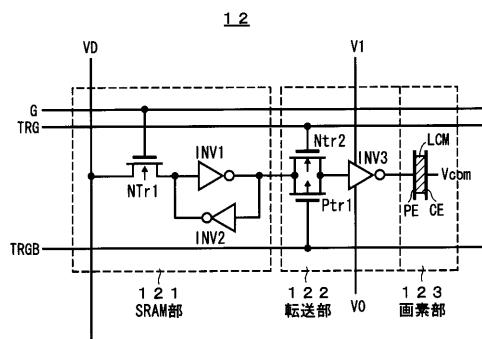
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】転送スイッチのオフ動作に影響されず画素電圧を所望の一定値に設定可能とし、安定な動作を実現する。

【解決手段】画素12は、SRAM部121、転送部122、及び画素部123から構成されている。転送部122は、NTr2及びPTR1とからなるトランスマッショングートによる転送スイッチと、インバータINV3とから構成されている。インバータINV3の高電圧側電源端子にはSRAM部121の高電圧側電源電圧VDDとは異なるV1が印加され、INV3の低電圧側電源端子にはSRAM部121の低電圧側電源の接地電位GNDとは異なるV0が印加されている。インバータINV3の出力電圧はV1又はV0である。V1、V0を赤、緑、青それぞれの色の専用画像表示部に合った画素電圧に設定することができます。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる画像表示部と、

前記画像表示部を構成する前記複数の画素の全てに、映像信号の各フレームを前記映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、前記列データ線を介して順次に書き込んだ後、書き込んだ前記サブフレームデータを全画素から読み出す画素制御手段とを備えるとともに、

前記複数の画素のそれぞれが、

対向する画素電極と共に通電極との間に液晶が充填封入された表示素子と、

10

前記サブフレームデータを、前記列データ線を介してサンプリングして保持するスタティック・ランダム・アクセス部と、

前記スタティック・ランダム・アクセス部に保持された前記サブフレームデータを読み出して上書き保持して前記画素電極に画素電圧として出力する転送部と

を備え、

前記スタティック・ランダム・アクセス部は、

書き込み時にオンとされて前記列データ線を介して供給される前記サブフレームデータをサンプリング出力する画素選択スイッチと、

前記画素選択スイッチによりサンプリング出力された前記サブフレームデータを保持する、互いの出力端子が他方の入力端子に接続された2のインバータからなる自己保持型メモリとからなり、

20

前記転送部は、

サブフレームデータ表示時にオンとされて前記自己保持型メモリに保持されている前記サブフレームデータを読み出して転送する転送スイッチと、

前記スタティック・ランダム・アクセス部の高電位側電源電圧と異なる高電位側電源電圧V1と前記スタティック・ランダム・アクセス部の低電位側電源電圧と異なる低電位側電源電圧V0とに設定されており、前記転送スイッチにより転送された前記サブフレームデータを、上書き保持するとともに極性反転して前記画素電極へ前記電圧V1またはV0を前記画素電圧として出力するインバータとからなる

ことを特徴とする液晶表示装置。

30

【請求項 2】

前記電圧V1及びV0は、外部の上位装置により、前記スタティック・ランダム・アクセス部の高電位側電源電圧より小で、かつ、低電位側電源電圧より大なる電圧の範囲内の、任意の値に設定可能とされていることを特徴とする請求項1記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置に係り、特に複数ビットで表される階調レベルに応じて、複数のサブフレームの組み合わせによって階調表示を行う液晶表示装置に関する。

40

【背景技術】**【0002】**

従来より、液晶表示装置における中間調表示方式の一つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には1画像の表示単位である1フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせで画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。

【0003】

このサブフレーム駆動方式の液晶表示装置において、複数本の行走査線と複数本の列データ線との各交差部に設けられた各画素のそれぞれが、列データ線を介して供給されるサ

50

フレームデータをサンプリングして書き込んで記憶させるスタティック・ランダム・アクセス・メモリ(SRAM)と、SRAMに記憶されたサブフレームデータを読み出してサブフレーム期間保持して液晶表示素子の画素電極に印加して液晶表示素子により画像表示させるダイナミック・ランダム・アクセス・メモリ(DRAM)とから構成された液晶表示装置が知られている(例えば、特許文献1参照)。

【0004】

上記のSRAMは、行走査線にゲートが接続され、列データ線にドレインが接続された画素選択トランジスタと、互いの入力端子が他方の出力端子に接続された2つのインバータからなる自己保持型メモリとからなり、2つのインバータの一方の入力端子と他方の出力端子とが画素選択トランジスタのソースに接続された構成である。また、上記のDRAMは、SRAMから出力されるサブフレームデータを所定のタイミングでオンされて転送させる転送スイッチ(例えばトランスミッショングートにより構成される)と、その転送スイッチを通して供給されるサブフレームデータを保持する保持容量とからなり、保持容量で保持されたサブフレームデータを画素電極に印加する構成である。転送スイッチはトリガーパルスによりスイッチングされる。

10

【0005】

特許文献1記載の液晶表示装置の画素書き込み時は、行走査線を介して供給される行選択信号により1行(1ライン)の複数の画素ずつ排他的に順番に選択されていき、1フレームではすべての行(全ライン)の複数の画素が選択される。この画素選択時にSRAMを構成する画素選択トランジスタがオンとされ、列データ線を介して供給されるサブフレームデータがサンプリングされて自己保持型メモリに供給されて記憶される。

20

【0006】

全ての画素に対して上記と同様の動作により各サブフレームデータの書き込みが終了すると、所定論理値のトリガーパルスにより全画素の転送スイッチがほぼ同時にオンとされ、各画素内の転送スイッチを通してSRAMからサブフレームデータを読み出して保持容量に供給してサブフレーム期間保持させると共に画素電極に印加する。これにより、全画素の液晶表示素子によりサブフレーム期間の画像表示が行われる。そのサブフレーム期間の表示中に、次のサブフレームのサブフレームデータの各画素への書き込みが開始され、次のサブフレームの表示までに全画素への書き込みが終了する。以下、上記と同様の動作が1フレームの全てのサブフレームで繰り返される。なお、詳細な説明は後述するが、液晶表示素子の共通電極にはサブフレームに同期して反転する共通電極が印加される。

30

【0007】

このようにして、サブフレーム駆動方式の液晶表示装置においては、1フレーム期間内の全てのサブフレームは、その表示期間が同一または異なる所定の期間に予め割り当てられており、各画素において最大階調表示時は全てのサブフレームにおいて白の表示を行い、最小階調表示時は全てのサブフレームにおいて黒表示とし、それ以外の階調の場合は表示する階調に応じてサブフレーム毎に黒または白を選択し、複数のサブフレームの組み合わせによって階調表示を行う。この従来の液晶表示装置は、入力されるサブフレームデータが階調を示すデータであり、画素がSRAMとDRAMの2つの記憶部からなるデジタル駆動方式となっている。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2013-92714号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、上記の従来の液晶表示装置では、保持容量が保持する画素電圧は、同じ画素の転送スイッチのオフ動作の状態によって変化してしまう問題がある。例えば、転送スイッチを構成するNチャネルのMOS型電界効果トランジスタのゲートにトリガーパルス

50

を印加してスイッチングする構成では、トリガパルスの“H”レベル期間、転送スイッチをオンとしてS R A Mに記憶されているサブフレームデータを保持容量に転送させる。

【0010】

この場合、全画素のS R A Mから“H”レベルのサブフレームデータを読み出す時は、トリガパルスが“H”レベルから“L”レベルへ立ち下がっていく早い段階で転送スイッチがオフとなるので、トリガパルス伝送線の負荷（寄生容量）が軽くなり、トリガパルスの立ち下がりが早くなる。これに対し、1画素のS R A Mのみから“H”レベルのサブフレームデータを読み出し、残りの全ての画素のS R A Mからは“L”レベルのサブフレームデータを読み出す時は、トリガパルスが立ち下がっていくとき転送スイッチがオンのままなので、トリガパルス伝送線の負荷（寄生容量）が重くなり、トリガパルスの立ち下がりが遅くなる。

10

【0011】

全画素の記憶データが“H”レベルの時の“H”レベルの画素データはフィードスルーの影響で電圧低下が大きく、1画素のみ記憶データが“H”レベルの時の“H”レベルの画素データは電圧低下が小さくなり、同じ“H”レベルであっても画素電圧が異なってしまう。このようにトリガパルスの波形が異なると、保持容量に保持される画素電圧が同じ論理値でも異なってしまう。画素電圧の値が僅かでも異なると、例えば数十mVでも変化すると、その変化が画像として見えてしまう。

20

【0012】

本発明は以上の点に鑑みなされたもので、転送スイッチのオフ動作に影響されず画素電圧を所望の一定値に設定可能とし、安定な動作を実現した液晶表示装置を提供することを目的とする。

30

【課題を解決するための手段】

【0013】

本発明は上記の目的を達成するため、複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる画像表示部と、画像表示部を構成する複数の画素の全てに、映像信号の各フレームを映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、列データ線を介して順次に書き込んだ後、書き込んだサブフレームデータを全画素から読み出す画素制御手段とを備えるとともに、

30

複数の画素のそれぞれが、対向する画素電極と共に通電極との間に液晶が充填封入された表示素子と、サブフレームデータを、列データ線を介してサンプリングして保持するスタティック・ランダム・アクセス部と、スタティック・ランダム・アクセス部に保持されたサブフレームデータを読み出して上書き保持して画素電極に画素電圧として出力する転送部とを備え、

スタティック・ランダム・アクセス部は、書き込み時にオンとされて列データ線を介して供給されるサブフレームデータをサンプリング出力する画素選択スイッチと、画素選択スイッチによりサンプリング出力されたサブフレームデータを保持する、互いの出力端子が他方の入力端子に接続された2のインバータからなる自己保持型メモリとからなり、

40

転送部は、サブフレームデータ表示時にオンとされて自己保持型メモリに保持されているサブフレームデータを読み出して転送する転送スイッチと、スタティック・ランダム・アクセス部の高電位側電源電圧と異なる高電位側電源電圧V1とスタティック・ランダム・アクセス部の低電位側電源電圧と異なる低電位側電源電圧V0とに設定されており、転送スイッチにより転送されたサブフレームデータを、上書き保持するとともに極性反転して画素電極へ電圧V1またはV0を画素電圧として出力するインバータとからなることを特徴とする。

40

【発明の効果】

【0014】

本発明によれば、転送スイッチのオフ動作に影響されず画素電圧を所望の値に設定でき、また安定な動作を実現することができる。

50

【図面の簡単な説明】**【0015】**

【図1】本発明の液晶表示装置の一実施の形態の構成図である。

【図2】図1中の一画素の一実施の形態の回路図である。

【図3】図2の動作説明用タイミングチャートである。

【発明を実施するための形態】**【0016】**

次に、本発明の実施の形態について図面と共に説明する。

【0017】

10

図1は、本発明になる液晶表示装置の一実施の形態の構成図を示す。同図において、本実施の形態の液晶表示装置10は、画像表示部11、タイミングジェネレータ13、垂直シフトレジスタ14、データラッチ回路15、水平シフトレジスタ16、ラッチ回路17、及びレベルシフタ/画素ドライバ18により構成されている、サブフレーム駆動方式の液晶表示装置である。

【0018】

20

画像表示部11は、垂直シフトレジスタ14に一端が接続されて行方向に延在するm本（mは2以上の自然数）の行走査線G1～Gmと、レベルシフタ/画素ドライバ18に一端が接続されて列方向に延在するn本（nは2以上の自然数）の列データ線VD1～VDnとが交差する各交差部に設けられ、二次元マトリクス状に配置された全部でm×n個の画素12から構成されている。画像表示部11を構成する画素12は、一端がタイミングジェネレータ13に接続された一組のトリガ線（TRG及びTRGB）に共通接続されている。なお、図1では図示の便宜上、トリガ線は1本のみとしている。また、全ての画素12には外部から電源電圧V0及びV1が共通に印加される。本実施の形態の液晶表示装置10は、後述する画素12の構成に特徴がある。

【0019】

30

タイミングジェネレータ13は、上位装置19から垂直同期信号Vst、水平同期信号Hst、基本クロックCLKといった外部信号を入力信号として受け、これらの外部信号に基づいて、VスタートパルスVST、HスタートパルスHST、クロック信号VCK及びHCK、ラッチパルスLT、2種類のトリガパルスTRG及びTRGBなどの各種信号を生成する。

【0020】

VスタートパルスVSTは、各サブフレーム開始タイミングに出力されるパルス信号であり、VスタートパルスVSTによってサブフレームの切り替わりが制御される。HスタートパルスHSTは、水平シフトレジスタ16に入力する開始タイミングに出力されるパルス信号である。クロック信号VCKは、垂直シフトレジスタ14における1水平走査期間（1H）を規定するシフトクロックであり、クロック信号VCKのタイミングで垂直シフトレジスタ14がシフト動作を行う。クロック信号HCKは、水平シフトレジスタ16におけるシフトクロックであり、例えば32ビット幅でサブフレームデータをシフトしていくための信号である。

【0021】

40

ラッチパルスLTは、水平シフトレジスタ16が水平方向の1行の画素のサブフレームデータをシフトし終わったタイミングで出力されるパルス信号である。トリガパルスは常に逆論理値の関係にある正転トリガパルスTRGと反転トリガパルスとからなり、これらはトリガ線を通して画像表示部11を構成する全画素12に共通に供給される。これら正転トリガパルスTRGと反転トリガパルスとは、サブフレーム期間内で画像表示部11内の各画素12内の後述するSRAM部に順次サブフレームデータを書き込み終わった直後に outputされ、そのサブフレーム期間内で画像表示部11内の全画素の後述する転送スイッチをオンに制御してSRAM部の記憶サブフレームデータを同じ画素12内の画素電極に一度に転送させる。

【0022】

50

垂直シフトレジスタ14は、それぞれのサブフレームの最初に供給されるVスタートパ

ルスVSTを、クロック信号VCKによって転送し、行走査線G1～Gmに対して行選択信号を1H単位で順次排他的に供給する。これにより、画像表示部11において最も上にある行走査線G1から最も下にある行走査線Gmに向かって、行走査線が1本ずつ順次1H単位で選択されていく。

【0023】

データラッチ回路15は、図示しない外部回路から供給される1サブフレーム毎に分別された32ビット幅のサブフレームデータを、上位装置19からの基本クロックCLKに基づいてラッチした後、基本クロックCLKに同期して水平シフトレジスタ16へ出力する。ここで、映像信号の1フレームを、その映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームに分割してサブフレームの組み合わせによって階調表示を行う本実施形態では、上記の外部回路は映像信号の各画素毎の階調を示す階調データを、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の1ビットのサブフレームデータに変換する。そして、上記外部回路は、更に同じサブフレームにおける32画素分の上記サブフレームデータをまとめて上記32ビット幅のデータとしてデータラッチ回路15に供給している。

10

【0024】

水平シフトレジスタ16は、タイミングジェネレータ13からの1Hの最初に供給されるHスタートパルスHSTによりシフトを開始し、データラッチ回路15から供給される32ビット幅のデータをクロック信号HCKに同期してシフトする。ラッチ回路17は、水平シフトレジスタ16が画像表示部11の1行分の画素数nと同じnビット分（これは32ビットの複数倍のビット数）のデータをシフトし終わった時点で、タイミングジェネレータ13から供給されるラッチパルスLTに従って、水平シフトレジスタ16から並列に供給されるnビットのサブフレームデータをラッチし、レベルシフタ/画素ドライバ18のレベルシフタへ出力する。ラッチ回路17へのデータ転送が終了すると、タイミングジェネレータ13からHスタートパルスHSTが再び出力され、水平シフトレジスタ16は、クロック信号HCKに同期してデータラッチ回路15から供給される次のサブフレームの32ビット幅のデータのシフトを再開する。

20

【0025】

レベルシフタ/画素ドライバ18のレベルシフタは、ラッチ回路17によりラッチされて供給される1行のn画素に対応したn個のサブフレームデータの信号レベルを液晶駆動電圧までレベルシフトする。レベルシフタ/画素ドライバ18の画素ドライバは、レベルシフト後の1行のn画素に対応したn個のサブフレームデータをn本の列データ線VD1～VDnに並列に出力する。

30

【0026】

水平ドライバを構成する水平シフトレジスタ16、ラッチ回路17及びレベルシフタ/画素ドライバ18は、1H内において今回サブフレームデータを書き込む画素行に対するサブフレームデータの出力と、次の1H内でサブフレームデータを書き込む画素行に関するデータのシフトとを並行して行う。或る1Hにおいて、ラッチされた1行分のn個（nビット）のサブフレームデータが、データ信号としてそれぞれn本の列データ線VD1～VDnに並列に、かつ、一斉に出力される。

40

【0027】

画像表示部11を構成する複数の画素のうち、垂直シフトレジスタ14からの行選択信号により選択された1行のn個の画素12は、レベルシフタ/画素ドライバ18から一斉に出力された1行分のn個のサブフレームデータをn本の列データ線VD1～VDnを介して画素毎にサンプリングしてそれぞれの画素内のSRAM部に書き込む。同様の動作をHスタートパルスHSTの出力から繰り返し行い、m行分の画素12への書き込みを1行の画素単位で行うことで画像表示部11を構成する全画素への1サブフレームの書き込みが終了する。

【0028】

次に、本実施形態の液晶表示装置10の特徴である画素12の構成について説明する。

50

【0029】

図2は、図1中の一画素の一実施の形態の回路図を示す。図2に示す一画素12は、図1に示したn本の列データ線VD1～VDnのうちの任意の1本の列データ線VDと、m本の行走査線G1～Gmのうちの任意の1本の行走査線Gとが交差する交差部に設けられた、アクティブラマトリックス型液晶表示装置の画素である。

【0030】

図2に示すように、本実施の形態の画素12は、スタティック・ランダム・アクセス・メモリ部(SRAM部)121、転送部122、及び画素部123から構成されている。SRAM部121は、スイッチングトランジスタであるNチャネルMOS型電界効果トランジスタ(以下、NMOSトランジスタという)NTr1と、2個のインバータINV1及びINV2とから構成されている。NTr1は画素選択スイッチを構成しており、そのドレインが列データ線VDに接続され、そのゲートが行走査線Gに接続され、そのソースがインバータINV1の入力端子及びインバータINV2の出力端子に接続されている。インバータINV1及びINV2は一方の出力端子が他方の入力端子に接続されて公知の自己保持型メモリを構成している。

10

【0031】

SRAM部121では、転送スイッチNTr1からのデータ書き込みを容易にするため、インバータINV2を構成するトランジスタの駆動力は、インバータINV1を構成するトランジスタの駆動力及びNTr1の駆動力に比べて小さく設定されているが、詳細な説明は本発明の要旨ではないので省略する。

20

【0032】

転送部122は、それぞれのドレイン同士、及びソース同士が接続されたNMOSトランジスタNTr2及びPMOSチャネルMOS型電界効果トランジスタ(以下、PMOSトランジスタという)PTr1とからなるトランスミッショングートによる転送スイッチと、インバータINV3とから構成されている。転送スイッチをトランスミッショングート(相補スイッチ)としているのは、SRAM部121の出力電圧がVDD、GNDのどちらでも信号を効率良く通すことができるので、安定動作に貢献するためである。

【0033】

転送スイッチは入力端子(NTr2及びPTr1のドレイン又はソース)がインバータINV1の出力端子とインバータINV2の入力端子に接続され、出力端子が(NTr2及びPTr1のソース又はドレイン)がインバータINV3の入力端子に接続され、NTr2のゲートが正転トリガパルスTRG伝送線に接続され、PTr1のゲートが反転トリガパルスTRGB伝送線に接続されている。インバータINV3は出力端子が画素電極PEに接続されている。また、インバータINV3の高電圧側電源端子にはSRAM部121の高電圧側電源電圧VDDとは異なるV1が印加され、INV3の低電圧側電源端子にはSRAM部121の低電圧側電源の接地電位GNDとは異なるV0が印加されている。これにより、インバータINV3の出力電圧はV1又はV0となる。また、インバータINV3の出力電圧がVDD、GNDとは異なるV1又はV0に設定できるため、赤、緑、青の3原色のそれぞれ専用の画像表示部で液晶表示装置を構成する場合などでは、V1、V0を赤、緑、青それぞれの色に合った画素電圧に設定することが可能となる。なお、一例として、GND < V0 < V1 < VDDである。

30

【0034】

画素部123は、離間対向して配置された画素電極PEと共に共通電極CEとの間に液晶LCMが充填封入された構造の公知の液晶素子により構成されている。画素毎に設けられた画素電極PEには転送部122からサブフレームデータが印加され、全画素に共通に設けられた共通電極CEには共通電圧Vcomが外部装置19から印加される。後述するように、共通電圧Vcomはサブフレーム期間毎に極性反転し、かつ、ハイレベル電圧値とローレベル電圧値とがそれぞれ所定値に設定された矩形波である。

40

【0035】

ここで、転送部122にインバータINV3を使う利点について説明する。転送スイッチを構成するNTr2及びPTr1のそれぞれのゲートに印加される正転トリガパルスTRG及び反

50

転トリガパルスTRGBの波形が従来の液晶表示装置と同様の理由で、全画素のS R A M部の記憶状態によって変化して転送スイッチを通してS R A M部1 2 1からインバータI N V 3に供給されるデータのレベルが若干変化しても、インバータI N V 3は、入力データレベルが閾値以上であるか否かにより論理値を判定して、その論理値を反転したデータを出力する。

【0 0 3 6】

このため、インバータI N V 3は、供給されるデータのレベルが同じ論理値の場合は、そのレベルが若干変化しても同じ論理値であると判定するため、入力データの論理値を正確に判定して、かつ、その論理値を反転した予め設定されたレベル変動の無い電圧V0またはV1を出力し、画素電圧として画素電極P Eへ印加する。従って、インバータI N V 3を用いることで、従来の液晶表示装置のようなトリガパルスの波形の変化が画素電圧に影響を与えることはない。10

【0 0 3 7】

次に、本実施の形態の液晶表示装置1 0の動作について、図3のタイミングチャートを併せ参照して説明する。

【0 0 3 8】

前述したように、図1の液晶表示装置1 0において、垂直シフトレジスタ1 4からの行走査信号により行走査線G1から行走査線Gmに向って、行走査線が1本ずつ順次1 H単位で選択されていくため、画像表示部1 1を構成する複数の画素1 2は、選択された行走査線に共通に接続された1行のn個の画素単位でデータの書き込みが行われる。そして、画像表示部1 1を構成する複数の画素1 2の全てに書き込みが終わった後、トリガパルスに基づいて全画素一斉に読み出しが行われる。20

【0 0 3 9】

図3(A)は、レベルシフタ/画素ドライバ1 8から列データ線VD(VD1~VDn)に出力される1ビットのサブフレームデータの一画素の書き込み期間及び読み出し期間を模式的に示す。右下がりの斜線の水平投影区間が書き込み期間を示す。なお、図3(A)中、nB0、nB1、nB2はB0、B1、B2のサブフレームデータの反転データであることを示す。また、図3(B)は、タイミングジェネレータ1 3から正転トリガパルス用トリガ線に出力されるトリガパルスTRGを示す。このトリガパルスTRGは1サブフレーム毎に出力される。なお、反転トリガパルス用トリガ線に出力される反転トリガパルスTRGBは正転トリガパルスTRGと常に逆論理値であるのでその図示は省略してある。30

【0 0 4 0】

まず、図2に示す画素1 2は行選択信号により選択されると、画素選択スイッチNTr1がオンとされ、その時列データ線VDに出力される図3(A)のビットB 0の正転サブフレームデータ(論理値「1」のときVDD、論理値「0」のとき0)が画素選択スイッチNTr1によりサンプリングされて2つのインバータI N V 1及びI N V 2からなる自己保持型メモリに書き込まれる。以下、同様にして、画像表示部1 1を構成する全ての画素1 2のS R A M部1 2 1の自己保持型メモリにビットB 0のサブフレームデータの書き込みが行われる。40

【0 0 4 1】

上記書き込み動作が終了した後の図3に示す時刻t 1で、図3(B)に示すように“H”レベルの正転トリガパルスTRGが画像表示部1 1を構成する全ての画素1 2に同時に供給される。これにより、全ての画素1 2の転送部1 2 2内の転送スイッチNTr2及びPTr1がオンとされるため、S R A M部1 2 1に記憶されているビットB 0の正転サブフレームデータが反転されて転送スイッチNTr2及びPTr1を通してインバータI N V 3に一斉に転送される。

【0 0 4 2】

インバータI N V 3は、入力されたビットB 0のサブフレームデータ(論理値「1」のときVDD、論理値「0」のとき0)を一時保持するとともに再び極性反転してビットB 0の正転サブフレームデータを画素電極P Eに印加する。このインバータI N V 3によるビ50

ットB0の正転サブフレームデータの保持期間は、時刻t1から図3(B)に示すように次の“H”レベルの正転トリガパルスTRGが入力される時刻t2までの1サブフレーム期間である。

【0043】

ここで、インバータINV3から画素電極PEに印加されるサブフレームデータのビット値が「1」、すなわち“H”レベルのときには電源電圧V1が印加され、ビット値が「0」、すなわち“L”レベルのときにはV0が印加される。一方、液晶素子の共通電極CEには、自由な電圧が共通電極電圧Vcomとして印加できるようになっており、“H”レベルの正転トリガパルスが入力される時と同時タイミングで規定の電圧に切り替わるようにされている。ここでは、共通電極電圧Vcomは、正転サブフレームデータが画素電極PEに印加されるサブフレーム期間は、図3(I)に示すように0Vよりも例えば液晶LCMの閾値電圧だけ低いマイナスの電圧cに設定される。

10

【0044】

液晶素子は画素電極PEの画素電圧と共通電極CEの共通電極電圧との差電圧の絶対値である液晶LCMの印加電圧に応じた階調表示を行う。従って、ビットB0の正転サブフレームデータが画素電極PEに印加される時刻t1～t2の1サブフレーム期間では、液晶LCMの印加電圧はサブフレームデータのビット値が「1」であるときは、図3(J)に示すように(V1 - c)という正の大きな電圧となり、液晶素子は白を表示する。一方、サブフレームデータのビット値が「0」であるときは、図3(K)に示すように(V0 - c)という正の小さな電圧となり、液晶素子は黒を表示する。

20

【0045】

上記のビットB0の正転サブフレームデータを表示している時刻t1～t2の1サブフレーム期間内において、図3(A)に示すように次のビットB0の反転サブフレームデータnB0の全画素12内のSRAM部121への書き込みが、前述したB0の正転サブフレームデータの書き込み時と同様にして行われる。これにより、全画素12内のSRAM部121は、それまで記憶していたビットB0の正転サブフレームデータを反転サブフレームデータnB0に書き換える(上書き記憶する)。

20

【0046】

その書き込み動作が終了した後の図3に示す時刻t2で、図3(B)に示すように“H”レベルの正転トリガパルスTRGが画像表示部11を構成する全ての画素12に同時に供給される。これにより、全ての画素12の転送部122内の転送スイッチNTr2及びPTr1がオンとされるため、SRAM部121に記憶されているビットB0の反転サブフレームデータnB0が反転されて転送スイッチNTr2及びPTr1を通してインバータINV3に一斉に転送される。

30

【0047】

インバータINV3は、入力された正転サブフレームデータB0(論理値「1」のときVDD、論理値「0」のとき0)を上書き保持するとともに再び極性反転して反転サブフレームデータnB0(論理値「1」のときV1、論理値「0」のときV0)を画素電極PEに印加する。このインバータINV3による反転サブフレームデータnB0の保持期間は、時刻t2から図3(B)に示すように次の“H”レベルの正転トリガパルスTRGが入力される時刻t3までの1サブフレーム期間である。

40

【0048】

ここで、共通電極電圧Vcomは、反転サブフレームデータが画素電極PEに印加されるサブフレーム期間は、図3(I)に示すようにV1よりも大きな所定の正の電圧dに設定される。従って、反転サブフレームデータnB0が画素電極PEに印加される時刻t2～t3の1サブフレーム期間では、液晶LCMの印加電圧は反転サブフレームデータのビット値が「1」であるときは、図3(K)に示すように(V1 - d)という負の小さな電圧となり、液晶素子は黒を表示する。一方、反転サブフレームデータのビット値が「0」であるときは、図3(J)に示すように(V0 - d)という負の大きな電圧となり、液晶素子は白を表示する。

50

【0049】

すなわち、液晶の印加電圧において、図3(J)に示す正の大きな電圧(V1 - c)と負の大きな電圧(V0 - d)とは極性が異なるが絶対値が同一の大なる値であり、いずれの場合も液晶素子は白を表示する。一方、図3(K)に示す正の小さな電圧(V0 - c)と負の小さな電圧(V1 - d)とは極性が異なるが絶対値が同一の小なる値であり、いずれの場合も液晶素子は黒を表示する。

【0050】

また、図3(A)に示すようにビットB0の正転サブフレームデータに続いて、B0の反転サブフレームデータnB0が供給される。ここで、ビットB0の正転サブフレームデータとB0の反転サブフレームデータnB0のビット値は常に逆論理値の関係にある。従って、ビットB0の正転サブフレームデータが論理値「1」のときは続いて入力される反転サブフレームデータnB0の論理値は「0」である。逆に、ビットB0の正転サブフレームデータが論理値「0」のときは続いて入力される反転サブフレームデータnB0の論理値は「1」である。

10

【0051】

従って、時刻t1～t2の期間においてビットB0の正転サブフレームデータが論理値「1」で液晶の印加電圧が図3(J)に示すように(V1 - c)という正の大きな電圧で白を表示するときは、続いて時刻t2～t3の期間において入力される反転サブフレームデータnB0が論理値「0」であり、そのときの液晶の印加電圧が図3(J)に示すように負の大きな電圧(V0 - d)であり時刻t1～t2と同じ白を表示する。すなわち、ビットB0は時刻t1～t3の2サブフレーム期間にわたって、同じ白を表示する。

20

【0052】

一方、時刻t1～t2の期間においてビットB0の正転サブフレームデータが論理値「0」で液晶の印加電圧が図3(K)に示すように(V0 - c)という正の小さな電圧で黒を表示するときは、続いて時刻t2～t3の期間において入力される反転サブフレームデータnB0が論理値「1」であり、そのときの液晶の印加電圧が図3(K)に示すように負の小さな電圧(V1 - d)であり時刻t1～t2と同じ黒を表示する。このように、正転サブフレームデータと反転サブフレームデータにより、同じビットの2サブフレーム期間にわたって常に同じ白表示または黒表示を行う。

30

【0053】

また、画素電極P Eに印加される画素電圧は、時刻t1～t2の1サブフレーム期間と時刻t2～t3の次の1サブフレーム期間とは絶対値は同じであるが極性が反転しているので液晶素子の交流駆動ができる。

【0054】

時刻t3以降も上記と同様の動作が行われる。図3(C)はビットB0～B3の正転サブフレームデータがすべて論理値「1」(反転サブフレームデータnB0～nB3がすべて論理値「0」)のときの列データ線VDのサブフレームデータの波形、同図(D)はそのときのS R A M部121の出力サブフレームデータの波形、同図(E)はそのときの画素電位を示す。また、図3(F)はビットB0～B3の正転サブフレームデータがすべて論理値「0」(反転サブフレームデータnB0～nB3がすべて論理値「1」)のときの列データ線VDのサブフレームデータの波形、同図(G)はそのときのS R A M部121の出力サブフレームデータの波形、同図(H)はそのときの画素電位を示す。

40

【0055】

なお、1ビットのサブフレームビットの書き込み期間は図3(A)に右下がりの斜線で模式的に示すように各サブフレームビットで同じであるが、サブフレーム表示期間は各サブフレーム毎に異なっていてよい。図3の例では1番目のサブフレームビットの2サブフレーム表示期間(B0 + nB0)と、2番目のサブフレームビットの2サブフレーム表示期間(B1 + nB1)と、3番目のサブフレームビットの2サブフレーム表示期間(B2 + nB2)と、4番目のサブフレームビットの2サブフレーム表示期間(B3 + nB3)とは、1：2：4：8の関係にあり、これにより4ビットのパルス幅変調(P W M)方式

50

での階調表現が行われる。ただし、本発明はこのような関係に限定されるものではない。

【0056】

このように、本実施の形態によれば、転送部122を、転送スイッチNTr2及びPTr1からのサブフレームデータをインバータINV3で一時保持してインバータINV3の電源電圧V1またはV0を画素電極PEへ印加する構成としたため、トリガパルスTRG及びTRGBの伝送線に接続される画素12の状態が異なることによる保持電圧差が生じないので、画質を安定させることができる。

【0057】

また、本実施形態では、インバータINV3の電源電圧V1またはV0を上位装置19により制御可能としており、それらは他の回路部の電源電圧VDD及びGNDとは異なる電圧値にすることができる。このため、赤、緑、青の3原色のそれぞれ専用の画像表示部で液晶表示装置10を構成する場合などでは、V1、V0を赤、緑、青の専用の画像表示部毎にそれぞれの色に合った画素電圧に設定、調整することができる。

10

【0058】

なお、本発明は以上の実施形態に限定されるものではなく、例えば画素電極PEは反射電極及び透過電極のいずれでもよい。また、SRAM部に書き込んだサブフレームデータを読み出す方法としては、全画素から同時に読み出す場合に限らず、画素1つずつ順番に読み出してもよいし、複数本のラインの画素群単位で順番に読み出すようにしてもよい。

20

【符号の説明】

【0059】

10 液晶表示装置

11 画像表示部

12 画素

13 タイミングジェネレータ

14 垂直シフトレジスタ

15 データラッチ回路

16 水平シフトレジスタ

17 ラッチ回路

18 レベルシフタ/画素ドライバ

19 上位装置

30

121 スタティック・ランダム・アクセス・メモリ(SRAM)部

122 転送部

123 画素部

INV1、INV2、INV3 インバータ

NTr1 画素選択スイッチを構成するNMOSトランジスタ

NTr2 転送スイッチを構成するNMOSトランジスタ

PTr1 転送スイッチを構成するPMOSトランジスタ

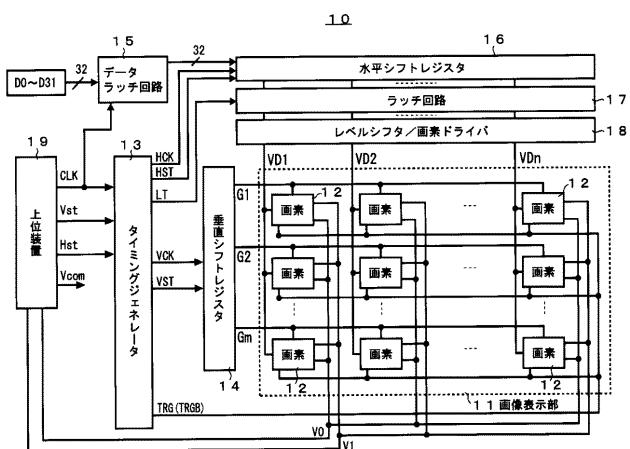
PE 画素電極

CE 共通電極

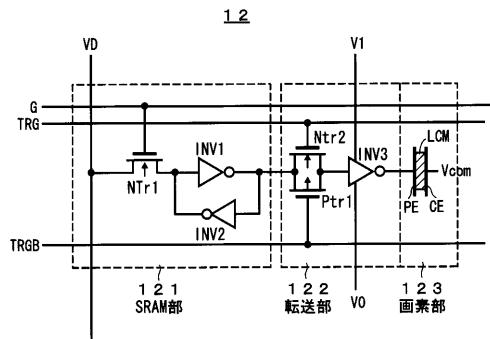
LCM 液晶

40

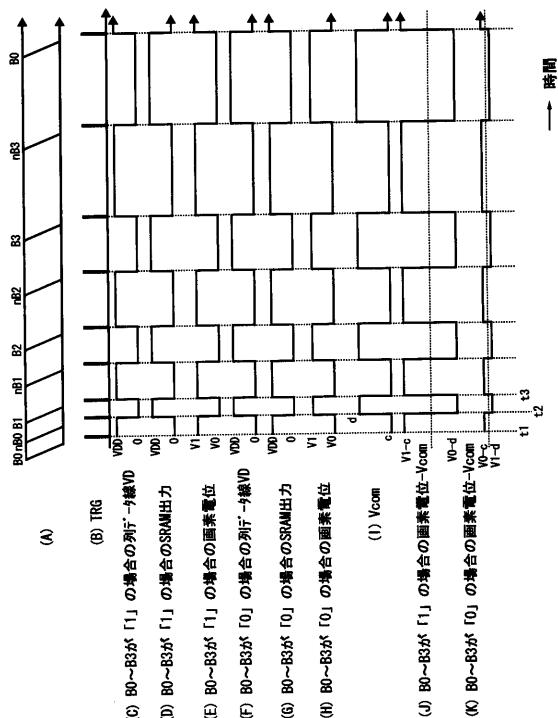
【図1】



【図2】



【図3】



フロントページの続き

F ターム(参考) 5C080 AA10 BB05 CC03 DD05 DD12 EE29 EE30 FF11 JJ02 JJ03
JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015184529A	公开(公告)日	2015-10-22
申请号	JP2014061585	申请日	2014-03-25
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	樋口 潤		
发明人	樋口 潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.641.E G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA20 2H193/ZC39 2H193/ZD25 2H193/ZD26 2H193/ZD30 2H193/ZE10 2H193 /ZF31 5C006/AA14 5C006/AA21 5C006/AC25 5C006/AC26 5C006/AF44 5C006/AF50 5C006/BB16 5C006/BC06 5C006/BF03 5C006/BF04 5C006/BF27 5C006/BF46 5C006/FA31 5C080/AA10 5C080 /BB05 5C080/CC03 5C080/DD05 5C080/DD12 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

解决的问题：通过将像素电压设置为期望的恒定值而不受转换开关的断开操作的影响，以实现稳定的操作。 像素包括SRAM部分，转移部分和像素部分。 传输单元122由包括由NTr2和PTr1组成的传输门和反相器INV3的传输开关组成。 将与SRAM部分121的高压侧电源电压VDD不同的V1施加到反相器INV3的高压侧电源端子，并且INV3的低压侧电源端子连接到SRAM部分121的低压侧电源的地电位GND。 应用了不同的V0。 反相器INV3的输出电压为V1或V0。 可以将V1和V0设置为适合红色，绿色和蓝色的专用图像显示部分的像素电压。 [选择图]图2

(21)出願番号	特願2014-61585(P2014-61585)	(71)出願人	308036402 株式会社 JVCケンウッド 神奈川県横浜市神奈川区守屋町3丁目12 番地
(22)出願日	平成26年3月25日(2014.3.25)	(72)発明者	樋口 潤 神奈川県横浜市神奈川区守屋町3丁目12 番地
		(74)代理人	100085235 弁理士 松浦 兼行
		(75)代理店	樋口 潤 神奈川県横浜市神奈川区守屋町3丁目12 番地
F-TERM(参考)	2H193 ZA04 ZA20 ZC39 ZD25 ZD26 ZD30 ZE10 ZF31 5C006 AA14 AA21 AC25 AC26 AF44 AF50 BB16 BC06 BF03 BF04 BF27 BF46 FA31		

最終頁に続く