

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-184529

(P2015-184529A)

(43) 公開日 平成27年10月22日(2015.10.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 641E	5C080
	G02F 1/133 550	

審査請求 未請求 請求項の数 2 O L (全 13 頁)

(21) 出願番号 特願2014-61585 (P2014-61585)
 (22) 出願日 平成26年3月25日 (2014.3.25)

(71) 出願人 308036402
 株式会社 J V C ケンウッド
 神奈川県横浜市神奈川区守屋町3丁目12番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 樋口 潤
 神奈川県横浜市神奈川区守屋町3丁目12番地
 Fターム(参考) 2H193 ZA04 ZA20 ZC39 ZD25 ZD26
 ZD30 ZE10 ZF31
 5C006 AA14 AA21 AC25 AC26 AF44
 AF50 BB16 BC06 BF03 BF04
 BF27 BF46 FA31

最終頁に続く

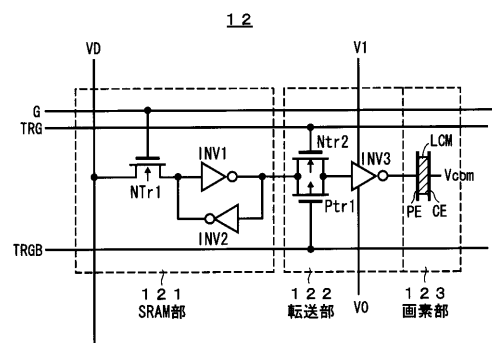
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 転送スイッチのオフ動作に影響されず画素電圧を所望の一定値に設定可能とし、安定な動作を実現する。

【解決手段】 画素12は、SRAM部121、転送部122、及び画素部123から構成されている。転送部122は、NTr2及びPtr1とからなるトランスミッションゲートによる転送スイッチと、インバータINV3とから構成されている。インバータINV3の高電圧側電源端子にはSRAM部121の高電圧側電源電圧VDDとは異なるV1が印加され、INV3の低電圧側電源端子にはSRAM部121の低電圧側電源の接地電位GNDとは異なるV0が印加されている。インバータINV3の出力電圧はV1又はV0である。V1、V0を赤、緑、青それぞれの色の専用画像表示部に合った画素電圧に設定することができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる画像表示部と、

前記画像表示部を構成する前記複数の画素の全てに、映像信号の各フレームを前記映像信号の 1 フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、前記列データ線を介して順次書き込んだ後、書き込んだ前記サブフレームデータを全画素から読み出す画素制御手段とを備えるとともに、

前記複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

前記サブフレームデータを、前記列データ線を介してサンプリングして保持するスタティック・ランダム・アクセス部と、

前記スタティック・ランダム・アクセス部に保持された前記サブフレームデータを読み出して上書き保持して前記画素電極に画素電圧として出力する転送部と

を備え、

前記スタティック・ランダム・アクセス部は、

書き込み時にオンとされて前記列データ線を介して供給される前記サブフレームデータをサンプリング出力する画素選択スイッチと、

前記画素選択スイッチによりサンプリング出力された前記サブフレームデータを保持する、互いの出力端子が他方の入力端子に接続された 2 のインバータからなる自己保持型メモリとからなり、

前記転送部は、

サブフレームデータ表示時にオンとされて前記自己保持型メモリに保持されている前記サブフレームデータを読み出して転送する転送スイッチと、

前記スタティック・ランダム・アクセス部の高電位側電源電圧と異なる高電位側電源電圧 V_1 と前記スタティック・ランダム・アクセス部の低電位側電源電圧と異なる低電位側電源電圧 V_0 とに設定されており、前記転送スイッチにより転送された前記サブフレームデータを、上書き保持するとともに極性反転して前記画素電極へ前記電圧 V_1 または V_0 を前記画素電圧として出力するインバータとからなる

ことを特徴とする液晶表示装置。

【請求項 2】

前記電圧 V_1 及び V_0 は、外部の上位装置により、前記スタティック・ランダム・アクセス部の高電位側電源電圧より小で、かつ、低電位側電源電圧より大なる電圧の範囲内の、任意の値に設定可能とされていることを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置に係り、特に複数ビットで表される階調レベルに応じて、複数のサブフレームの組み合わせによって階調表示を行う液晶表示装置に関する。

【背景技術】**【0002】**

従来より、液晶表示装置における中間調表示方式の一つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には 1 画像の表示単位である 1 フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせで画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。

【0003】

このサブフレーム駆動方式の液晶表示装置において、複数本の行走査線と複数本の列データ線との各交差部に設けられた各画素のそれぞれが、列データ線を介して供給されるサ

10

20

30

40

50

ブフレームデータをサンプリングして書き込んで記憶させるスタティック・ランダム・アクセス・メモリ（S R A M）と、S R A Mに記憶されたサブフレームデータを読み出してサブフレーム期間保持して液晶表示素子の画素電極に印加して液晶表示素子により画像表示させるダイナミック・ランダム・アクセス・メモリ（D R A M）とから構成された液晶表示装置が知られている（例えば、特許文献1参照）。

【0004】

上記のS R A Mは、行走査線にゲートが接続され、列データ線にドレインが接続された画素選択トランジスタと、互いの入力端子が他方の出力端子に接続された2つのインバータからなる自己保持型メモリとからなり、2つのインバータの一方の入力端子と他方の出力端子とが画素選択トランジスタのソースに接続された構成である。また、上記のD R A Mは、S R A Mから出力されるサブフレームデータを所定のタイミングでオンされて転送させる転送スイッチ（例えばトランスミッションゲートにより構成される）と、その転送スイッチを通して供給されるサブフレームデータを保持する保持容量とからなり、保持容量で保持されたサブフレームデータを画素電極に印加する構成である。転送スイッチはトリガパルスによりスイッチングされる。

10

【0005】

特許文献1記載の液晶表示装置の画素書き込み時は、行走査線を介して供給される行選択信号により1行（1ライン）の複数の画素ずつ排他的に順番に選択されていき、1フレームではすべての行（全ライン）の複数の画素が選択される。この画素選択時にS R A Mを構成する画素選択トランジスタがオンとされ、列データ線を介して供給されるサブフレームデータがサンプリングされて自己保持型メモリに供給されて記憶される。

20

【0006】

全ての画素に対して上記と同様の動作により各サブフレームデータの書き込みが終了すると、所定論理値のトリガパルスにより全画素の転送スイッチがほぼ同時にオンとされ、各画素内の転送スイッチを通してS R A Mからサブフレームデータを読み出して保持容量に供給してサブフレーム期間保持させると共に画素電極に印加する。これにより、全画素の液晶表示素子によりサブフレーム期間の画像表示が行われる。そのサブフレーム期間の表示中に、次のサブフレームのサブフレームデータの各画素への書き込みが開始され、次のサブフレームの表示までに全画素への書き込みが終了する。以下、上記と同様の動作が1フレームの全てのサブフレームで繰り返される。なお、詳細な説明は後述するが、液晶表示素子の共通電極にはサブフレームに同期して反転する共通電極が印加される。

30

【0007】

このようにして、サブフレーム駆動方式の液晶表示装置においては、1フレーム期間内の全てのサブフレームは、その表示期間が同一または異なる所定の期間に予め割り当てられており、各画素において最大階調表示時は全てのサブフレームにおいて白の表示を行い、最小階調表示時は全てのサブフレームにおいて黒表示とし、それ以外の階調の場合は表示する階調に応じてサブフレーム毎に黒または白を選択し、複数のサブフレームの組み合わせによって階調表示を行う。この従来の液晶表示装置は、入力されるサブフレームデータが階調を示すデータであり、画素がS R A MとD R A Mの2つの記憶部からなるデジタル駆動方式となっている。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2013-92714号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、上記の従来の液晶表示装置では、保持容量が保持する画素電圧は、同じ画素の転送スイッチのオフ動作の状態によって変化してしまう問題がある。例えば、転送スイッチを構成するNチャネルのM O S型電界効果トランジスタのゲートにトリガパルス

50

を印加してスイッチングする構成では、トリガパルスの“H”レベル期間、転送スイッチをオンとしてSRAMに記憶されているサブフレームデータを保持容量に転送させる。

【0010】

この場合、全画素のSRAMから“H”レベルのサブフレームデータを読み出す時は、トリガパルスが“H”レベルから“L”レベルへ立ち下がっていく早い段階で転送スイッチがオフとなるので、トリガパルス伝送線の負荷（寄生容量）が軽くなり、トリガパルスの立ち下がりが早くなる。これに対し、1画素のSRAMのみから“H”レベルのサブフレームデータを読み出し、残りの全ての画素のSRAMからは“L”レベルのサブフレームデータを読み出す時は、トリガパルスが立ち下がっていくとき転送スイッチがオンのままなので、トリガパルス伝送線の負荷（寄生容量）が重くなり、トリガパルスの立ち下がりが遅くなる。

10

【0011】

全画素の記憶データが“H”レベルの時の“H”レベルの画素データはフィードスルーの影響で電圧低下が大きく、1画素のみ記憶データが“H”レベルの時の“H”レベルの画素データは電圧低下が小さくなり、同じ“H”レベルであっても画素電圧が異なってしまう。このようにトリガパルスの波形が異なると、保持容量に保持される画素電圧が同じ論理値でも異なってしまう。画素電圧の値が僅かでも異なると、例えば数十mVでも変化すると、その変化が画像として見えてしまう。

【0012】

本発明は以上の点に鑑みなされたもので、転送スイッチのオフ動作に影響されず画素電圧を所望の一定値に設定可能とし、安定な動作を実現した液晶表示装置を提供することを目的とする。

20

【課題を解決するための手段】

【0013】

本発明は上記の目的を達成するため、複数本の列データ線と複数本の行走査線とが交差する各交差部に設けられた複数の画素からなる画像表示部と、画像表示部を構成する複数の画素の全てに、映像信号の各フレームを映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、列データ線を介して順次書き込んだ後、書き込んだサブフレームデータを全画素から読み出す画素制御手段とを備え、

30

複数の画素のそれぞれが、対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、サブフレームデータを、列データ線を介してサンプリングして保持するスタティック・ランダム・アクセス部と、スタティック・ランダム・アクセス部に保持されたサブフレームデータを読み出して上書き保持して画素電極に画素電圧として出力する転送部とを備え、

スタティック・ランダム・アクセス部は、書き込み時にオンとされて列データ線を介して供給されるサブフレームデータをサンプリング出力する画素選択スイッチと、画素選択スイッチによりサンプリング出力されたサブフレームデータを保持する、互いの出力端子が他方の入力端子に接続された2のインバータからなる自己保持型メモリとからなり、

転送部は、サブフレームデータ表示時にオンとされて自己保持型メモリに保持されているサブフレームデータを読み出して転送する転送スイッチと、スタティック・ランダム・アクセス部の高電位側電源電圧と異なる高電位側電源電圧V1とスタティック・ランダム・アクセス部の低電位側電源電圧と異なる低電位側電源電圧V0とに設定されており、転送スイッチにより転送されたサブフレームデータを、上書き保持するとともに極性反転して画素電極へ電圧V1またはV0を画素電圧として出力するインバータとからなることを特徴とする。

40

【発明の効果】

【0014】

本発明によれば、転送スイッチのオフ動作に影響されず画素電圧を所望の値に設定でき、また安定な動作を実現することができる。

50

【図面の簡単な説明】**【 0 0 1 5 】**

【図 1】本発明の液晶表示装置の一実施の形態の構成図である。

【図 2】図 1 中の一画素の一実施の形態の回路図である。

【図 3】図 2 の動作説明用タイミングチャートである。

【発明を実施するための形態】**【 0 0 1 6 】**

次に、本発明の実施の形態について図面と共に説明する。

【 0 0 1 7 】

図 1 は、本発明になる液晶表示装置の一実施の形態の構成図を示す。同図において、本実施の形態の液晶表示装置 10 は、画像表示部 11、タイミングジェネレータ 13、垂直シフトレジスタ 14、データラッチ回路 15、水平シフトレジスタ 16、ラッチ回路 17、及びレベルシフタ/画素ドライバ 18 により構成されている、サブフレーム駆動方式の液晶表示装置である。

10

【 0 0 1 8 】

画像表示部 11 は、垂直シフトレジスタ 14 に一端が接続されて行方向に延在する m 本（ m は 2 以上の自然数）の行走査線 $G1 \sim Gm$ と、レベルシフタ/画素ドライバ 18 に一端が接続されて列方向に延在する n 本（ n は 2 以上の自然数）の列データ線 $VD1 \sim VDn$ とが交差する各交差部に設けられ、二次元マトリクス状に配置された全部で $m \times n$ 個の画素 12 から構成されている。画像表示部 11 を構成する画素 12 は、一端がタイミングジェネレータ 13 に接続された一組のトリガ線（ TRG 及び $TRGB$ ）に共通接続されている。なお、図 1 では図示の便宜上、トリガ線は 1 本のみとしている。また、全ての画素 12 には外部から電源電圧 $V0$ 及び $V1$ が共通に印加される。本実施の形態の液晶表示装置 10 は、後述する画素 12 の構成に特徴がある。

20

【 0 0 1 9 】

タイミングジェネレータ 13 は、上位装置 19 から垂直同期信号 Vst 、水平同期信号 Hst 、基本クロック CLK といった外部信号を入力信号として受け、これらの外部信号に基づいて、 V スタートパルス VST 、 H スタートパルス HST 、クロック信号 VCK 及び HCK 、ラッチパルス LT 、2 種類のトリガパルス TRG 及び $TRGB$ などの各種信号を生成する。

【 0 0 2 0 】

30

V スタートパルス VST は、各サブフレーム開始タイミングに出力されるパルス信号であり、 V スタートパルス VST によってサブフレームの切り替わりが制御される。 H スタートパルス HST は、水平シフトレジスタ 16 に入力する開始タイミングに出力されるパルス信号である。クロック信号 VCK は、垂直シフトレジスタ 14 における 1 水平走査期間（1 H ）を規定するシフトクロックであり、クロック信号 VCK のタイミングで垂直シフトレジスタ 14 がシフト動作を行う。クロック信号 HCK は、水平シフトレジスタ 16 におけるシフトクロックであり、例えば 32 ビット幅でサブフレームデータをシフトしていくための信号である。

【 0 0 2 1 】

40

ラッチパルス LT は、水平シフトレジスタ 16 が水平方向の 1 行の画素のサブフレームデータをシフトし終わったタイミングで出力されるパルス信号である。トリガパルスは常に逆論理値の関係にある正転トリガパルス TRG と反転トリガパルスとからなり、これらはトリガ線を通して画像表示部 11 を構成する全画素 12 に共通に供給される。これら正転トリガパルス TRG と反転トリガパルスとは、サブフレーム期間内で画像表示部 11 内の各画素 12 内の後述する SRA M 部に順次サブフレームデータを書き込み終わった直後に出力され、そのサブフレーム期間内で画像表示部 11 内の全画素の後述する転送スイッチをオンに制御して SRA M 部の記憶サブフレームデータを同じ画素 12 内の画素電極に一度に転送させる。

【 0 0 2 2 】

垂直シフトレジスタ 14 は、それぞれのサブフレームの最初に供給される V スタートパ

50

ルスVSTを、クロック信号VCKによって転送し、行走査線G1~Gmに対して行選択信号を1H単位で順次排他的に供給する。これにより、画像表示部11において最も上にある行走査線G1から最も下にある行走査線Gmに向かって、行走査線が1本ずつ順次1H単位で選択されていく。

【0023】

データラッチ回路15は、図示しない外部回路から供給される1サブフレーム毎に分別された32ビット幅のサブフレームデータを、上位装置19からの基本クロックCLKに基づいてラッチした後、基本クロックCLKに同期して水平シフトレジスタ16へ出力する。ここで、映像信号の1フレームを、その映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームに分割してサブフレームの組み合わせによって階調表示を行う本実施形態では、上記の外部回路は映像信号の各画素毎の階調を示す階調データを、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の1ビットのサブフレームデータに変換する。そして、上記外部回路は、更に同じサブフレームにおける32画素分の上記サブフレームデータをまとめて上記32ビット幅のデータとしてデータラッチ回路15に供給している。

10

【0024】

水平シフトレジスタ16は、タイミングジェネレータ13からの1Hの最初に供給されるHスタートパルスHSTによりシフトを開始し、データラッチ回路15から供給される32ビット幅のデータをクロック信号HCKに同期してシフトする。ラッチ回路17は、水平シフトレジスタ16が画像表示部11の1行分の画素数nと同じnビット分（これは32ビットの複数倍のビット数）のデータをシフトし終わった時点で、タイミングジェネレータ13から供給されるラッチパルスLTに従って、水平シフトレジスタ16から並列に供給されるnビットのサブフレームデータをラッチし、レベルシフタ/画素ドライバ18のレベルシフタへ出力する。ラッチ回路17へのデータ転送が終了すると、タイミングジェネレータ13からHスタートパルスHSTが再び出力され、水平シフトレジスタ16は、クロック信号HCKに同期してデータラッチ回路15から供給される次のサブフレームの32ビット幅のデータのシフトを再開する。

20

【0025】

レベルシフタ/画素ドライバ18のレベルシフタは、ラッチ回路17によりラッチされて供給される1行のn画素に対応したn個のサブフレームデータの信号レベルを液晶駆動電圧までレベルシフトする。レベルシフタ/画素ドライバ18の画素ドライバは、レベルシフト後の1行のn画素に対応したn個のサブフレームデータをn本の列データ線VD1~VDnに並列に出力する。

30

【0026】

水平ドライバを構成する水平シフトレジスタ16、ラッチ回路17及びレベルシフタ/画素ドライバ18は、1H内において今回サブフレームデータを書き込む画素行に対するサブフレームデータの出力と、次の1H内でサブフレームデータを書き込む画素行に関するデータのシフトとを並行して行う。或る1Hにおいて、ラッチされた1行分のn個（nビット）のサブフレームデータが、データ信号としてそれぞれn本の列データ線VD1~VDnに並列に、かつ、一斉に出力される。

40

【0027】

画像表示部11を構成する複数の画素のうち、垂直シフトレジスタ14からの行選択信号により選択された1行のn個の画素12は、レベルシフタ/画素ドライバ18から一斉に出力された1行分のn個のサブフレームデータをn本の列データ線VD1~VDnを介して画素毎にサンプリングしてそれぞれの画素内のSRAM部に書き込む。同様の動作をHスタートパルスHSTの出力から繰り返し行い、m行分の画素12への書き込みを1行の画素単位で行うことで画像表示部11を構成する全画素への1サブフレームの書き込みが終了する。

【0028】

次に、本実施形態の液晶表示装置10の特徴である画素12の構成について説明する。

50

【 0 0 2 9 】

図 2 は、図 1 中の一画素の一実施の形態の回路図を示す。図 2 に示す一画素 1 2 は、図 1 に示した n 本の列データ線 $VD1 \sim V D n$ のうちの任意の 1 本の列データ線 $V D$ と、 m 本の行走査線 $G1 \sim G m$ のうちの任意の 1 本の行走査線 G とが交差する交差部に設けられた、アクティブマトリックス型液晶表示装置の画素である。

【 0 0 3 0 】

図 2 に示すように、本実施の形態の画素 1 2 は、スタティック・ランダム・アクセス・メモリ部 (S R A M 部) 1 2 1、転送部 1 2 2、及び画素部 1 2 3 から構成されている。S R A M 部 1 2 1 は、スイッチングトランジスタである N チャンネル $M O S$ 型電界効果トランジスタ (以下、 $N M O S$ トランジスタという) $N T r 1$ と、2 個のインバータ $I N V 1$ 及び $I N V 2$ とから構成されている。 $N T r 1$ は画素選択スイッチを構成しており、そのドレインが列データ線 $V D$ に接続され、そのゲートが行走査線 G に接続され、そのソースがインバータ $I N V 1$ の入力端子及びインバータ $I N V 2$ の出力端子に接続されている。インバータ $I N V 1$ 及び $I N V 2$ は一方の出力端子が他方の入力端子に接続されて公知の自己保持型メモリを構成している。

【 0 0 3 1 】

S R A M 部 1 2 1 では、転送スイッチ $N T r 1$ からのデータ書き込みを容易にするため、インバータ $I N V 2$ を構成するトランジスタの駆動力は、インバータ $I N V 1$ を構成するトランジスタの駆動力及び $N T r 1$ の駆動力に比べて小さく設定されているが、詳細な説明は本発明の要旨ではないので省略する。

【 0 0 3 2 】

転送部 1 2 2 は、それぞれのドレイン同士、及びソース同士が接続された $N M O S$ トランジスタ $N T r 2$ 及び P チャンネル $M O S$ 型電界効果トランジスタ (以下、 $P M O S$ トランジスタという) $P T r 1$ とからなるトランスミッションゲートによる転送スイッチと、インバータ $I N V 3$ とから構成されている。転送スイッチをトランスミッションゲート (相補スイッチ) としているのは、S R A M 部 1 2 1 の出力電圧が $V D D$ 、 $G N D$ のどちらでも信号を効率良く通すことができるので、安定動作に貢献するためである。

【 0 0 3 3 】

転送スイッチは入力端子 ($N T r 2$ 及び $P T r 1$ のドレイン又はソース) がインバータ $I N V 1$ の出力端子とインバータ $I N V 2$ の入力端子に接続され、出力端子が ($N T r 2$ 及び $P T r 1$ のソース又はドレイン) がインバータ $I N V 3$ の入力端子に接続され、 $N T r 2$ のゲートが正転トリガパルス $T R G$ 伝送線に接続され、 $P T r 1$ のゲートが反転トリガパルス $T R G B$ 伝送線に接続されている。インバータ $I N V 3$ は出力端子が画素電極 $P E$ に接続されている。また、インバータ $I N V 3$ の高電圧側電源端子には S R A M 部 1 2 1 の高電圧側電源電圧 $V D D$ とは異なる $V 1$ が印加され、 $I N V 3$ の低電圧側電源端子には S R A M 部 1 2 1 の低電圧側電源の接地電位 $G N D$ とは異なる $V 0$ が印加されている。これにより、インバータ $I N V 3$ の出力電圧は $V 1$ 又は $V 0$ となる。また、インバータ $I N V 3$ の出力電圧が $V D D$ 、 $G N D$ とは異なる $V 1$ 又は $V 0$ に設定できるため、赤、緑、青の 3 原色のそれぞれ専用の画像表示部で液晶表示装置を構成する場合などでは、 $V 1$ 、 $V 0$ を赤、緑、青それぞれの色に合った画素電圧に設定することが可能となる。なお、一例として、 $G N D < V 0 < V 1 < V D D$ である。

【 0 0 3 4 】

画素部 1 2 3 は、離間対向して配置された画素電極 $P E$ と共通電極 $C E$ との間に液晶 $L C M$ が充填封入された構造の公知の液晶素子により構成されている。画素毎に設けられた画素電極 $P E$ には転送部 1 2 2 からサブフレームデータが印加され、全画素に共通に設けられた共通電極 $C E$ には共通電圧 $V c o m$ が外部装置 1 9 から印加される。後述するように、共通電圧 $V c o m$ はサブフレーム期間毎に極性反転し、かつ、ハイレベル電圧値とローレベル電圧値とがそれぞれ所定値に設定された矩形波である。

【 0 0 3 5 】

ここで、転送部 1 2 2 にインバータ $I N V 3$ を使う利点について説明する。転送スイッチを構成する $N T r 2$ 及び $P T r 1$ のそれぞれのゲートに印加される正転トリガパルス $T R G$ 及び反

10

20

30

40

50

転トリガパルスTRGBの波形が従来の液晶表示装置と同様の理由で、全画素のSRAM部の記憶状態によって変化して転送スイッチを通してSRAM部121からインバータINV3に供給されるデータのレベルが若干変化しても、インバータINV3は、入力データレベルが閾値以上であるか否かにより論理値を判定して、その論理値を反転したデータを出力する。

【0036】

このため、インバータINV3は、供給されるデータのレベルが同じ論理値の場合は、そのレベルが若干変化しても同じ論理値であると判定するため、入力データの論理値を正確に判定して、かつ、その論理値を反転した予め設定されたレベル変動の無い電圧V0またはV1を出力し、画素電圧として画素電極PEへ印加する。従って、インバータINV3を用いることで、従来の液晶表示装置のようなトリガパルスの波形の変化が画素電圧に影響を与えることはない。

【0037】

次に、本実施の形態の液晶表示装置10の動作について、図3のタイミングチャートを併せ参照して説明する。

【0038】

前述したように、図1の液晶表示装置10において、垂直シフトレジスタ14からの行走査信号により行走査線G1から行走査線Gmに向って、行走査線が1本ずつ順次1H単位で選択されていくため、画像表示部11を構成する複数の画素12は、選択された行走査線に共通に接続された1行のn個の画素単位でデータの書き込みが行われる。そして、画像表示部11を構成する複数の画素12の全てに書き込みが終わった後、トリガパルスに基づいて全画素一斉に読み出しが行われる。

【0039】

図3(A)は、レベルシフタ/画素ドライバ18から列データ線VD(VD1~VDn)に出力される1ビットのサブフレームデータの一画素の書き込み期間及び読み出し期間を模式的に示す。右下がりの斜線の水平投影区間が書き込み期間を示す。なお、図3(A)中、nB0、nB1、nB2はB0、B1、B2のサブフレームデータの反転データであることを示す。また、図3(B)は、タイミングジェネレータ13から正転トリガパルス用トリガ線に出力されるトリガパルスTRGを示す。このトリガパルスTRGは1サブフレーム毎に出力される。なお、反転トリガパルス用トリガ線に出力される反転トリガパルスTRGBは正転トリガパルスTRGと常に逆論理値であるのでその図示は省略してある。

【0040】

まず、図2に示す画素12は行選択信号により選択されると、画素選択スイッチNTr1がオンとされ、その時列データ線VDに出力される図3(A)のビットB0の正転サブフレームデータ(論理値「1」のときVDD、論理値「0」のとき0)が画素選択スイッチNTr1によりサンプリングされて2つのインバータINV1及びINV2からなる自己保持型メモリに書き込まれる。以下、同様に、画像表示部11を構成する全ての画素12のSRAM部121の自己保持型メモリにビットB0のサブフレームデータの書き込みが行われる。

【0041】

上記書き込み動作が終了した後の図3に示す時刻t1で、図3(B)に示すように“H”レベルの正転トリガパルスTRGが画像表示部11を構成する全ての画素12に同時に供給される。これにより、全ての画素12の転送部122内の転送スイッチNTr2及びPTr1がオンとされるため、SRAM部121に記憶されているビットB0の正転サブフレームデータが反転されて転送スイッチNTr2及びPTr1を通してインバータINV3に一斉に転送される。

【0042】

インバータINV3は、入力されたビットB0のサブフレームデータ(論理値「1」のときVDD、論理値「0」のとき0)を一時保持するとともに再び極性反転してビットB0の正転サブフレームデータを画素電極PEに印加する。このインバータINV3によるビ

10

20

30

40

50

ット B 0 の正転サブフレームデータの保持期間は、時刻 t_1 から図 3 (B) に示すように次の “ H ” レベルの正転トリガパルス TRG が入力される時刻 t_2 までの 1 サブフレーム期間である。

【 0 0 4 3 】

ここで、インバータ I N V 3 から画素電極 P E に印加されるサブフレームデータのビット値が「 1 」、すなわち “ H ” レベルのときには電源電圧 V_1 が印加され、ビット値が「 0 」、すなわち “ L ” レベルのときには V_0 が印加される。一方、液晶素子の共通電極 C E には、自由な電圧が共通電極電圧 V_{com} として印加できるようになっており、“ H ” レベルの正転トリガパルスが入力される時と同時タイミングで規定の電圧に切り替わるようにされている。ここでは、共通電極電圧 V_{com} は、正転サブフレームデータが画素電極 P E に印加されるサブフレーム期間は、図 3 (I) に示すように 0 V よりも例えば液晶 LCM の閾値電圧だけ低いマイナスの電圧 c に設定される。

10

【 0 0 4 4 】

液晶素子は画素電極 P E の画素電圧と共通電極 C E の共通電極電圧との差電圧の絶対値である液晶 LCM の印加電圧に応じた階調表示を行う。従って、ビット B 0 の正転サブフレームデータが画素電極 P E に印加される時刻 $t_1 \sim t_2$ の 1 サブフレーム期間では、液晶 LCM の印加電圧はサブフレームデータのビット値が「 1 」であるときは、図 3 (J) に示すように $(V_1 - c)$ という正の大きな電圧となり、液晶素子は白を表示する。一方、サブフレームデータのビット値が「 0 」であるときは、図 3 (K) に示すように $(V_0 - c)$ という正の小さな電圧となり、液晶素子は黒を表示する。

20

【 0 0 4 5 】

上記のビット B 0 の正転サブフレームデータを表示している時刻 $t_1 \sim t_2$ の 1 サブフレーム期間内において、図 3 (A) に示すように次のビット B 0 の反転サブフレームデータ nB_0 の全画素 1 2 内の S R A M 部 1 2 1 への書き込みが、前述した B 0 の正転サブフレームデータの書き込み時と同様にして行われる。これにより、全画素 1 2 内の S R A M 部 1 2 1 は、それまで記憶していたビット B 0 の正転サブフレームデータを反転サブフレームデータ nB_0 に書き換える（上書き記憶する）。

【 0 0 4 6 】

その書き込み動作が終了した後の図 3 に示す時刻 t_2 で、図 3 (B) に示すように “ H ” レベルの正転トリガパルス TRG が画像表示部 1 1 を構成する全ての画素 1 2 に同時に供給される。これにより、全ての画素 1 2 の転送部 1 2 2 内の転送スイッチ NTr2 及び PTr1 がオンとされるため、S R A M 部 1 2 1 に記憶されているビット B 0 の反転サブフレームデータ nB_0 が反転されて転送スイッチ NTr2 及び PTr1 を通してインバータ I N V 3 に一斉に転送される。

30

【 0 0 4 7 】

インバータ I N V 3 は、入力された正転サブフレームデータ B 0（論理値「 1 」のとき VDD 、論理値「 0 」のとき 0）を上書き保持するとともに再び極性反転して反転サブフレームデータ nB_0 （論理値「 1 」のとき V_1 、論理値「 0 」のとき V_0 ）を画素電極 P E に印加する。このインバータ I N V 3 による反転サブフレームデータ nB_0 の保持期間は、時刻 t_2 から図 3 (B) に示すように次の “ H ” レベルの正転トリガパルス TRG が入力される時刻 t_3 までの 1 サブフレーム期間である。

40

【 0 0 4 8 】

ここで、共通電極電圧 V_{com} は、反転サブフレームデータが画素電極 P E に印加されるサブフレーム期間は、図 3 (I) に示すように V_1 よりも大きな所定の正の電圧 d に設定される。従って、反転サブフレームデータ nB_0 が画素電極 P E に印加される時刻 $t_2 \sim t_3$ の 1 サブフレーム期間では、液晶 LCM の印加電圧は反転サブフレームデータのビット値が「 1 」であるときは、図 3 (K) に示すように $(V_1 - d)$ という負の小さな電圧となり、液晶素子は黒を表示する。一方、反転サブフレームデータのビット値が「 0 」であるときは、図 3 (J) に示すように $(V_0 - d)$ という負の大きな電圧となり、液晶素子は白を表示する。

50

【 0 0 4 9 】

すなわち、液晶の印加電圧において、図 3 (J) に示す正の大きな電圧 ($V1 - c$) と負の大きな電圧 ($V0 - d$) とは極性が異なるが絶対値が同一の大なる値であり、いずれの場合も液晶素子は白を表示する。一方、図 3 (K) に示す正の小さな電圧 ($V0 - c$) と負の小さな電圧 ($V1 - d$) とは極性が異なるが絶対値が同一の小なる値であり、いずれの場合も液晶素子は黒を表示する。

【 0 0 5 0 】

また、図 3 (A) に示すようにビット B 0 の正転サブフレームデータに続いて、B 0 の反転サブフレームデータ n B 0 が供給される。ここで、ビット B 0 の正転サブフレームデータと B 0 の反転サブフレームデータ n B 0 のビット値は常に逆論理値の関係にある。従って、ビット B 0 の正転サブフレームデータが論理値「1」のときは続いて入力される反転サブフレームデータ n B 0 の論理値は「0」である。逆に、ビット B 0 の正転サブフレームデータが論理値「0」のときは続いて入力される反転サブフレームデータ n B 0 の論理値は「1」である。

10

【 0 0 5 1 】

従って、時刻 $t1 \sim t2$ の期間においてビット B 0 の正転サブフレームデータが論理値「1」で液晶の印加電圧が図 3 (J) に示すように ($V1 - c$) という正の大きな電圧で白を表示するときは、続いて時刻 $t2 \sim t3$ の期間において入力される反転サブフレームデータ n B 0 が論理値「0」であり、そのときの液晶の印加電圧が図 3 (J) に示すように負の大きな電圧 ($V0 - d$) であり時刻 $t1 \sim t2$ と同じ白を表示する。すなわち、ビット B 0 は時刻 $t1 \sim t3$ の 2 サブフレーム期間にわたって、同じ白を表示する。

20

【 0 0 5 2 】

一方、時刻 $t1 \sim t2$ の期間においてビット B 0 の正転サブフレームデータが論理値「0」で液晶の印加電圧が図 3 (K) に示すように ($V0 - c$) という正の小さな電圧で黒を表示するときは、続いて時刻 $t2 \sim t3$ の期間において入力される反転サブフレームデータ n B 0 が論理値「1」であり、そのときの液晶の印加電圧が図 3 (K) に示すように負の小さな電圧 ($V1 - d$) であり時刻 $t1 \sim t2$ と同じ黒を表示する。このように、正転サブフレームデータと反転サブフレームデータにより、同じビットの 2 サブフレーム期間にわたって常に同じ白表示または黒表示を行う。

30

【 0 0 5 3 】

また、画素電極 P E に印加される画素電圧は、時刻 $t1 \sim t2$ の 1 サブフレーム期間と時刻 $t2 \sim t3$ の次の 1 サブフレーム期間とは絶対値は同じであるが極性が反転しているので液晶素子の交流駆動ができる。

【 0 0 5 4 】

時刻 $t3$ 以降も上記と同様の動作が行われる。図 3 (C) はビット B 0 ~ B 3 の正転サブフレームデータがすべて論理値「1」(反転サブフレームデータ n B 0 ~ n B 3 がすべて論理値「0」)のときの列データ線 VD のサブフレームデータの波形、同図 (D) はそのときの S R A M 部 1 2 1 の出力サブフレームデータの波形、同図 (E) はそのときの画素電位を示す。また、図 3 (F) はビット B 0 ~ B 3 の正転サブフレームデータがすべて論理値「0」(反転サブフレームデータ n B 0 ~ n B 3 がすべて論理値「1」)のときの列データ線 VD のサブフレームデータの波形、同図 (G) はそのときの S R A M 部 1 2 1 の出力サブフレームデータの波形、同図 (H) はそのときの画素電位を示す。

40

【 0 0 5 5 】

なお、1 ビットのサブフレームビットの書き込み期間は図 3 (A) に右下がりの斜線で模式的に示すように各サブフレームビットで同じであるが、サブフレーム表示期間は各サブフレーム毎に異なっていてよい。図 3 の例では 1 番目のサブフレームビットの 2 サブフレーム表示期間 ($B0 + nB0$) と、2 番目のサブフレームビットの 2 サブフレーム表示期間 ($B1 + nB1$) と、3 番目のサブフレームビットの 2 サブフレーム表示期間 ($B2 + nB2$) と、4 番目のサブフレームビットの 2 サブフレーム表示期間 ($B3 + nB3$) とは、1 : 2 : 4 : 8 の関係にあり、これにより 4 ビットのパルス幅変調 (P W M) 方式

50

での階調表現が行われる。ただし、本発明はこのような関係に限定されるものではない。

【 0 0 5 6 】

このように、本実施の形態によれば、転送部 1 2 2 を、転送スイッチ NTr2 及び PTr1 からのサブフレームデータをインバータ I N V 3 で一時保持してインバータ I N V 3 の電源電圧 V1 または V0 を画素電極 P E へ印加する構成としたため、トリガパルス TRG 及び TRGB の伝送線に接続される画素 1 2 の状態が異なることによる保持電圧差が生じないので、画質を安定させることができる。

【 0 0 5 7 】

また、本実施形態では、インバータ I N V 3 の電源電圧 V1 または V0 を上位装置 1 9 により制御可能としており、それらは他の回路部の電源電圧 VDD 及び GND とは異なる電圧値にすることができる。このため、赤、緑、青の 3 原色のそれぞれ専用の画像表示部で液晶表示装置 1 0 を構成する場合などでは、V1、V0 を赤、緑、青の専用の画像表示部毎にそれぞれの色に合った画素電圧に設定、調整することができる。

【 0 0 5 8 】

なお、本発明は以上の実施形態に限定されるものではなく、例えば画素電極 P E は反射電極及び透過電極のいずれでもよい。また、S R A M 部に書き込んだサブフレームデータを読み出す方法としては、全画素から同時に読み出す場合に限らず、画素 1 つずつ順番に読み出してもよいし、複数本のラインの画素群単位で順番に読み出すようにしてもよい。

【 符号の説明 】

【 0 0 5 9 】

- 1 0 液晶表示装置
- 1 1 画像表示部
- 1 2 画素
- 1 3 タイミングジェネレータ
- 1 4 垂直シフトレジスタ
- 1 5 データラッチ回路
- 1 6 水平シフトレジスタ
- 1 7 ラッチ回路
- 1 8 レベルシフタ/画素ドライバ
- 1 9 上位装置
- 1 2 1 スタティック・ランダム・アクセス・メモリ (S R A M) 部
- 1 2 2 転送部
- 1 2 3 画素部
- I N V 1、I N V 2、I N V 3 インバータ
- NTr1 画素選択スイッチを構成する N M O S トランジスタ
- NTr2 転送スイッチを構成する N M O S トランジスタ
- PTr1 転送スイッチを構成する P M O S トランジスタ
- P E 画素電極
- C E 共通電極
- LCM 液晶

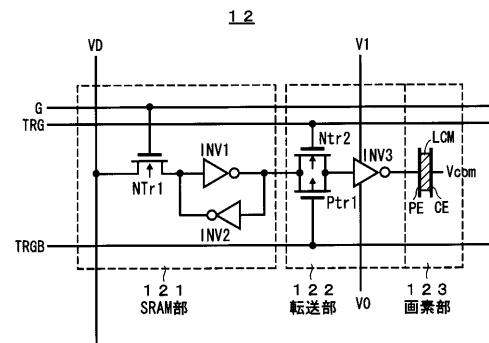
10

20

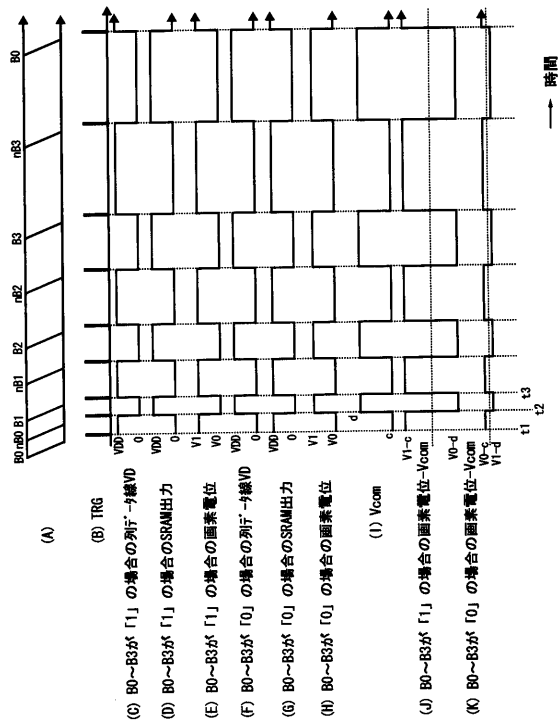
30

40

【 図 2 】



【 図 3 】



フロントページの続き

F ターム(参考) 5C080 AA10 BB05 CC03 DD05 DD12 EE29 EE30 FF11 JJ02 JJ03
JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015184529A	公开(公告)日	2015-10-22
申请号	JP2014061585	申请日	2014-03-25
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	樋口 潤		
发明人	樋口 潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.641.E G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA20 2H193/ZC39 2H193/ZD25 2H193/ZD26 2H193/ZD30 2H193/ZE10 2H193/ZF31 5C006/AA14 5C006/AA21 5C006/AC25 5C006/AC26 5C006/AF44 5C006/AF50 5C006/BB16 5C006/BC06 5C006/BF03 5C006/BF04 5C006/BF27 5C006/BF46 5C006/FA31 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD12 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
外部链接	Espacenet		

<p>摘要(译)</p> <p>解决的问题：通过将像素电压设置为期望的恒定值而不受转换开关的断开操作的影响，以实现稳定的操作。像素包括SRAM部分，转移部分和像素部分。传输单元122由包括由NTr2和PTr1组成的传输门和反相器INV3的传输开关组成。将与SRAM部分121的高压侧电源电压VDD不同的V1施加到反相器INV3的高压侧电源端子，并且INV3的低压侧电源端子连接到SRAM部分121的低压侧电源的地电位GND。应用了不同的V0。反相器INV3的输出电压为V1或V0。可以将V1和V0设置为适合红色，绿色和蓝色的专用图像显示部分的像素电压。[选择图]图2</p>	<p>(21) 出願番号 特願2014-61585 (P2014-61585)</p> <p>(22) 出願日 平成26年3月25日 (2014.3.25)</p>	<p>(71) 出願人 308036402 株式会社 JVCケンウッド 神奈川県横浜市神奈川区守屋町3丁目12番地</p> <p>(74) 代理人 100085235 弁理士 松浦 兼行</p> <p>(72) 発明者 樋口 潤 神奈川県横浜市神奈川区守屋町3丁目12番地</p> <p>Fターム(参考) 2H193 ZA04 ZA20 ZC39 ZD25 ZD26 ZD30 ZE10 ZF31 5C006 AA14 AA21 AC25 AC26 AF44 AF50 BB16 BC06 BF03 BF04 BF27 BF46 FA31</p> <p>最終頁に続く</p>
---	--	---