

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-60025

(P2015-60025A)

(43) 公開日 平成27年3月30日(2015.3.30)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G02F 1/1368 (2006.01)</b>	G02F 1/1368	2H192
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	5C006
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624B	5C080
	G09G 3/20 624C	
	G09G 3/20 680F	
審査請求 未請求 請求項の数 4 O L (全 16 頁)		

(21) 出願番号 特願2013-192690 (P2013-192690)  
 (22) 出願日 平成25年9月18日 (2013.9.18)

(出願人による申告) 平成23年度、独立行政法人情報通信研究機構「高度通信・放送研究開発委託研究／究極立体映像用超高密度・超多画素表示デバイスの研究開発」、産業技術力強化法第19条の適用を受ける特許出願

(71) 出願人 308036402  
 株式会社 JVCケンウッド  
 神奈川県横浜市神奈川区守屋町3丁目12番地  
 (74) 代理人 100083806  
 弁理士 三好 秀和  
 (74) 代理人 100101247  
 弁理士 高橋 俊一  
 (72) 発明者 古屋 正人  
 神奈川県横浜市神奈川区守屋町3丁目12番地  
 Fターム(参考) 2H192 AA24 BC31 BC72 CB02 CB13  
 CB22 CB33 CC73 DA23 DA52  
 DA65 DA67 GD61  
 5C006 AC25 AC26 BB16 BB28 BC06  
 最終頁に続く

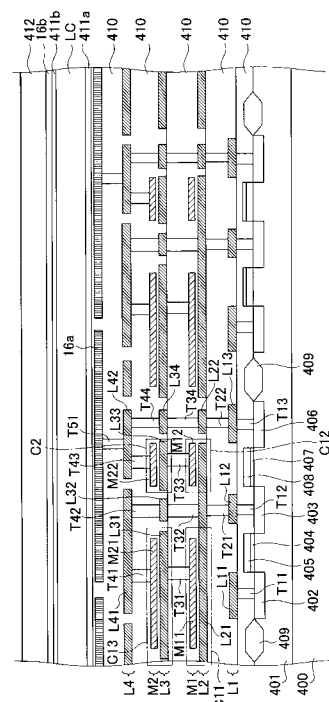
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】液晶を十分に駆動できる画素信号を転送できる容量を確保しつつ、構成の小型化を図ることができる液晶表示装置を提供する。

【解決手段】第1保持容量部C1は、第1トランジスタTr1を介して選択的に入力された画素信号を保持し、保持容量部C11、保持容量部C12ならびに保持容量部C13で構成され、第1トランジスタTr1ならびに第2トランジスタTr2が形成された半導体基板400よりも上層の第1の容量形成層ならびに第2の容量形成層に形成されている。第2保持容量部C2は、第2トランジスタTr2を介して選択的に転送された画素信号を保持し、第1トランジスタTr1ならびに第2トランジスタTr2が形成された半導体基板400よりも上層の第2の容量形成層に形成されている。

【選択図】図4



## 【特許請求の範囲】

## 【請求項 1】

半導体基板と透光性基板との間に挟まれて、マトリックス状に配列された複数の画素回路を有し、

前記画素回路は、前記半導体基板に形成された画素電極と前記透光性基板に形成された共通電極に挟まれた液晶を備え、前記液晶は前記画素電極に印加される電圧と前記共通電極に印加される電圧との電位差に応じて駆動され、前記透光性基板から入射した光が前記液晶にて前記電位差に応じて変調される画素部と、

前記半導体基板に形成され、選択的に画素信号を入力する第 1 トランジスタと、前記第 1 トランジスタを介して選択的に入力された画素信号を保持する第 1 保持容量部と、前記半導体基板に形成され、前記第 1 保持容量部に保持された画素信号を転送する第 2 トランジスタと、前記第 2 トランジスタを介して転送された画素信号を保持する第 2 保持容量部とを備え、前記第 2 保持容量部に保持された画素信号の電圧を前記画素電極に印加して前記液晶を駆動する駆動部とを有し、

前記第 1 保持容量部は、誘電体が電極で挟み込まれ、前記第 1 トランジスタならびに第 2 トランジスタが形成された前記半導体基板よりも上層の第 1 の容量形成層ならびに第 2 の容量形成層に形成され、前記第 2 保持容量部は、誘電体が電極で挟み込まれ、前記第 2 の容量形成層に形成されていることを特徴とする液晶表示装置。

## 【請求項 2】

前記第 1 保持容量部の一方の電極と前記第 2 保持容量部の一方の電極とは、同一の配線層により共通に形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 3】

前記第 1 保持容量部の容量値と前記第 2 保持容量部の容量値とは、前記第 1 保持容量部の一方の電極と前記第 2 保持容量部の一方の電極との面積比率により設定されることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

## 【請求項 4】

前記第 1 の容量形成層に形成された前記第 1 保持容量部は、前記第 1 トランジスタならびに前記第 2 トランジスタが形成された前記半導体基板の形成領域を上方に略平行移動した位置で、かつ前記第 1 トランジスタならびに前記第 2 トランジスタが形成された形成領域の面積と略同等の面積内に形成され、前記第 2 の容量形成層に形成された前記第 1 保持容量部ならびに前記第 2 保持容量部は、前記第 1 トランジスタならびに前記第 2 トランジスタが形成された前記半導体基板の形成領域を上方に略平行移動した位置で、かつ前記第 1 トランジスタならびに前記第 2 トランジスタが形成された形成領域の面積と略同等の面積内に形成されている

ことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の液晶表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、対向する半導体基板と透光性基板との間に液晶を挟み込む構造を採用した反射型の液晶表示装置に関する。

## 【背景技術】

## 【0002】

従来、この種の技術としては、例えば以下に示す特許文献 1 に記載されたものが知られている。特許文献 1 には、シリコン基板 2 1 上にマトリックス状に配置された複数の画素回路 7 を備えた反射型の液晶表示装置が記載されている。画素回路 7 は、画素信号がトランジスタ  $T_r 2$  を介してコンデンサ  $C_s 2$  に書き込まれて保持され、保持された画素信号はトランジスタ  $T_r 1$  を介してコンデンサ  $C_s 1$  に転送されて保持される。コンデンサ  $C_s 1$  に保持された画素信号は、液晶表示素子 8 の反射電極 9 a に印加され、液晶表示素子

８が駆動される。

【０００３】

コンデンサＣｓ２は、トランジスタＴｒ２が形成されたシリコン基板２１に形成されている。すなわちコンデンサＣｓ２は、シリコン基板の酸化膜をポリシリコン２０５と高拡散領域２０９とで挟んだＭＩＳ構造で構成されている。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開２００４－１３３１４７号公報

【発明の概要】

10

【発明が解決しようとする課題】

【０００５】

上記従来の液晶表示装置において、液晶を十分に駆動するためには、コンデンサＣｓ２は、コンデンサＣｓ１の容量値に対して、保持した画素信号をコンデンサＣｓ１に十分に転送できる容量値を確保する必要がある。

【０００６】

一方、液晶表示装置を小型化しようとしたり、高解像度化のために画素数を増やそうとして、画素ピッチを微細化する場合には、単位画素回路の面積が縮小される。これにともなって、シリコン基板２１に形成されたコンデンサＣｓ２の面積も縮小され、コンデンサＣｓ２の容量値が減少する。このため、画素ピッチを微細化しようとする、コンデンサ

20

【０００７】

言い換えれば、コンデンサＣｓ２の容量値を十分に確保して液晶を駆動しようとする、画素ピッチを微細化して液晶表示装置を小型化したり高解像度化を図ることが困難になっていた。

【０００８】

本発明の目的は、液晶を十分に駆動できる容量を確保しつつ、構成の小型化や高解像度化を図ることができる液晶表示装置を提供することである。

【課題を解決するための手段】

【０００９】

30

本発明は、半導体基板（４００）と透光性基板（４１２）との間に挟まれて、マトリックス状に配列された複数の画素回路（１１）を有し、画素回路は、半導体基板に形成された画素電極（１６ａ）と透光性基板に形成された共通電極（１６ｂ）に挟まれた液晶（ＬＣ）を備え、液晶は画素電極に印加される電圧と共通電極に印加される電圧との電位差に応じて駆動され、透光性基板から入射した光が液晶にて電位差に応じて変調される画素部と、半導体基板に形成され、選択的に画素信号を入力する第１トランジスタ（Ｔｒ１）と、第１トランジスタを介して選択的に入力された画素信号を保持する第１保持容量部（Ｃ１）と、半導体基板に形成され、第１保持容量部に保持された画素信号を転送する第２トランジスタ（Ｔｒ２）と、第２トランジスタを介して転送された画素信号を保持する第２保持容量部（Ｃ２）とを備え、第２保持容量部に保持された画素信号の電圧を画素電極

40

【発明の効果】

【００１０】

本発明の液晶表示装置によれば、液晶を十分に駆動できる容量を確保しつつ、構成の小型化や高解像度化を図ることが可能な液晶表示装置を提供することができる。

【図面の簡単な説明】

50

【 0 0 1 1 】

【図 1】本発明の実施形態に係る液晶表示装置の構成を示す図である。

【図 2】液晶の駆動電圧と透過率との特性の一例を示す図である。

【図 3】液晶に印加される電圧と液晶の駆動態様とを模式的に示す図である。

【図 4】本発明の実施形態に係る液晶表示装置における画素回路の模式的な断面構造を示す図である。

【図 5】画素回路の第 1 容量保持部と第 2 容量保持部の一方の電極の平面構造を示す図である。

【図 6】画素回路における第 1 容量保持部ならびに第 2 容量保持部の容量値と画素信号の転送との関係を説明するための図である。

10

【発明を実施するための形態】

【 0 0 1 2 】

以下、図面を用いて本発明を実施するための実施形態を説明する。

【 0 0 1 3 】

(実施形態)

図 1 を参照して、本発明の一実施形態に係る液晶表示装置の回路構成を説明する。図 1 において、液晶表示装置は、画素回路 1 1、水平走査回路 1 2 ならびに垂直走査回路 1 3 を備えている。

【 0 0 1 4 】

画素回路 1 1 は、 $m$ 本の列データ線  $D$  ( $D 1 \sim D m$ ) と  $n$ 本の行走査線  $G$  ( $G 1 \sim G n$ ) との各交差部にマトリクス状に複数 ( $m \times n$  個) 配置されている。複数の画素回路 1 1 は、すべて同一に構成されている。したがって、ここでは、列データ線  $D 1$  と行走査線  $G 1$  との交差部に配置された画素回路 1 1 を代表して、画素回路 1 1 の構成を説明する。

20

【 0 0 1 5 】

画素回路 1 1 は、第 1 トランジスタ  $T r 1$ 、第 2 トランジスタ  $T r 2$ 、第 1 保持容量部  $C 1$ 、第 2 保持容量部  $C 2$ 、ならびに液晶  $L C$  を備えている。

【 0 0 1 6 】

第 1 トランジスタ  $T r 1$  は、スイッチングトランジスタであり、例えば  $N$  チャネルの  $M O S$  型の電界効果トランジスタで構成されている。第 1 トランジスタ  $T r 1$  は、ゲート端子が行走査線  $G 1$  に接続され、ドレイン端子が列データ線  $D 1$  に接続されている。第 1 トランジスタ  $T r 1$  は、行走査線  $G 1$  に与えられる行選択信号に応じて導通制御され、列データ線  $D 1$  に与えられる画素信号を選択的に画素回路 1 1 に入力する。

30

【 0 0 1 7 】

第 2 トランジスタ  $T r 2$  は、転送トランジスタであり、例えば  $N$  チャネルの  $M O S$  型の電界効果トランジスタで構成されている。第 2 トランジスタ  $T r 2$  は、ゲート端子がトリガ信号線  $T S$  に接続され、ドレイン端子が第 1 トランジスタ  $T r 1$  のソース端子に接続されている。第 2 トランジスタ  $T r 2$  は、トリガ信号線  $T S$  に与えられるトリガ信号 ( $T r g$ ) に応じて導通制御される。第 2 トランジスタ  $T r 2$  は、第 1 保持容量部  $C 1$  に保持された画素信号を第 2 保持容量部  $C 2$  に転送する。

【 0 0 1 8 】

40

第 1 保持容量部  $C 1$  は、金属からなる第 1 電極 1 4 a ならびに第 2 電極 1 4 b で誘電体 (図示せず) を挟んだ、所謂  $M I M$  ( $M e t a l - I n s u l a t o r - M e t a l$ ) 構造で構成されている。第 1 保持容量部  $C 1$  は、第 1 電極 1 4 a が第 1 トランジスタ  $T r 1$  のソース端子ならびに第 2 トランジスタ  $T r 2$  のドレイン端子に接続され、第 2 電極 1 4 b が基準電位共通端子  $C o m$  に接続されている。基準電位共通端子  $C o m$  には、予め設定された基準電圧  $V c o m$ 、例えば接地電位が与えられる。第 1 保持容量部  $C 1$  は、第 1 トランジスタ  $T r 1$  を介して選択的に入力された画素信号を保持する。

【 0 0 1 9 】

第 2 保持容量部  $C 2$  は、金属からなる第 1 電極 1 5 a ならびに第 2 電極 1 5 b で誘電体 (図示せず) を挟んだ、所謂  $M I M$  ( $M e t a l - I n s u l a t o r - M e t a l$ ) 構

50

造で構成されている。第2保持容量部C2は、第1電極15aが第2トランジスタTr2のソース端子に接続され、第2電極15bが基準電位共通端子Comに接続されている。第2保持容量部C2は、第2トランジスタTr2を介して第1保持容量部C1から転送された画素信号を保持する。

【0020】

液晶LCは、光反射性を有する画素電極16aと、画素電極16aに離間して対向配置された共通電極16bとの間に充填封止されて構成されている。画素電極16aは、第2トランジスタTr2のソース端子ならびに第2保持容量部C2の第1電極15aに接続されている。共通電極16bは、共通電極端子CEに接続されている。共通電極端子CEには、画素電極16aに与えられる画素信号の電圧に応じて予め設定された共通電極電圧Vceが与えられる。

10

【0021】

液晶LCは画素電極16aに与えられる画素信号の電圧と、共通電極16bに与えられる共通電極電圧Vceとの電位差に応じて駆動される。

【0022】

水平走査回路12には、列データ線D(D1~Dm)が接続されている。水平走査回路12は、水平同期信号(Hst)、水平走査用のクロック信号(Hck)ならびに画素信号を入力する。水平走査回路12は、水平同期信号、水平走査用のクロック信号に基づいて、画素信号を列データ線D1~Dmに順次、1水平走査期間単位で出力する。

【0023】

垂直走査回路13には、行走査線G1~Gnが接続されている。垂直走査回路13は、垂直同期信号(Vst)、垂直走査用のクロック信号(Vck)を入力する。垂直走査回路13は、垂直同期信号、垂直走査用のクロック信号に基づいて、例えば行走査線G1からGnに順次行選択信号を1水平走査期間単位で供給する。

20

【0024】

上述したように、画素回路11は、画素電極16aと共通電極16bに挟まれた液晶LCを備えた画素部と、第1トランジスタTr1、第2トランジスタTr2、第1保持容量部C1、ならびに第2保持容量部を備えた駆動部とを備えている。

【0025】

次に、上記構成の液晶表示装置の動作について説明する。

30

【0026】

水平走査回路12から各列データ線D1~Dmに対応した各画素信号が、1水平走査期間の間、各列データ線D1~Dmに出力される。一方、第1トランジスタTr1を導通状態にする選択信号が垂直走査回路13から行走査線G、例えば行走査線G1に1水平走査期間の間出力される。これにより、ゲート端子が行走査線G1に接続されたm個の第1トランジスタTr1は導通状態となる。

【0027】

各列データ線D1~Dmに出力された各画素信号は、各列データ線D1~Dmに対応して接続された第1トランジスタTr1を介して第1保持容量部C1に与えられて書き込まれる。この後、第1トランジスタTr1を非導通状態にする選択信号が垂直走査回路13から行走査線G1に出力される。これにより、ゲート端子が行走査線G1に接続されたm個の第1トランジスタTr1は非導通状態となる。

40

【0028】

第1保持容量部C1に書き込まれた画素信号は、次の垂直走査期間に新たな画素信号が与えられるまでの非選択期間中、第1保持容量部C1に保持される。なお、すべての画素回路11の第1保持容量部C1に画素信号が書き込まれて保持される動作が終了するまでは、第2トランジスタTr2は非導通状態にある。

【0029】

このような画素信号の書き込み動作は、すべての行走査線Gに対して実行され、1フレーム分の画素信号がm×n個のすべての画素回路11の第1保持容量部C1に順次書き込

50

まれて保持される。

【0030】

1 フレーム分の画素信号の書き込み動作が終了すると、第2トランジスタ $T_{r2}$ を導通状態とするトリガ信号がすべての画素回路11の第2トランジスタ $T_{r2}$ のゲート端子に共通に与えられる。これにより、すべての画素回路11の第2トランジスタ $T_{r2}$ は、同時に導通状態となる。すべての画素回路11において、第1保持容量部 $C_1$ に保持された画素信号は、第2トランジスタ $T_{r2}$ を介して第2保持容量部 $C_2$ に一斉に転送されるとともに画素信号に対応した電圧として画素電極16aに印加される。第2保持容量部 $C_2$ に転送された画素信号は、第2保持容量部 $C_2$ に保持される。

【0031】

すべての画素回路11の各画素電極16aに画素信号に対応した電圧が印加された後、第2トランジスタ $T_{r2}$ を非導通状態とするトリガ信号が第2トランジスタ $T_{r2}$ のゲート端子に与えられ、第2トランジスタ $T_{r2}$ は非導通状態となる。この後、上述したようにして、次フレームの画素信号の書き込み動作が開始される。

【0032】

次フレームの画素信号の書き込み動作が行われている間、第2トランジスタ $T_{r2}$ は非導通状態を維持している。これにより、第2保持容量部 $C_2$ に転送された画素信号は、第2保持容量部 $C_2$ に保持されると共に、画素信号に対応した電圧として画素電極16aに印加された状態を保持する。

【0033】

第2保持容量部 $C_2$ に保持されている画素信号は、信号電圧が画素電極16aに印加される。画素電極16aに印加された画素信号の電圧と、共通電極16bに印加された共通電極電圧 $V_{ce}$ との電位差に応じて液晶LCが駆動され、各画素回路11に書き込まれた画素信号に応じた表示が行われる。

【0034】

反射型液晶表示装置に好適な液晶表示モードとしては、電界効果複屈折モードがある。電界効果複屈折モードでは、液晶の誘電異方性と初期配向によってノーマリーブラック型あるいはノーマリーホワイト型の特性を得ることができる。本実施形態では、図2を参照して、ノーマリーブラック型について説明する。

【0035】

図2は本実施形態で用いられる液晶LCの液晶駆動電圧 - 透過率特性の一例を示す図である。図2において、横軸は液晶LCの画素電極16aに印加される電圧であり、縦軸は表示画像のモノクロ（白黒）の表示色を示しており、電圧 $V_1$ は、表示画像の黒色（出力光強度 $P_b$ ）に対応し、電圧 $V_2$ は表示画像の白色（出力光強度 $P_w$ ）に対応している。

【0036】

液晶表示装置において、通常液晶は表示画像の焼き付きや液晶材料の劣化を防止する観点から、正極性の電圧印加と負極性の電圧印加とを交互に設定した交流電圧で駆動することが好ましい。ここで、正極性とは、画素電極16aに印加する電圧が共通電極電圧 $V_{ce}$ よりも高い場合であり、負極性とは、画素電極16aに印加する電圧が共通電極電圧 $V_{ce}$ よりも低い場合である。

【0037】

画素信号を1つのトランジスタを介して1つの保持容量部に取り込んで保持するような構成の画素回路では、すべての画素回路の液晶に同時に画素信号を供給することができない。これにより、液晶LCの共通電極16bに印加する共通電極電圧 $V_{ce}$ を変化させず、黒を表示するときには共通電極電圧 $V_{ce}$  + 電圧 $V_1$ となる電圧と、共通電極電圧 $V_{ce}$  - 電圧 $V_1$ となる電圧とが交互に画素電極16aに印加される。一方、白を表示するときには共通電極電圧 $V_{ce}$  + 電圧 $V_2$ となる電圧と、共通電極電圧 $V_{ce}$  - 電圧 $V_2$ となる電圧とが交互に画素電極16aに印加される。ここで、電圧 $V_1$ 、 $V_2$ は図2に示す電圧である。このような駆動態様では、液晶LCの画素電極16aに印加される電圧の振幅は、最大で $2 \times V_2$ となる。

10

20

30

40

50

## 【0038】

これに対して、本実施形態では、図3に示すようにして液晶LCに電圧を印加して駆動している。図3は本実施形態で用いられる液晶LCに印加される電圧と、液晶LCの駆動態様を模式的に示したものである。

## 【0039】

図3に示すように、正極性で黒色表示する際に画素電極16aに印加する電圧 $V_a$ と、負極性で白色表示する際に画素電極16aに印加する電圧 $V_a$ とが略等しいレベルとなる。また、正極性で白色表示する際に画素電極16aに印加する電圧 $V_b$ と、負極性で黒色表示する際に画素電極16aに印加する電圧 $V_b$ とが略等しいレベルとなる。このように、画素電極16aには、正負各極性の電圧範囲およびレベルを振幅方向でオーバーラップさせた形態の電圧を供給する。

10

## 【0040】

正極性において黒色表示する際に、共通電極16bには、画素電極16aに印加される電圧 $V_a$ に対して電圧 $V_1$ だけ低い電圧の共通電極電圧 $V_{ce}$ が印加される。また、負極性において黒色表示する際に、共通電極16bには、画素電極16aに印加される電圧 $V_b$ に対して電圧 $V_1$ だけ高い電圧の共通電極電圧 $V_{ce}$ が印加される。すなわち、共通電極電圧 $V_{ce}$ は、正極性では電圧 $V_a - 電圧V_1$ となり、負極性では電圧 $V_b + 電圧V_1$ となる。

## 【0041】

一方、正極性において白色表示する際に、共通電極16bには、画素電極16aに印加される電圧 $V_b$ に対して電圧 $V_2$ だけ低い電圧の共通電極電圧 $V_{ce}$ が印加される。また、負極性において白色表示する際に、共通電極16bには、画素電極16aに印加される電圧 $V_a$ に対して電圧 $V_2$ だけ低い電圧の共通電極電圧 $V_{ce}$ が印加される。すなわち、共通電極電圧 $V_{ce}$ は、正極性では電圧 $V_b - 電圧V_2$ となり、負極性では電圧 $V_a + 電圧V_2$ となる。

20

## 【0042】

このように、正負の極性において黒色表示もしくは白色表示をする場合には、図3に示すように、画素電極16aに印加される電圧の振幅は電圧 $V_a - 電圧V_b$ 、すなわち電圧 $V_2 - 電圧V_1$ となる。これにより、画素電極16aに印加すべき印加電圧は、共通電極電圧 $V_{ce}$ を変化させない場合に比べて、小振幅にすることが可能となる。この結果、第1トランジスタ $Tr_1$ 、第2トランジスタ $Tr_2$ や第1保持容量部 $C_1$ 、第2保持容量部 $C_2$ の必要耐圧を低減させることが可能となり、素子の高密度化を実現することができる。

30

## 【0043】

図4は本実施形態の液晶表示装置における画素回路の模式的な断面構造を示す図である。図4には紙面の横方向に2つ画素回路の断面構造が図示されているが、すべての画素回路は同様な構造であるので、図4の左側に図示された画素回路を代表して、画素回路の構造を説明する。

## 【0044】

図4において、例えばシリコン基板からなる半導体基板400上には、ウェル領域401が形成されている。ウェル領域401には、図1に示す第1トランジスタ $Tr_1$ 、第2トランジスタ $Tr_2$ が形成されている。第1トランジスタ $Tr_1$ ならびに第2トランジスタ $Tr_2$ をNチャネルの電界効果トランジスタで構成した場合には、ウェル領域401は、P型のウェル領域となる。

40

## 【0045】

ウェル領域401には、不純物が拡散された拡散層402、403が所定の距離離間して形成されている。第1トランジスタ $Tr_1$ をNチャネルの電界効果トランジスタで構成した場合には、拡散層402、403には例えばボロンなどのN型の不純物が注入されて拡散される。

## 【0046】

50

拡散層 402 と拡散層 403 との間のウェル領域 401 上には、ゲート酸化膜となるシリコン酸化膜 404 を介してポリシリコン 405 が形成されている。これにより、第 1 トランジスタ Tr 1 は、拡散層 402 をドレイン領域、拡散層 403 をソース領域、ポリシリコン 405 をゲート電極として形成されている。

【0047】

また、ウェル領域 401 には、不純物が拡散された拡散層 406 が拡散層 403 と所定の距離離間して形成されている。第 2 トランジスタ Tr 2 を N チャンネルの電界効果トランジスタで構成した場合には、拡散層 406 には例えばボロンなどの N 型の不純物が注入されて拡散される。

【0048】

拡散層 403 と拡散層 406 との間のウェル領域 401 上には、ゲート酸化膜となるシリコン酸化膜 407 を介してポリシリコン 408 が形成されている。これにより、第 2 トランジスタ Tr 2 は、拡散層 403 をドレイン領域、拡散層 406 をソース領域、ポリシリコン 408 をゲート電極として形成されている。

【0049】

第 1 トランジスタ Tr 1 のソース領域ならびに第 2 トランジスタ Tr 2 のドレイン領域となる拡散層 403 は双方のトランジスタで共通化されている。これにより、第 1 トランジスタ Tr 1 のソースと第 2 トランジスタ Tr 2 のドレインが電氣的に接続されている。

【0050】

拡散層 402 ならびに拡散層 406 に隣接して、第 1 トランジスタ Tr 1 ならびに第 2 トランジスタ Tr 2 の周囲を取り囲むように素子分離領域 409 が形成されている。すなわち、素子分離領域 409 の内側が第 1 トランジスタ Tr 1 ならびに第 2 トランジスタ Tr 2 の形成領域となる。この素子分離領域 409 により第 1 トランジスタ Tr 1 と第 2 トランジスタ Tr 2 は、隣接する他の画素回路の第 1 トランジスタ Tr 1 と第 2 トランジスタ Tr 2 と電氣的に分離されている。

【0051】

第 1 トランジスタ Tr 1 ならびに第 2 トランジスタ Tr 2 が形成された領域を上方に略平行移動した位置で、かつ第 1 トランジスタ Tr 1 ならびに第 2 トランジスタ Tr 2 が形成された形成面積と略同等の面積内に、多層配線構造が構築されている。この多層配線構造により、1 つの画素回路 11 の第 1 保持容量部 C 1 ならびに第 2 保持容量部 C 2 が形成されている。すなわち、1 つの画素回路の第 1 保持容量部 C 1 ならびに第 2 保持容量部 C 2 は、双方のトランジスタが形成された領域の上方に、双方のトランジスタが形成された形成面積と略同等の面積内に形成されている。

【0052】

この多層配線構造では、半導体基板 400 から上方に向かって順に第 1 配線層 L 1、第 2 配線層 L 2、第 3 配線層 L 3、第 4 配線層 L 4 が形成されている。これらの第 1 配線層 L 1 ~ 第 4 配線層 L 4 は、例えばアルミニウムや銅などの金属で構成されている。第 1 配線層 L 1 ~ 第 4 配線層 L 4 のそれぞれの配線層間は、例えばシリコン酸化膜などの層間絶縁膜 410 により互いに絶縁されている。

【0053】

第 1 配線層 L 1 は、第 1 配線部 L 11、第 2 配線部 L 12、第 3 配線部 L 13 を備えている。第 1 配線部 L 11、第 2 配線部 L 12 ならびに第 3 配線部 L 13 は、それぞれ電氣的に分離されている。

【0054】

第 1 配線層 L 1 の第 1 配線部 L 11 は、スルーホール T 11 を介して第 1 トランジスタ Tr 1 のドレイン領域となる拡散層 402 に接合されている。第 1 配線層 L 1 の第 2 配線部 L 12 は、スルーホール T 12 を介して第 1 トランジスタ Tr 1 のソース領域ならびに第 2 トランジスタ Tr 2 のドレイン領域となる拡散層 403 に接合されている。第 1 配線層 L 1 の第 3 配線部 L 13 は、スルーホール T 13 を介して第 2 トランジスタ Tr 2 のソース領域となる拡散層 406 に接合されている。

10

20

30

40

50



## 【 0 0 5 5 】

図 4 に示す構造では、第 1 保持容量部 C 1 は、3 つの保持容量部 C 1 1 , C 1 2 , C 1 3 に分割されて構成されている。すなわち、3 つの保持容量部 C 1 1 , C 1 2 , C 1 3 は、電氣的に並列接続されて第 1 保持容量部 C 1 を構成している。

## 【 0 0 5 6 】

第 2 配線層 L 2 は、第 1 配線部 L 2 1、第 2 配線部 L 2 2 を備えている。第 1 配線部 L 2 1 と第 2 配線部 L 2 2 は、互いに電氣的に分離されている。

## 【 0 0 5 7 】

第 2 配線層 L 2 の第 1 配線部 L 2 1 は、保持容量部 C 1 1 , C 1 2 の一方の電極を構成している。第 2 配線層 L 2 の第 1 配線部 L 2 1 は、スルーホール T 2 1 を介して第 1 配線層 L 1 の第 2 配線部 L 1 2 に接合されている。第 2 配線層 L 2 の第 2 配線部 L 2 2 は、スルーホール T 2 2 を介して第 1 配線層 L 1 の第 3 配線部 L 1 3 に接合されている。

10

## 【 0 0 5 8 】

第 2 配線層 L 2 と第 3 配線層 L 3 との間には、第 1 金属層 M 1 が形成されている。第 1 金属層 M 1 は、第 2 配線層 L 2 の第 1 配線部 L 2 1 と所定の間隔離間して対向して形成されている。第 1 金属層 M 1 と第 2 配線層 L 2 の第 1 配線部 L 2 1 との間には、層間絶縁膜 4 1 0 が形成されている。

## 【 0 0 5 9 】

第 1 金属層 M 1 は、例えば窒化チタン ( T i N ) やチタン ( T i ) などの金属で構成されている。第 1 金属層 M 1 は、第 1 電極部 M 1 1 と第 2 電極部 M 1 2 とを形成している。第 1 電極部 M 1 1 と第 2 電極部 M 1 2 とは、互いに電氣的に分離されている。

20

## 【 0 0 6 0 】

第 1 電極部 M 1 1 は、保持容量部 C 1 1 の他方の電極を構成している。したがって、保持容量部 C 1 1 は、誘電体となる層間絶縁膜 4 1 0 が第 2 配線層 L 2 の第 1 配線部 L 2 1 と第 1 金属層 M 1 の第 1 電極部 M 1 1 とで挟み込まれた M I M 構造で形成されている。

## 【 0 0 6 1 】

第 2 電極部 M 1 2 は、保持容量部 C 1 2 の他方の電極を構成している。したがって、保持容量部 C 1 2 は、誘電体となる層間絶縁膜 4 1 0 が第 2 配線層 L 2 の第 1 配線部 L 2 1 と第 1 金属層 M 1 の第 2 電極部 M 1 2 とで挟み込まれた M I M 構造で形成されている。

## 【 0 0 6 2 】

第 1 金属層 M 1 の上層には、第 3 配線層 L 3 が形成されている。第 3 配線層 L 3 は、第 1 配線部 L 3 1、第 2 配線部 L 3 2、第 3 配線部 L 3 3、第 4 配線部 L 3 4 を備えている。第 1 配線部 L 3 1、第 2 配線部 L 3 2、第 3 配線部 L 3 3、第 4 配線部 L 3 4 は、互いに電氣的に分離されている。

30

## 【 0 0 6 3 】

第 3 配線層 L 3 の第 1 配線部 L 3 1 は、先の図 1 に示す基準電位共通端子 C o m に接続され、基準電位 V c o m として例えば接地電位が与えられる。第 3 配線層 L 3 の第 1 配線部 L 3 1 は、スルーホール T 3 1 を介して第 1 金属層 M 1 の第 1 電極部 M 1 1 に接合されている。第 3 配線層 L 3 の第 2 配線部 L 3 2 は、スルーホール T 3 2 を介して第 2 配線層 L 2 の第 1 配線部 L 2 1 に接合されている。

40

## 【 0 0 6 4 】

第 3 配線層 L 3 の第 3 配線部 L 3 3 は、先の図 1 に示す基準電位共通端子 C o m に接続され、基準電位 V c o m として例えば接地電位が与えられる。第 3 配線層 L 3 の第 3 配線部 L 3 3 は、スルーホール T 3 3 を介して第 1 金属層 M 1 の第 2 電極部 M 1 2 に接合されている。第 3 配線層 L 3 の第 4 配線部 L 3 4 は、スルーホール T 3 4 を介して第 2 配線層 L 2 の第 2 配線部 L 2 2 に接合されている。

## 【 0 0 6 5 】

第 3 配線層 L 3 と第 4 配線層 L 4 との間には、第 2 金属層 M 2 が形成されている。第 2 金属層 M 2 は、例えば窒化チタン ( T i N ) やチタン ( T i ) などの金属で構成されている。第 2 金属層 M 2 は、第 1 電極部 M 2 1 と第 2 電極部 M 2 2 とを形成している。第 1 電

50

極部 M 2 1 と第 2 電極部 M 2 2 とは、互いに電氣的に分離されている。

【 0 0 6 6 】

第 2 金属層 M 2 の第 1 電極部 M 2 1 は、第 3 配線層 L 3 の第 1 配線部 L 3 1 と所定の間隔離間して対向して形成されている。第 2 金属層 M 2 の第 1 電極部 M 2 1 と第 3 配線層 L 3 の第 1 配線部 L 3 1 との間には、層間絶縁膜 4 1 0 が形成されている。

【 0 0 6 7 】

第 2 金属層 M 2 の第 1 電極部 M 2 1 は、保持容量部 C 1 3 の他方の電極を構成している。したがって、保持容量部 C 1 3 は、誘電体となる層間絶縁膜 4 1 0 が第 3 配線層 L 3 の第 1 配線部 L 3 1 と第 1 電極部 M 2 1 とで挟み込まれた M I M 構造で構成されている。

【 0 0 6 8 】

第 2 金属層 M 2 の第 2 電極部 M 2 2 は、第 3 配線層 L 3 の第 3 配線部 L 3 3 と所定の間隔離間して対向して形成されている。第 2 金属層 M 2 の第 2 電極部 M 2 2 と第 3 配線層 L 3 の第 3 配線部 L 3 3 との間には、層間絶縁膜 4 1 0 が形成されている。

【 0 0 6 9 】

第 2 金属層 M 2 の第 2 電極部 M 2 2 は、第 2 保持容量部 C 2 の他方の電極を構成している。したがって、第 2 保持容量部 C 2 は、誘電体となる層間絶縁膜 4 1 0 が第 3 配線層 L 3 の第 3 配線部 L 3 3 と第 2 金属層 M 2 の第 2 電極部 M 2 2 とで挟み込まれた M I M 構造で構成されている。

【 0 0 7 0 】

第 2 金属層 M 2 の上層には、第 4 配線層 L 4 が形成されている。第 4 配線層 L 4 は、第 1 配線部 L 4 1、第 2 配線部 L 4 2 を備えている。第 1 配線部 L 4 1、第 2 配線部 L 4 2 は、互いに電氣的に分離されている。

【 0 0 7 1 】

第 4 配線層 L 4 の第 1 配線部 L 4 1 は、スルーホール T 4 1 を介して第 2 金属層 M 2 の第 1 電極部 M 2 1 に接合されている。第 4 配線層 L 4 の第 1 配線部 L 4 1 は、スルーホール T 4 2 を介して第 3 配線層 L 3 の第 2 配線部 L 3 2 に接合されている。第 4 配線層 L 4 の第 2 配線部 L 4 2 は、スルーホール T 4 3 を介して第 2 金属層 M 2 の第 2 電極部 M 2 2 に接合されている。第 4 配線層 L 4 の第 2 配線部 L 4 2 は、スルーホール T 4 4 を介して第 3 配線層 L 3 の第 4 配線部 L 3 4 に接合されている。

【 0 0 7 2 】

上記積層構造においては、保持容量部 C 1 1 ならびに保持容量部 C 1 2 の一方の電極を構成する第 2 配線層 L 2 の第 1 配線部 L 2 1 と、保持容量部 C 1 3 の一方の電極を構成する第 2 金属層 M 2 の第 1 電極部 M 2 1 とが電氣的に接続されている。また、保持容量部 C 1 1 の他方の電極となる第 1 金属層 M 1 の第 1 電極部 M 1 1 と、保持容量部 C 1 3 の他方の電極となる第 3 配線層 L 3 の第 1 配線部 L 3 1 とは電氣的に接続され、接地電位が与えられている。さらに、保持容量部 C 1 2 の他方の電極となる第 1 金属層 M 1 の第 2 電極部 M 1 2 は、第 3 配線層 L 3 の第 3 配線部 L 3 3 と電氣的に接続され、接地電位が与えられている。

【 0 0 7 3 】

これにより、保持容量部 C 1 1、保持容量部 C 1 2 ならびに保持容量部 C 1 3 は、並列接続されている。接地電位が与えられていない並列接続された、保持容量部 C 1 1、保持容量部 C 1 2 ならびに保持容量部 C 1 3 の電極は、第 1 トランジスタ T r 1 のソース領域ならびに第 2 トランジスタ T r 2 のドレイン領域となる拡散層 4 0 3 に電氣的に接続されている。したがって、保持容量部 C 1 1、保持容量部 C 1 2 ならびに保持容量部 C 1 3 の並列接続された電極は、第 1 保持容量部 C 1 の第 1 電極 1 4 a を構成する。

【 0 0 7 4 】

保持容量部 C 1 1、保持容量部 C 1 2 ならびに保持容量部 C 1 3 は、それぞれの他方の電極に接地電位が共通に与えられている。すなわち、保持容量部 C 1 1、保持容量部 C 1 2 ならびに保持容量部 C 1 3 の接地電位が与えられたそれぞれの電極は、第 1 保持容量部 C 1 の第 2 電極 1 4 b を構成する。

10

20

30

40

50

## 【0075】

上記積層構造において、第2保持容量部C2の一方の電極となる第2金属層M2の第2電極部M22は、第2トランジスタTr2のソース領域となる拡散層406に電氣的に接続されている。第2保持容量部C2の他方の電極となる第3配線層L3の第3配線部L33は、接地電位が与えられている。これにより、第2保持容量部C2の一方の電極となる第2金属層M2の第2電極部M22は、図1に示す第2保持容量部C2の第1電極15aを構成する。第2保持容量部C2の他方の電極となる第3配線層L3の第3配線部L33は、図1に示す第2保持容量部C2の第2電極15bを構成する。

## 【0076】

第1保持容量部C1を構成する保持容量部C11、保持容量部C12ならびに保持容量部C13と第2保持容量部C2とは、それぞれ双方の電極で挟み込まれた誘電体ならびに双方の電極間の距離は同等に形成されている。したがって、第1保持容量部C1を構成する保持容量部C11、保持容量部C12ならびに保持容量部C13と第2保持容量部C2とのそれぞれの容量値は、それぞれの保持容量部の電極の面積で決まる。

## 【0077】

図5(a)は第1金属層M1の平面構造を示す図であり、同図(b)は第2金属層M2の平面構造を示す図である。

## 【0078】

図5(b)に示すように、保持容量部C13の一方の電極となる第2金属層M2の第2電極部M21の面積は、第2保持容量部C2の一方の電極となる第2金属層M2の第2電極部M22の面積に比べて大きく形成されている。これは、詳しくは後述するが第1保持容量部C1の容量値を第2保持容量部C2の容量値よりも大きくするためである。

## 【0079】

図5(a)に示すように、保持容量部C11の一方の電極となる第1金属層M1の第1電極部M11と保持容量部C12の一方の電極となる第2電極部M12とは、電氣的に分離して形成されている。第1金属層M1の第1電極部M11の面積は、図5(b)に示す第2金属層M2の第1電極部M21の面積と同等に形成されている。第1金属層M1の第2電極部M12の面積は、図5(b)に示す第2金属層M2の第2電極部M22の面積と同等に形成されている。

## 【0080】

これは、第1金属層M1と第2金属層M2とを同一のマスクパターンを使用して形成するためである。このようにすることで、第1金属層M1と第2金属層M2とを異なるマスクパターンを用いて形成する場合に比べて、マスクパターンを削減して製造プロセスを容易化することができる。また、第1金属層M1もしくは第2金属層M2に接合するスルーホールを形成する際の面積を少なくすることが可能となる。

## 【0081】

なお、第1金属層M1の第1電極部M11と第2電極部M12とを分離せずに一体化し、保持容量部C11と保持容量部C12とを1つの保持容量部として形成することもできる。この場合には、保持容量部を分割する場合に比べて第1保持容量部C1の容量値を大きくすることが可能となる。

## 【0082】

図4に戻って、第4配線層L4の上層には、層間絶縁膜410を介して画素電極16aが形成されている。画素電極16aは、スルーホールT51を介して第4配線層L4の第2配線部L42に接合されている。これにより、画素電極16aは、第1配線層L1～第4配線層L4ならびにそれらを接合するスルーホールを介して、第2トランジスタTr2のソース領域を形成する拡散層406に電氣的に接続されている。

## 【0083】

画素電極16aの上層には、液晶LCの初期分子配列を所定の方向に配向する配向層11a、411bに挟まれて液晶LCが形成されている。

## 【0084】

液晶ＬＣの上層には、共通電極１６ｂが形成されている。これにより、液晶ＬＣは、画素電極１６ａと共通電極１６ｂとの間に充填封止されて形成されている。

【００８５】

共通電極１６ｂの上層には、透光性基板４１２が形成されている。これにより、画素回路１１は、半導体基板４００と透光性基板４１２との間に挟まれて形成されている。

【００８６】

透光性基板４１２から入射した入射光は、液晶ＬＣを通過して画素電極１６ａに至り、画素電極１６ａに到達した入射光は画素電極１６ａで反射して再度液晶ＬＣを通過して透光性基板４１２から出射する。この過程において、入射光は画素電極１６ａに印加される画素信号の電圧に応じて液晶ＬＣで変調され、画素信号に応じた表示がなされる。

10

【００８７】

図６は画素回路１１の第１保持容量部Ｃ１ならびに第２保持容量部Ｃ２の容量値と、画素電極１６ａへの画素信号の転送との関係を説明するための図である。図６において、図１と同一構成部分には同一符号を付し、その説明は省略する。図６を参照して、本発明による液晶表示装置の画素回路１１を構成する第１保持容量部Ｃ１、第２保持容量部Ｃ２の容量値について説明する。

【００８８】

ここで、第１保持容量部Ｃ１に保持された画素信号の電圧が第２保持容量部Ｃ２に転送される動作を考える。まず、第１トランジスタＴｒ１ならびに第２トランジスタＴｒ２が非導通状態において、第１保持容量部Ｃ１には画素信号の電圧として電圧Ｖ<sub>a</sub>が保持されているものとする。第２保持容量部Ｃ２には、前フレームに画素電極１６ａに印加された電圧Ｖ<sub>p</sub>(*n* - １)が保持されているものとする。すなわち、第１保持容量部Ｃ１の一方の電極が第１トランジスタＴｒ１と第２トランジスタＴｒ２とに接続された接続点ａは、電圧Ｖ<sub>a</sub>となる。また、第２保持容量部Ｃ２の一方の電極が第２トランジスタＴｒ２と画素電極１６ａに接続された接続点ｂは、電圧Ｖ<sub>p</sub>(*n* - １)となる。

20

【００８９】

このような状態において、トリガ信号(Ｔｒｇ)により第２トランジスタＴｒ２が導通状態になると、第２トランジスタＴｒ２を介して接続点ａと接続点ｂとは電氣的に接続される。これにより、接続点ａの電圧と接続点ｂの電圧とが同電圧となる。このときの接続点ｂの電圧をＶ<sub>p</sub>(*n*)とすると、電圧Ｖ<sub>p</sub>(*n*)は次式(１)で表される。

30

【００９０】

$$V_p(n) = K \times V_s + (1 - K) \times V_p(n - 1) \quad \dots (1)$$

上式(１)において、第１保持容量部Ｃ１の容量値をＣ１<sub>c</sub>とし、第２保持容量部Ｃ２の容量値をＣ２<sub>c</sub>とすると、 $K = C1c / (C1c + C2c)$ となる。

【００９１】

ここで、第１保持容量部Ｃ１の容量値Ｃ１<sub>c</sub>と第２保持容量部Ｃ２の容量値Ｃ２<sub>c</sub>とに、 $C1c \gg C2c$ の関係が成り立つ場合には、式(１)において、 $K \rightarrow 1$ となり $V_p(n) \rightarrow V_s$ となる。すなわち、電圧Ｖ<sub>p</sub>(*n* - １)の値にかかわらず、電圧Ｖ<sub>p</sub>(*n*)は、電圧Ｖ<sub>s</sub>とほぼ等しくなる。

【００９２】

40

したがって、画素信号を接続点ａから接続点ｂに効率よく転送するには、第１保持容量部Ｃ１の容量値Ｃ１<sub>c</sub>と第２保持容量部Ｃ２の容量値Ｃ２<sub>c</sub>との比率 $C1c / C2c$ をできるだけ大きく設定することが必要となる。例えば、少なくとも $C1c / C2c = 5$ 程度が必要となり、好ましくは $C1c / C2c = 10$ 程度に設定することが望まれる。

【００９３】

これにより、画素回路１１に書き込まれて第１保持容量部Ｃ１に保持された画素信号は、第２保持容量部Ｃ２に効率よく転送することができる。この結果、書き込まれた画素信号の電圧と概ね等しい電圧で液晶ＬＣを十分に駆動することが可能となり、良好な液晶表示を実現することができる。

【００９４】

50

第 1 保持容量部 C 1 の容量値 C 1 c と第 2 保持容量部 C 2 の容量値 C 2 c との比率  $C 1 c / C 2 c$  をできるだけ大きく設定するには、容量値 C 1 c を大きくするか、もしくは容量値 C 2 c を小さくすることが考えられる。

【 0 0 9 5 】

しかしながら、容量値 C 2 c を小さくすると、第 2 保持容量部 C 2 に画素信号を保持するという機能が低下するおそれがある。したがって、このような不具合を招かないためには、容量値 C 1 c を大きくすることが望まれる。

【 0 0 9 6 】

この実施形態においては、図 4、図 5 に示すように、第 1 保持容量部 C 1 は、第 2 配線層 L 2 と第 1 金属層 M 1 とからなる第 1 の容量形成層と、第 3 配線層 L 3 と第 2 金属層 M 2 とからなる第 2 容量形成層に形成されている。第 2 保持容量部 C 2 は、第 3 配線層 L 3 ならびに第 2 金属層 M 2 からなる第 2 の容量形成層に形成されている。すなわち、第 1 保持容量部 C 1 ならびに第 2 保持容量部 C 2 は、2 つの異なる容量形成層によって形成されている。

10

【 0 0 9 7 】

これにより、第 1 保持容量部 C 1 ならびに第 2 保持容量部 C 2 を 1 つの容量形成層に形成する場合に比べて、双方の保持容量部の電極の面積を決める際の自由度を高めることが可能となる。すなわち、第 1 保持容量部 C 1 の容量値 C 1 c ならびに第 2 保持容量部 C 2 の容量値 C 2 c を決める際の自由度を高めることができる。

20

【 0 0 9 8 】

また、第 1 保持容量部 C 1 は、上記第 1 の容量形成層ならびに第 2 の容量形成層の 2 つの異なる容量形成層に形成されているのに対して、第 2 保持容量部 C 2 は第 2 の容量形成層にのみ形成されている。さらに、第 2 の容量形成層に形成された第 1 保持容量部 C 1 の電極は第 2 保持容量部 C 2 の電極よりも大きく形成されている。すなわち、第 2 の容量形成層に形成された第 1 保持容量部 C 1 の一部容量を担う保持容量部 C 1 3 の容量値は、第 2 保持容量部 C 2 の容量値よりも大きく設定されている。

【 0 0 9 9 】

これにより、上述したように、この実施形態で採用した図 4 に示す構造では、第 1 保持容量部 C 1 の容量値 C 1 c と第 2 保持容量部 C 2 の容量値 C 2 c との比率  $C 1 c / C 2 c$  を大きく設定することが可能となる。

30

【 0 1 0 0 】

以上説明したように、この実施形態では、第 1 トランジスタ T r 1 ならびに第 2 トランジスタ T r 2 が形成された半導体基板 4 0 0 の上層に、M I M 構造で第 1 保持容量部 C 1 ならびに第 2 保持容量部 C 2 を形成している。これにより、第 1 トランジスタ T r 1 ならびに第 2 トランジスタ T r 2 が形成された形成領域の面積と略同等の面積に第 1 保持容量部 C 1 ならびに第 2 保持容量部 C 2 を形成することが可能となる。

【 0 1 0 1 】

この結果、保持容量部を半導体基板に形成する従来の構成に比べて、画素回路を小型化することができる。例えば、従来の 1 画素回路の画素ピッチは、 $4.0 \mu m$  程度であったのに対して、この実施形態で採用した構成では、 $3.5 \mu m$  程度にまで縮小することが可能となる。したがって、多数の画素回路を有する液晶表示装置を小型化することが可能となる。

40

【 0 1 0 2 】

第 1 保持容量部 C 1 と第 2 保持容量部 C 2 とは、複数の層に形成されている。これにより、第 1 保持容量部 C 1 と第 2 保持容量部 C 2 とを形成する際の設計の自由度を、単一の層に形成する場合に比べて高めることができる。この結果、第 1 保持容量部 C 1 の容量値を第 2 保持容量部 C 2 の容量値よりも大きくすることが可能となり、上述したように液晶を十分に駆動できる容量値を確保しつつ、画素回路を小型化することができる。

【 0 1 0 3 】

第 1 保持容量部 C 1 ならびに第 2 保持容量部 C 2 の基準電位として接地電位が与えられ

50

る電極は、同一の第3配線層L3により共通に形成されている。これにより、第1保持容量部C1ならびに第2保持容量部C2の基準電位として接地電位が与えられる電極を、単一の配線層で形成することが可能となる。この結果、第1保持容量部C1ならびに第2保持容量部C2を形成する際に用いられる配線層を削減することが可能となり、製造プロセスの簡略化、ならびに装置の小型化に貢献することができる。

#### 【0104】

なお、上述した図4及びその説明では、説明をわかりやすくするために、第2配線層L2と第1金属層M1との間の層間絶縁膜も、第1金属層M1と第3配線層L3との間の層間絶縁膜も、層間絶縁膜410として一体に表し、その具体的な説明を省略している。実際には、第2配線層L2を形成した後に第1の層間絶縁膜を形成し、この第1の層間絶縁膜上に第1金属層M1を形成し、さらにこの第1金属層M1上に第2の層間絶縁膜を形成する。即ち、第2配線層L2と第3配線層L3との間の層間絶縁膜410は、これら第1及び第2の層間絶縁膜により構成されている。

10

#### 【0105】

また、第3配線層L3と第4配線層L4との間の層間絶縁膜410についても、上記の第2配線層L2と第3配線層L3との間の層間絶縁膜410と同様に2層の層間絶縁膜により構成されている。

#### 【符号の説明】

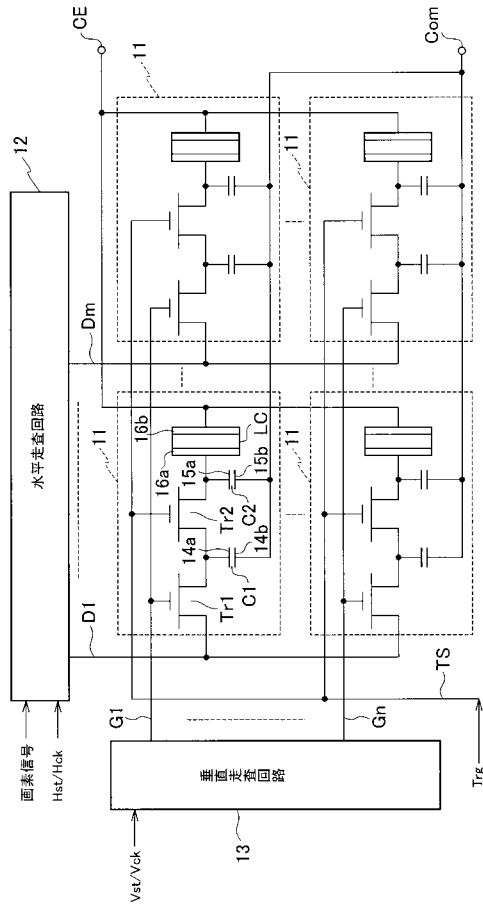
#### 【0106】

- 11...画素回路
- 16a...画素電極
- 16b...共通電極
- 400...半導体基板
- 410...層間絶縁膜
- 412...透光性基板
- C1...第1保持容量部
- C2...第2保持容量部
- C11, C12, C13...保持容量部
- L1...第1配線層
- L2...第2配線層
- L3...第3配線層
- L4...第4配線層
- LC...液晶
- M1...第1金属層
- M2...第2金属層

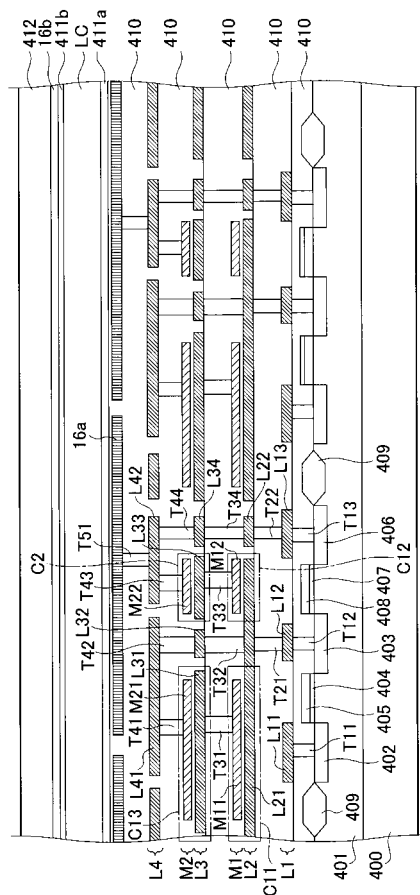
20

30

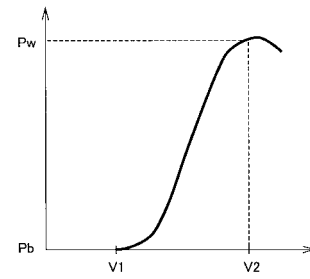
【図 1】



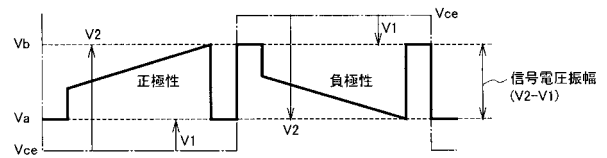
【図 4】



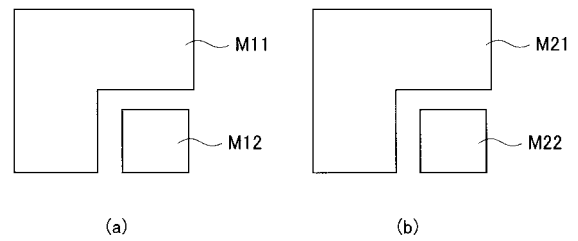
【図 2】



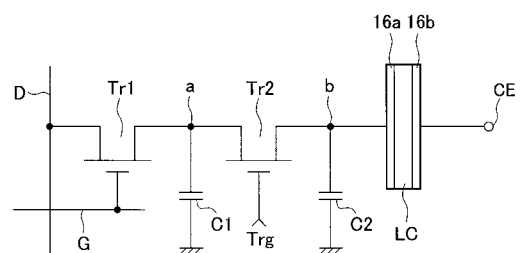
【図 3】



【図 5】



【図 6】



---

フロントページの続き

Fターム(参考) 5C080 AA10 BB05 DD07 FF11 FF12 JJ02 JJ03 JJ04 JJ05 JJ06



专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2015060025A</a>	公开(公告)日	2015-03-30
申请号	JP2013192690	申请日	2013-09-18
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	古屋正人		
发明人	古屋 正人		
IPC分类号	G02F1/1368 G09G3/36 G09G3/20		
FI分类号	G02F1/1368 G09G3/36 G09G3/20.624.B G09G3/20.624.C G09G3/20.680.F		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/BC72 2H192/CB02 2H192/CB13 2H192/CB22 2H192/CB33 2H192/CC73 2H192/DA23 2H192/DA52 2H192/DA65 2H192/DA67 2H192/GD61 5C006/AC25 5C006/AC26 5C006/BB16 5C006/BB28 5C006/BC06 5C080/AA10 5C080/BB05 5C080/DD07 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	三好秀 高桥俊		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种液晶显示装置，其确保传输能够令人满意地驱动液晶的像素信号的容量，并且允许减小尺寸。解决方案：第一保持电容部分C1保持通过第一选择性地输入的像素信号。晶体管Tr1包括保持电容部分C11，保持电容部分C12和保持电容部分C13，并且形成在第一电容形成层和第二电容形成层上，第一电容形成层和第二电容形成层位于其上具有第一晶体管的半导体衬底400上方形成Tr1和第二晶体管Tr2。第二保持电容部分C2保持经由第二晶体管Tr2选择性地转移的像素信号，并且形成在第二电容形成层上，该第二电容形成层位于其上形成有第一晶体管Tr1和第二晶体管Tr2的半导体基板400上方。

