

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-106488

(P2014-106488A)

(43) 公開日 平成26年6月9日(2014.6.9)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 623B	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 680G	5C080
	G09G 3/20 623R	
	G09G 3/20 623Y	
審査請求 未請求 請求項の数 12 O L (全 30 頁) 最終頁に続く		

(21) 出願番号 特願2012-261495 (P2012-261495)  
 (22) 出願日 平成24年11月29日 (2012.11.29)

(71) 出願人 302062931  
 ルネサスエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100102864  
 弁理士 工藤 実  
 (72) 発明者 古谷田 靖  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 Fターム(参考) 2H193 ZA04 ZF21 ZF34 ZF35 ZP03  
 5C006 AC26 AF43 AF83 BB16 BC06  
 BF25 FA01 FA47  
 5C080 AA10 BB05 DD01 DD21 DD26  
 EE29 FF07 FF11 JJ02 JJ03  
 JJ04

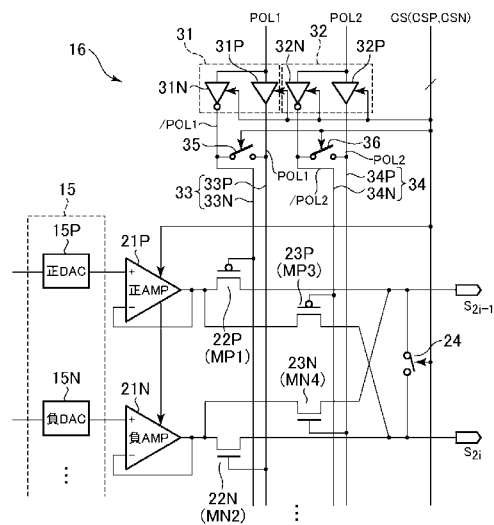
(54) 【発明の名称】 表示装置及び表示パネルドライバ

(57) 【要約】 (修正有)

【課題】 出力スイッチの切り換え時に流れる充放電電流を低減できる表示装置を提供する。

【解決手段】 液晶表示装置が、液晶表示パネルのデータ線を駆動するデータ線ドライバを具備している。データ線ドライバでは、出力スイッチ22P、22Nを制御する1対の制御信号線33P、33Nが設けられる。制御信号線33P、33Nの間には電荷回収スイッチ35が設けられ、制御信号線33P、33Nにおいて電荷回収が行われる。

【選択図】 図5



**【特許請求の範囲】****【請求項 1】**

表示パネルと、  
前記表示パネルの複数のデータ線を駆動する表示パネルドライバとを具備し、  
前記表示パネルドライバが、  
前記複数のデータ線のうちの第 1 データ線に接続される第 1 出力端子と、  
前記複数のデータ線のうちの第 2 データ線に接続される第 2 出力端子と、  
第 1 及び第 2 出力アンプと、  
前記第 1 出力端子と前記第 1 出力アンプの出力の間に接続された第 1 出力スイッチと  
、  
前記第 2 出力端子と前記第 2 出力アンプの出力の間に接続された第 2 出力スイッチと  
、  
第 1 及び第 2 制御信号線と、  
第 1 制御信号を前記第 1 制御信号線に供給し、前記第 1 制御信号と相補の第 2 制御信号を前記第 2 制御信号線に供給するように構成された第 1 出力スイッチ制御部と、  
第 1 電荷回収スイッチ  
とを具備し、  
前記第 1 出力スイッチ及び前記第 2 出力スイッチのそれぞれは、前記第 1 制御信号と前記第 2 制御信号の少なくとも一方に応答して動作し、  
前記第 1 電荷回収スイッチは、前記第 1 制御信号線と前記第 2 制御信号線との間に接続されている  
表示装置。

**【請求項 2】**

請求項 1 に記載の表示装置であって、  
更に、  
前記第 2 出力端子と前記第 1 出力アンプの出力の間に接続された第 3 出力スイッチと、  
前記第 1 出力端子と前記第 2 出力アンプの出力の間に接続された第 4 出力スイッチと、  
第 3 及び第 4 制御信号線と、  
第 3 制御信号を前記第 3 制御信号線に供給し、前記第 3 制御信号と相補の第 4 制御信号を前記第 4 制御信号線に供給するように構成された第 2 出力スイッチ制御部と、  
第 2 電荷回収スイッチ  
とを具備し、  
前記第 3 出力スイッチ及び前記第 4 出力スイッチのそれぞれは、前記第 3 制御信号と前記第 4 制御信号の少なくとも一方に応答して動作し、  
前記第 2 電荷回収スイッチは、前記第 3 制御信号線と前記第 4 制御信号線との間に接続されている  
表示装置。

**【請求項 3】**

請求項 1 又は 2 に記載の表示装置であって、  
前記第 1 電荷回収スイッチは、電荷回収信号がアサートされたときに前記第 1 及び第 2 制御信号線を短絡し、  
前記第 1 出力スイッチ制御部は、前記電荷回収信号がアサートされたときに、前記第 1 制御信号及び前記第 2 制御信号を出力する出力を、ハイインピーダンス状態にするように構成されている  
表示装置。

**【請求項 4】**

請求項 2 に記載の表示装置であって、  
前記第 1 電荷回収スイッチは、電荷回収信号がアサートされたときに前記第 1 及び第 2 制御信号線を短絡し、

10

20

30

40

50

前記第 2 電荷回収スイッチは、前記電荷回収信号がアサートされたときに前記第 3 及び第 4 制御信号線を短絡し、

前記第 1 出力スイッチ制御部は、前記電荷回収信号がアサートされたときに、前記第 1 制御信号及び前記第 2 制御信号を出力する出力を、ハイインピーダンス状態にするように構成され、

前記第 2 出力スイッチ制御部は、前記電荷回収信号がアサートされたときに、前記第 3 制御信号及び前記第 4 制御信号を出力する出力を、ハイインピーダンス状態にするように構成された

表示装置。

【請求項 5】

請求項 4 に記載の表示装置であって、

前記第 1 及び第 2 出力アンプは、前記電荷回収信号がアサートされたときに、その出力をハイインピーダンス状態にするように構成された

表示装置。

【請求項 6】

請求項 4 又は 5 に記載の表示装置であって、

前記表示パネルドライバが、更に、前記第 1 出力端子と前記第 2 出力端子との間に接続される第 3 電荷回収スイッチを具備し、

前記第 3 電荷回収スイッチが、前記電荷回収信号がアサートされたときに、前記第 1 及び第 2 出力端子を短絡する

表示装置。

【請求項 7】

請求項 4 又は 5 に記載の表示装置であって、

前記表示パネルドライバが、更に、

電荷回収線と、

前記第 1 出力端子と前記電荷回収線との間に接続される第 3 電荷回収スイッチと、

前記第 2 出力端子と前記電荷回収線との間に接続される第 4 電荷回収スイッチ

とを具備し、

前記第 3 及び第 4 電荷回収スイッチが、前記電荷回収信号がアサートされたときに、前記第 1 及び第 2 出力端子を前記電荷回収線に短絡する

表示装置。

【請求項 8】

表示パネルのデータ線を駆動する表示パネルドライバであって、

前記表示パネルの第 1 データ線に接続される第 1 出力端子と、

前記表示パネルの第 2 データ線に接続される第 2 出力端子と、

第 1 及び第 2 出力アンプと、

前記第 1 出力端子と前記第 1 出力アンプの出力の間に接続された第 1 出力スイッチと、

前記第 2 出力端子と前記第 2 出力アンプの出力の間に接続された第 2 出力スイッチと、

第 1 及び第 2 制御信号線と、

第 1 制御信号を前記第 1 制御信号線に供給し、前記第 1 制御信号と相補の第 2 制御信号を前記第 2 制御信号線に供給するように構成された第 1 出力スイッチ制御部と、

第 1 電荷回収スイッチ

とを具備し、

前記第 1 出力スイッチ及び前記第 2 出力スイッチのそれぞれは、前記第 1 制御信号と前記第 2 制御信号の少なくとも一方に応答して動作し、

前記第 1 電荷回収スイッチは、前記第 1 制御信号線と前記第 2 制御信号線との間に接続されている

表示パネルドライバ。

【請求項 9】

請求項 8 に記載の表示パネルドライバであって、

10

20

30

40

50

更に、

前記第 2 出力端子と前記第 1 出力アンプの出力の間に接続された第 3 出力スイッチと、  
前記第 1 出力端子と前記第 2 出力アンプの出力の間に接続された第 4 出力スイッチと、  
第 3 及び第 4 制御信号線と、

第 3 制御信号を前記第 3 制御信号線に供給し、前記第 3 制御信号と相補の第 4 制御信号  
を前記第 4 制御信号線に供給するように構成された第 2 出力スイッチ制御部と、

第 2 電荷回収スイッチ

とを具備し、

前記第 3 出力スイッチ及び前記第 4 出力スイッチのそれぞれは、前記第 3 制御信号と前  
記第 4 制御信号の少なくとも一方に応答して動作し、

10

前記第 2 電荷回収スイッチは、前記第 3 制御信号線と前記第 4 制御信号線との間に接  
続されている

表示パネルドライバ。

#### 【請求項 10】

請求項 8 又は 9 に記載の表示パネルドライバであって、

前記第 1 電荷回収スイッチは、電荷回収信号がアサートされたときに前記第 1 及び第 2  
制御信号線を短絡し、

前記第 1 出力スイッチ制御部は、前記電荷回収信号がアサートされたときに、前記第 1  
制御信号及び前記第 2 制御信号を出力する出力を、ハイインピーダンス状態にするように  
構成されている

20

表示パネルドライバ。

#### 【請求項 11】

請求項 9 に記載の表示パネルドライバであって、

前記第 1 電荷回収スイッチは、電荷回収信号がアサートされたときに前記第 1 及び第 2  
制御信号線を短絡し、

前記第 2 電荷回収スイッチは、前記電荷回収信号がアサートされたときに前記第 3 及び  
第 4 制御信号線を短絡し、

前記第 1 出力スイッチ制御部は、前記電荷回収信号がアサートされたときに、前記第 1  
制御信号及び前記第 2 制御信号を出力する出力を、ハイインピーダンス状態にするように  
構成され、

30

前記第 2 出力スイッチ制御部は、前記電荷回収信号がアサートされたときに、前記第 3  
制御信号及び前記第 4 制御信号を出力する出力を、ハイインピーダンス状態にするように  
構成された

表示パネルドライバ。

#### 【請求項 12】

請求項 11 に記載の表示パネルドライバであって、

前記第 1 及び第 2 出力アンプは、前記電荷回収信号がアサートされたときに、その出力  
をハイインピーダンス状態にするように構成された

表示パネルドライバ。

#### 【発明の詳細な説明】

40

#### 【技術分野】

#### 【0001】

本発明は、表示装置及び表示パネルドライバに関し、特に、表示パネルドライバの出力  
スイッチの制御に関する。

#### 【背景技術】

#### 【0002】

表示パネル（例えば、液晶表示パネルやプラズマディスプレイパネル）を備える表示装  
置は、表示パネルの大型化に伴い、消費電力が増大する傾向にある。

#### 【0003】

表示装置の消費電力を低減するための技術の一つが、電荷回収（charge sharing）であ

50

る。電荷回収とは、表示パネルのデータ線（信号線、ソース線等とも呼ばれる）を短絡することにより、データ線に蓄積された電荷を有効に活用する技術である。電荷回収は、基本的には、反転駆動を行う表示装置において用いられる技術である。反転駆動とは、適宜の空間的、時間的周期で画素を駆動する駆動電圧（即ち、データ線を駆動する駆動電圧）の極性を反転する技術である。データ線に供給される駆動電圧の極性が反転される場合に、直前の水平期間で正極性の駆動電圧で駆動されたデータ線と、直前の水平期間で負極性の駆動電圧で駆動されたデータ線とを短絡することにより、データ線に蓄積されている電荷を有効に活用し、消費電力を低減させることができる。ここで、本明細書においては、駆動電圧の極性が、表示装置において規定された特定の基準電圧（例えば、液晶表示パネルにおいては対向電極の電圧）と基準として定義されることに留意されたい。基準電圧よりも高い駆動電圧を「正極性の駆動電圧」といい、基準電圧よりも低い駆動電圧を「負極性の駆動電圧」という。

10

**【0004】**

電荷回収を行う構成の表示パネルドライバでは、一般に、データ線が接続される出力端子と出力アンプの出力の間に、出力スイッチが設けられる。出力スイッチは、電荷回収を行う際に、出力端子と出力アンプの出力とを電気的に切り離す機能を有する。また、出力スイッチは、出力端子と出力アンプの出力との間の接続関係を切り替える機能を持つ場合もある。このような構成の表示パネルドライバは、例えば、特開2001-22329号公報、特開2010-256401号公報に開示されている。

**【0005】**

このような構成の表示パネルドライバの一つの問題は、出力スイッチの切り換え時の充放電電流が大きいことである。表示パネルドライバでは、データ線が接続される出力端子のそれぞれについて少なくとも一つの出力スイッチが接続されるため、多数の出力スイッチが設けられる。その一方で、データ線の立ち上がり時間を短縮するためにオン抵抗が小さいことが求められるため、出力スイッチとしてはゲートサイズが大きいMOSトランジスタが用いられる。このため、表示パネルドライバの全体としての出力スイッチのゲート容量は大きい。出力スイッチのゲート容量が大きいため、出力スイッチのゲートの充放電電流も大きくなり、これは、表示パネルドライバの消費電力やEMI（electromagnetic interference）の増大を招く。

20

**【先行技術文献】**

30

**【特許文献】****【0006】**

【特許文献1】特開2001-22329号公報

【特許文献2】特開2010-256401号公報

**【発明の概要】****【発明が解決しようとする課題】****【0007】**

このように、従来技術には、出力スイッチの切り換え時に流れる充放電電流が大きいという問題がある。

**【課題を解決するための手段】**

40

**【0008】**

一実施形態では、表示装置が、表示パネルの複数のデータ線を駆動する表示パネルドライバを具備している。当該表示パネルドライバでは、出力スイッチを制御する1対の制御信号線が設けられる。該1対の制御信号線の間には電荷回収スイッチが設けられ、該1対の制御信号線の間で電荷回収が行われる。

**【発明の効果】****【0009】**

上記実施形態によれば、出力スイッチの切り換え時に流れる充放電電流を低減することができる。

**【図面の簡単な説明】**

50

## 【 0 0 1 0 】

【図 1】電荷回収を行う構成のデータ線ドライバの構成の例を示す図である。

【図 2】図 1 のデータ線ドライバの出力回路の構成の詳細を示す図である。

【図 3】図 1 のデータ線ドライバの動作を示すタイミングチャートである。

【図 4 A】一実施形態の液晶表示装置の全体構成を示すブロック図である。

【図 4 B】一実施形態のデータ線ドライバの構成を示すブロック図である。

【図 5】第 1 の実施形態のデータ線ドライバの出力回路の構成を示す回路図である。

【図 6】正極側アンプ、負極側アンプの構成の例を示す回路図である。

【図 7】バッファ回路の構成の例を示す回路図である。

【図 8】電荷回収スイッチの構成の例を示す回路図である。

10

【図 9】第 1 の実施形態のデータ線ドライバの出力回路の動作を示すタイミングチャートである。

【図 1 0】第 2 の実施形態のデータ線ドライバの出力回路の構成を示す回路図である。

【図 1 1】第 3 の実施形態のデータ線ドライバの出力回路の構成を示す回路図である。

【図 1 2】第 4 の実施形態のデータ線ドライバの出力回路の構成を示す回路図である。

【図 1 3】第 5 の実施形態のデータ線ドライバの構成を示すブロック図である。

【図 1 4】第 5 の実施形態のデータ線ドライバの出力回路の構成を示す回路図である。

【図 1 5】第 5 の実施形態のデータ線ドライバの出力回路の動作を示すタイミングチャートである。

【発明を実施するための形態】

20

## 【 0 0 1 1 】

本実施形態の表示装置の技術的意義を理解しやすくするために、まず、電荷回収を行う構成の表示パネルドライバにおける問題について説明する。図 1 は、電荷回収を行う構成のデータ線ドライバ 1 0 0 の構成の例を示す図である。図 1 には、データ線ドライバ 1 0 0 の構成の一部が図示されている。

## 【 0 0 1 2 】

図 1 に図示されたデータ線ドライバ 1 0 0 は、D / A コンバータ回路 1 0 1 と、出力回路 1 0 2 と、表示パネルのデータ線に接続される出力端子  $S_1 \sim S_N$  とを備えている。D / A コンバータ回路 1 0 1 は、正極側 DAC (digital analog converter) 1 0 1 P と、負極側 DAC 1 0 1 N とを備えている。正極側 DAC 1 0 1 P には、正極性の駆動電圧で駆動される画素の階調を示す画素データが供給される。ここで、本実施形態では、駆動電圧の極性が、表示装置において規定された特定の基準電圧、具体的には、データ線ドライバ 1 0 0 で駆動される液晶表示パネルの対向電極の電圧(「共通電圧」と呼ばれる。)を基準として定義されることに留意されたい。以下では、共通電圧よりも高い駆動電圧を「正極性の駆動電圧」といい、共通電圧よりも低い駆動電圧を「負極性の駆動電圧」という。正極側 DAC 1 0 1 P は、デジタル - アナログ変換を行うことにより、該画素データに示された階調に対応する電圧レベルを有する正極性の階調電圧を生成する。

30

## 【 0 0 1 3 】

同様に、負極側 DAC 1 0 1 N には、負極性の駆動電圧で駆動される画素の階調を示す画素データが供給される。負極側 DAC 1 0 1 N は、デジタルアナログ変換を行うことにより、該画素データに示された階調に対応する電圧レベルを有する負極性の階調電圧を生成する。図 1 の構成では、隣接する 2 つの出力端子  $S_{2i-1}$ 、 $S_{2i}$  に対し、1 つの正極側 DAC 1 0 1 P と、1 つの負極側 DAC 1 0 1 N とが設けられる。

40

## 【 0 0 1 4 】

出力回路 1 0 2 は、正極側アンプ 1 0 3 P と、負極側アンプ 1 0 3 N と、スイッチ回路 1 0 4 と、電荷回収線 1 1 1 とを備えている。2 つの出力端子  $S_{2i-1}$ 、 $S_{2i}$  に対し、1 つの正極側アンプ 1 0 3 P と、1 つの負極側アンプ 1 0 3 N と、1 つのスイッチ回路 1 0 4 とを備えている。正極側アンプ 1 0 3 P は、正極側 DAC 1 0 1 P から受け取った正極性の階調電圧に対応する電圧レベルの(基本的には同一の電圧レベルの)正極性の駆動電圧を出力する。同様に、負極側アンプ 1 0 3 N は、負極側 DAC 1 0 1 N から受け取

50

った負極性の階調電圧に対応する電圧レベルの（基本的には同一の電圧レベルの）負極性の駆動電圧を出力する。

【0015】

各スイッチ回路104は、正極側アンプ103P及び負極側アンプ103Nの出力と、出力端子 $S_{2i-1}$ 、 $S_{2i}$ との接続関係を切り換える機能と、出力端子 $S_{2i-1}$ 、 $S_{2i}$ と電荷回収線111との接続関係を切り換える機能とを有している。図2は、スイッチ回路104の構成を詳細に示す図である。

【0016】

スイッチ回路104は、ストレートスイッチ対105と、クロススイッチ対106と、電荷回収スイッチ対107とを備えている。ストレートスイッチ対105は、正極側アンプ103Pの出力と出力端子 $S_{2i-1}$ の間に接続された出力スイッチ105Pと、負極側アンプ103Nの出力と出力端子 $S_{2i}$ の間に接続された出力スイッチ105Nとを備えている。出力スイッチ105P、105Nは、出力制御信号OUT1に応答して、正極側アンプ103P、負極側アンプ103Nの出力を、それぞれ、出力端子 $S_{2i-1}$ 、 $S_{2i}$ に接続し、又は、出力端子 $S_{2i-1}$ 、 $S_{2i}$ から切り離す。詳細には、出力制御信号OUT1からインバータ112によって出力制御信号OUT1の反転信号が生成され、出力制御信号OUT1とその反転信号が、制御信号線113P、113Nによってストレートスイッチ対105に供給される。例えば、出力スイッチ105P、105Nがいずれも相補信号に応答して動作するCMOS（complementary MOS）トランジスタ（即ち、ソース同士及びドレイン同士が接続されたPMOSTランジスタとNMOSTランジスタの対で構成されたスイッチ）である場合、出力制御信号OUT1とその反転信号が、出力スイッチ105P、105Nのそれぞれに供給される。この場合、出力スイッチ105P、105Nは、出力制御信号OUT1とその反転信号に応答してオンオフ動作を行う。

【0017】

クロススイッチ対106は、正極側アンプ103Pの出力と出力端子 $S_{2i}$ の間に接続された出力スイッチ106Pと、負極側アンプ103Nの出力と出力端子 $S_{2i-1}$ の間に接続された出力スイッチ106Nとを備えている。出力スイッチ106P、106Nは、出力制御信号OUT2に応答して、正極側アンプ103P、負極側アンプ103Nの出力を、それぞれ、出力端子 $S_{2i}$ 、 $S_{2i-1}$ に接続し、又は、出力端子 $S_{2i}$ 、 $S_{2i-1}$ から切り離す。詳細には、出力制御信号OUT2からインバータ114によって出力制御信号OUT1の反転信号が生成され、出力制御信号OUT1とその反転信号が、制御信号線115P、115Nによってクロススイッチ対106に供給される。出力スイッチ106P、106Nは、出力制御信号OUT2とその反転信号に応答してオンオフ動作を行う。

【0018】

電荷回収スイッチ対107は、電荷回収線111と出力端子 $S_{2i-1}$ の間に接続された電荷回収スイッチ107Pと、電荷回収線111と出力端子 $S_{2i}$ の間に接続された電荷回収スイッチ107Nとを備えている。電荷回収スイッチ107P、107Nは、電荷回収信号CSに応答して、出力端子 $S_{2i-1}$ 、 $S_{2i}$ を電荷回収線111に接続し、又は電荷回収線111から切り離す。詳細には、電荷回収信号CSからインバータ116によって出力制御信号OUT1の反転信号が生成され、出力制御信号OUT1とその反転信号が、制御信号線115P、115Nによってクロススイッチ対106に供給される。出力スイッチ106P、106Nは、出力制御信号OUT2とその反転信号に応答してオンオフ動作を行う。

【0019】

図3は、図1、図2に図示されている構成のデータ線ドライバ100の動作を示すタイミングチャートである。第k水平期間（「水平同期期間」とも呼ばれる。）が開始する直前のタイミングにおいて、出力制御信号OUT1がアサートされると共に、出力制御信号OUT2がネゲートされていたとする。この場合、正極側アンプ103Pの出力が出力端

10

20

30

40

50

子  $S_{2i-1}$  に接続され、負極側アンプ 103N の出力が出力端子  $S_{2i}$  に接続される。このような接続では、出力端子  $S_{2i-1}$  に接続されるデータ線が正極性の駆動電圧で駆動され、出力端子  $S_{2i}$  に接続されるデータ線が負極性の駆動電圧で駆動されることになる。

【0020】

第  $k$  水平期間が開始されると、電荷回収信号  $CS$  がアサートされ、出力制御信号  $OUT1$ 、 $OUT2$  がネゲートされる。これにより、電荷回収スイッチ 107P、107N がオンされ、出力端子  $S_1 \sim S_N$  が短絡される。これにより、電荷回収が行われる。ここで、出力スイッチ 105P、105N、106P 及び 106N は、いずれもオフされ、出力端子  $S_1 \sim S_N$  は、正極側アンプ 103P、負極側アンプ 103N の出力から切り離される。

10

【0021】

その後、出力端子  $S_1 \sim S_N$  が所望の駆動電圧に駆動される。ここで、図 3 の動作では、第  $k$  水平期間において、出力端子  $S_1 \sim S_N$  のそれぞれが直前の水平期間で駆動されていた駆動電圧と反対の極性の駆動電圧で駆動される。即ち、第  $k$  水平期間では、出力端子  $S_{2i-1}$  が負極性の駆動電圧で駆動され、出力端子  $S_{2i}$  が正極性の駆動電圧で駆動される。

【0022】

第  $k+1$  水平期間でも、出力端子  $S_1 \sim S_N$  のそれぞれが第  $k$  水平期間で駆動されていた駆動電圧と反対の極性の駆動電圧で駆動される点以外は、同様の動作が行われる。

20

【0023】

図 1、図 2 に図示されているデータ線ドライバ 100 の一つの問題は、出力端子  $S_1 \sim S_N$  と、正極側アンプ 103P 及び負極側アンプ 103N との間に設けられている出力スイッチ (105P、105N、106P、106N) の切り換え時に流れる充放電電流が大きいことである。例えば、出力スイッチが MOS トランジスタ又は CMOS トランスファークラークで形成されている場合、出力スイッチにはオン抵抗が小さいことが求められるため、大きなゲート幅の MOS トランジスタが用いられる。これは、出力スイッチに使用される MOS トランジスタのゲート容量が大きいことを意味する。加えて、データ線ドライバ 100 の出力端子  $S_1 \sim S_N$  の数は、多数であり、数百から千に及ぶこともある。これらの理由により、出力スイッチを制御する出力制御信号  $OUT1$ 、 $OUT2$  を伝送する制御信号線 113P、113N、115P、115N に接続される負荷容量が大きくなり、出力スイッチの切り換え時に流れる充放電電流が大きくなってしまふ。充放電電流が大きいことは、消費電力や EMI の増大を招き好ましくない。

30

【0024】

以下に述べられる実施形態では、出力スイッチの切り換え時に流れる充放電電流を低減するための技術が提供される。

【0025】

(第 1 の実施形態)

図 4A は、第 1 の実施形態における表示装置の構成を示すブロック図である。図 4A の表示装置は、液晶表示装置 1 として構成されており、液晶表示パネル 2 と、走査線ドライバ 3 と、タイミングコントローラ 4 と、データ線ドライバ 10 とを備えている。

40

【0026】

液晶表示パネル 2 は、走査線 51 と、データ線 52 と、これらが交差する位置に設けられた画素 53 とを備えている。ただし、図 4A には、図を見やすくするために、2 本の走査線 51 と、2 本のデータ線 52、及び、2 つの画素 53 しか図示されていない。各画素 53 は、TFT (thin film transistor) 53a と、画素電極 53b とを含んでいる。TFT 53a は、そのソースがデータ線 52 に、ドレインが画素電極 53b に、ゲートが走査線 51 に接続されている。画素電極 53b は、対向電極 54 に対向するように設けられている。画素電極 53b と、対向電極 54 と、その間に充填された液晶とにより、液晶容量が形成されている。なお、図 4A では、対向電極 54 が画素 53 毎に設けられているよ

50

うに図示されているが、当業者には知られているように、実際には、すべての画素 5 3 に共通の大きな面積の対向電極 5 4 が設けられる。本実施形態の液晶表示装置 1 では、対向電極 5 4 に印加される電圧が、共通電圧  $V_{COM}$  と定義される。即ち、対向電極 5 4 に印加される共通電圧より高い駆動電圧が「正極性の駆動電圧」であり、対向電極 5 4 に印加される共通電圧より低い駆動電圧が「負極性の駆動電圧」である。共通電圧  $V_{COM}$  は、一般には、液晶表示装置 1 の低位側電源電圧  $V_{SS}$  と、高位側電源電圧  $V_{DD}$  の間の電圧である。ただし、データ線ドライバ 10 に負電圧生成回路を用いる場合には、共通電圧  $V_{COM}$  は、液晶表示装置 1 の低位側電源電圧  $V_{SS}$  に一致していてもよい。

#### 【0027】

走査線ドライバ 3 は、タイミングコントローラ 4 から送られる制御信号にตอบสนองして、液晶表示パネル 2 の走査線 5 1 を駆動する。一方、データ線ドライバ 10 は、タイミングコントローラ 4 から送られる画像データ  $D_{IN}$ 、及び、制御信号にตอบสนองして、液晶表示パネル 2 のデータ線 5 2 を駆動する。画像データ  $D_{IN}$  は、液晶表示パネル 2 の各画素 5 3 の階調を指定するデータであり、各画素 5 3 に対応する画像データ  $D_{IN}$  が順次にデータ線ドライバ 10 に供給される。また、タイミングコントローラ 4 からデータ線ドライバ 10 に送られる制御信号は、例えば、極性信号  $POL$  及びラッチ信号  $STB$  を含んでいる。極性信号  $POL$  とは、液晶表示パネル 2 の各画素が駆動される駆動電圧の極性を指定する信号であり、ラッチ信号  $STB$  は、データ線ドライバ 10 の内部における画像データ  $D_{IN}$  のラッチ動作を制御するための信号である（詳細は後述する）。

#### 【0028】

タイミングコントローラ 4 は、液晶表示装置 1 の全体を制御する機能を有している。詳細には、タイミングコントローラ 4 は、走査線ドライバ 3 及びデータ線ドライバ 10 を制御する上記の制御信号を生成する機能を有すると共に、画像データ  $D_{IN}$  をデータ線ドライバ 10 に供給する機能を有している。

#### 【0029】

図 4 B は、データ線ドライバ 10 の構成の例を示すブロック図である。データ線ドライバ 10 は、シフトレジスタ 1 1 と、データレジスタ 1 2 と、データラッチ 1 3 と、レベルシフタ 1 4 と、 $D/A$ コンバータ回路 1 5 と、出力回路 1 6 と、出力制御回路 1 7 と、出力端子  $S_1 \sim S_N$  とを備えている。出力端子  $S_1 \sim S_N$  には、液晶表示パネル 2 のデータ線 5 2 が接続される。

#### 【0030】

シフトレジスタ 1 1 とデータレジスタ 1 2 は、画像データ  $D_{IN}$  をタイミングコントローラ 4 から順次に受け取るための回路群を構成している。データレジスタ 1 2 は、出力端子  $S_1 \sim S_N$  に対応する数のレジスタを備えており、各レジスタは、1 画素の画像データ  $D_{IN}$  を保持する機能を有している。シフトレジスタ 1 1 は、ラッチ信号  $STB$  にตอบสนองしてシフト動作を行い、データレジスタ 1 2 の各レジスタにタイミングコントローラ 4 から順次に送られてくる画像データ  $D_{IN}$  をラッチさせるラッチトリガ信号を生成する。

#### 【0031】

データラッチ 1 3 は、ラッチ信号  $STB$  にตอบสนองして、データレジスタ 1 2 の各レジスタに格納されている画像データ  $D_{IN}$  を同時にラッチし、レベルシフタ 1 4 を介して  $D/A$ コンバータ回路 1 5 に転送する。各水平期間においてデータラッチ 1 3 によってラッチされた画像データ  $D_{IN}$  が、当該水平期間において、各データ線 5 2 の駆動に使用される。データラッチ 1 3 は、極性信号  $POL$  に応じて画像データ  $D_{IN}$  の順序を入れ替える機能を有している。これは、 $D/A$ コンバータ回路 1 5 が、正極性の駆動電圧で駆動される画素 5 3 に対応する画像データ  $D_{IN}$  を受け取る専用の入力と、負極性の駆動電圧で駆動される画素 5 3 に対応する画像データ  $D_{IN}$  を受け取る専用の入力とを有しているためである。データラッチ 1 3 は、 $D/A$ コンバータ回路 1 5 のこのような構成に合わせて画像データ  $D_{IN}$  の順序を入れ替える。レベルシフタ 1 4 は、データラッチ 1 3 から出力された信号を  $D/A$ コンバータ回路 1 5 の入力の信号レベルに整合させるレベルシフトを行う。

#### 【0032】

10

20

30

40

50

D/Aコンバータ回路15は、データラッチ13からレベルシフタ14を介して受け取った画像データ $D_{IN}$ に対してデジタル-アナログ変換を行い、画像データ $D_{IN}$ に対応する階調電圧を生成する。出力回路16は、D/Aコンバータ回路15によって生成された階調電圧に対応する(基本的には、階調電圧と同一の電圧レベルを有する)駆動電圧を生成して、出力端子 $S_1 \sim S_N$ に接続されたデータ線52に供給する。

【0033】

出力制御回路17は、極性信号POLとラッチ信号STBとにตอบสนองして、出力制御信号POL1、POL2と、電荷回収信号対CSとを生成する。出力制御信号POL1、POL2は、出力回路16に含まれる出力スイッチを制御するための信号群である。電荷回収信号対CSは、出力回路16の電荷回収動作を制御するための1対の信号である。本実施形態では、電荷回収信号対CSとして、互いに相補である電荷回収信号CSP、CSNが出力回路16に供給される。ここで、電荷回収信号CSPは、アサートされるとHighレベルにプルアップされる信号であり、電荷回収信号CSNは、アサートされるとLowレベルにプルダウンされる信号である。

10

【0034】

図5は、D/Aコンバータ回路15と出力回路16の構成を示す回路図である。図5には、D/Aコンバータ回路15と出力回路16のうち、2つの出力端子 $S_{2i-1}$ 、 $S_{2i}$ に対応する部分の構成が図示されている。D/Aコンバータ回路15は、正極側DAC(digital analog converter)15Pと、負極側DAC15Nとを備えている。

【0035】

正極側DAC15Pは、正極性の駆動電圧で駆動される画素53の画像データ $D_{IN}$ にตอบสนองして、正極性の階調電圧を生成する。正極側DAC15Pによって生成される正極性の階調電圧は、画像データ $D_{IN}$ で指定された階調に対応する電圧レベルを有している。一方、負極側DAC15Nによって生成される負極性の階調電圧は、画像データ $D_{IN}$ で指定された階調に対応する電圧レベルを有している。ここで、上述されているように、データラッチ13において、画像データ $D_{IN}$ の順序を入れ替える動作が行われることに留意されたい。データラッチ13の動作により、正極側DAC15Pの入力には、正極性の駆動電圧で駆動される画素53の画像データ $D_{IN}$ のみが入力され、負極側DAC15Nの入力には、負極性の駆動電圧で駆動される画素53の画像データ $D_{IN}$ のみが入力される。

20

30

【0036】

出力回路16は、正極側アンプ21Pと、負極側アンプ21Nと、出力スイッチ22P、22N、23P、23Nと、電荷回収スイッチ24と、バッファ回路31、32と、相補信号線対33、34と、電荷回収スイッチ35、36とを備えている。相補信号線対33は、一对の制御信号線33P、33Nで構成され、相補信号線対34は、一对の制御信号線34P、34Nで構成されている。

【0037】

正極側アンプ21Pは、正極側DAC15Pから受け取った正極性の階調電圧に対して電流増幅を行い、受け取った正極性の階調電圧に対応する正極性の駆動電圧を出力する。正極側アンプ21Pは、出力が反転入力に接続されたボルテッジフォロアを構成しており、正転入力において該正極性の階調電圧を受け取る。正極側アンプ21Pから出力される正極性の階調電圧は、基本的には、正極側DAC15Pから受け取った正極性の階調電圧と同一の電圧レベルを有している。

40

【0038】

同様に、負極側アンプ21Nは、負極側DAC15Nから受け取った負極性の階調電圧に対して電流増幅を行い、受け取った負極性の階調電圧に対応する負極性の駆動電圧を出力する。負極側アンプ21Nは、出力が反転入力に接続されたボルテッジフォロアを構成しており、負極側アンプ21Nは、正転入力において該負極性の階調電圧を受け取る。負極側アンプ21Nから出力される負極性の階調電圧は、基本的には、負極側DAC15Nから受け取った負極性の階調電圧と同一の電圧レベルを有している。

50

## 【 0 0 3 9 】

出力スイッチ 2 2 P は、正極側アンプ 2 1 P の出力と出力端子  $S_{2i-1}$  の間に接続されており、出力スイッチ 2 2 N は、負極側アンプ 2 1 N の出力と出力端子  $S_{2i}$  の間に接続されている。本実施形態では、PMOS トランジスタ MP 1 が出力スイッチ 2 2 P として用いられ、NMOS トランジスタ MN 2 が出力スイッチ 2 2 N として用いられる。PMOS トランジスタ MP 1 は、ゲートが制御信号線 3 3 N に接続され、ソース又はドレインの一方が正極側アンプ 2 1 P の出力に接続され、他方が出力端子  $S_{2i-1}$  に接続されている。一方、NMOS トランジスタ MN 2 は、ゲートが制御信号線 3 3 P に接続され、ソース又はドレインの一方が負極側アンプ 2 1 N の出力に接続され、他方が出力端子  $S_{2i}$  に接続されている。

10

## 【 0 0 4 0 】

出力スイッチ 2 3 P は、正極側アンプ 2 1 P の出力と出力端子  $S_{2i}$  の間に接続されており、出力スイッチ 2 3 N は、負極側アンプ 2 1 N の出力と出力端子  $S_{2i-1}$  の間に接続されている。本実施形態では、PMOS トランジスタ MP 3 が出力スイッチ 2 3 P として用いられ、NMOS トランジスタ MN 4 が出力スイッチ 2 2 N として用いられる。PMOS トランジスタ MP 3 は、ゲートが制御信号線 3 4 N に接続され、ソース又はドレインの一方が正極側アンプ 2 1 P の出力に接続され、他方が出力端子  $S_{2i}$  に接続されている。一方、NMOS トランジスタ MN 4 は、ゲートが制御信号線 3 4 P に接続され、ソース又はドレインの一方が負極側アンプ 2 1 N の出力に接続され、他方が出力端子  $S_{2i-1}$  に接続されている。

20

## 【 0 0 4 1 】

電荷回収スイッチ 2 4 は、出力端子  $S_{2i-1}$ 、 $S_{2i}$  の間に接続されている。後述されるように、電荷回収スイッチ 2 4 は、電荷回収の際に使用されるスイッチであり、電荷回収信号対 CS (即ち、電荷回収信号 CSP、CSN) に応答して動作する。電荷回収信号 CSP、CSN がアサートされると、電荷回収スイッチ 2 4 がオンされる。

## 【 0 0 4 2 】

バッファ回路 3 1 は、出力スイッチ 2 2 P、2 2 N を制御する制御信号を制御信号線 3 3 P、3 3 N に供給する出力スイッチ制御部として機能する。詳細には、バッファ回路 3 1 は、バッファ 3 1 P とインバータ 3 1 N とを備えている。バッファ 3 1 P は、出力制御信号 POL 1 をバッファリングし、該出力制御信号 POL 1 を制御信号線 3 3 P に出力する。インバータ 3 1 N は、出力制御信号 POL 1 の反転信号 / POL 1 を生成し、制御信号線 3 3 N に出力する。

30

## 【 0 0 4 3 】

同様に、バッファ回路 3 2 は、出力スイッチ 2 3 P、2 3 N を制御する制御信号を制御信号線 3 4 P、3 4 N に供給する出力スイッチ制御部として機能する。詳細には、バッファ回路 3 2 は、バッファ 3 2 P とインバータ 3 2 N とを備えている。バッファ 3 2 P は、出力制御信号 POL 2 をバッファリングし、該出力制御信号 POL 2 を制御信号線 3 4 P に出力する。インバータ 3 2 N は、出力制御信号 POL 2 の反転信号 / POL 2 を生成し、制御信号線 3 4 N に出力する。

## 【 0 0 4 4 】

なお、図 5 では、1 つのバッファ回路 3 1 に対して、一対の出力スイッチ 2 2 P、2 2 N が図示されているが、実際には、1 つのバッファ回路 3 1 に対して、多数対の出力スイッチ 2 2 P、2 2 N が設けられることに留意されたい。同様に、図 5 では、1 つのバッファ回路 3 2 に対して、一対の出力スイッチ 2 3 P、2 3 N が図示されているが、実際には、1 つのバッファ回路 3 2 に対して、多数対の出力スイッチ 2 3 P、2 3 N が設けられることに留意されたい。

40

## 【 0 0 4 5 】

電荷回収スイッチ 3 5 は、制御信号線 3 3 P と制御信号線 3 3 N との間に接続されている。電荷回収スイッチ 3 5 は、電荷回収信号 CSP、CSN に応答して制御信号線 3 3 P と制御信号線 3 3 N とを短絡し、これにより、制御信号線 3 3 P、3 3 N において電荷回

50

収を実現するために使用される。

【 0 0 4 6 】

同様に、電荷回収スイッチ 3 6 は、制御信号線 3 4 P と制御信号線 3 3 N との間に接続されている。電荷回収スイッチ 3 6 は、電荷回収信号 C S P、C S N に応答して制御信号線 3 4 P と制御信号線 3 4 N とを短絡し、これにより、制御信号線 3 4 P、3 4 N において電荷回収を実現するために使用される。

【 0 0 4 7 】

以下では、データ線ドライバ 1 0 の各回路の構成の例を説明する。

図 6 は、上述の正極側アンプ 2 1 P の構成の例を示す図である。正極側アンプ 2 1 P は、プリアンプ 4 1 と、出力段 4 2 と、アンプスイッチ 4 3 とを備えている。

10

【 0 0 4 8 】

プリアンプ 4 1 は、正極側 D A C 1 5 から正極性の階調電圧を受け取り、それぞれが受け取った階調電圧に対応する電圧レベルを有する一対のアナログ信号である正側アナログ信号及び負側アナログ信号を出力する。

【 0 0 4 9 】

出力段 4 2 は、P M O S トランジスタ M P 1 1 と N M O S トランジスタ M N 1 1 とを備えている。P M O S トランジスタ M P 1 1 は、そのソースが高位側電源 V D D に接続され、ドレインが正極側アンプ 2 1 P に接続される出力 4 4 に接続されている。P M O S トランジスタ M P 1 1 のゲートには、プリアンプ 4 1 から出力される正側アナログ信号が供給される。N M O S トランジスタ M N 1 1 は、そのソースが低位側電源 V S S に接続され、ドレインが出力 4 4 に接続されている。N M O S トランジスタ M N 1 1 のゲートには、プリアンプ 4 1 から出力される負側アナログ信号が供給される。このような構成の出力段 4 2 では、P M O S トランジスタ M P 1 1 と N M O S トランジスタ M N 1 1 のドレインに接続された出力 4 4 の電圧レベルが、プリアンプ 4 1 から供給される正側アナログ信号及び負側アナログ信号の電圧レベルに応じて決定される。

20

【 0 0 5 0 】

アンプスイッチ 4 3 は、電荷回収信号 C S P、C S N に応答して、P M O S トランジスタ M P 1 1 及び N M O S トランジスタ M N 1 1 のソース及びゲートを短絡する機能を有している。詳細には、アンプスイッチ 4 3 は、P M O S トランジスタ M P 1 2 と N M O S トランジスタ M N 1 2 とを備えている。P M O S トランジスタ M P 1 2 は、そのソースが高位側電源 V D D に接続され、ドレインが P M O S トランジスタ M P 1 1 のゲートに接続されている。P M O S トランジスタ M P 1 2 のゲートには電荷回収信号 C S N が供給されており、電荷回収信号 C S N がアサートされると（即ち、L o w レベルにプルダウンされると）、P M O S トランジスタ M P 1 1 のソースとゲートが短絡され、P M O S トランジスタ M P 1 1 が、完全にオフされる。一方、N M O S トランジスタ M N 1 2 は、そのソースが低位側電源 V S S に接続され、ドレインが N M O S トランジスタ M N 1 1 のゲートに接続されている。N M O S トランジスタ M N 1 2 のゲートには電荷回収信号 C S P が供給されており、電荷回収信号 C S P がアサートされると（即ち、H i g h レベルにプルアップされると）、N M O S トランジスタ M N 1 1 のソースとゲートが短絡され、N M O S トランジスタ M N 1 1 が、完全にオフされる。

30

40

【 0 0 5 1 】

このような構成の正極側アンプ 2 1 P は、電荷回収信号 C S P、C S N がネゲートされているとき、それに供給される正極性の階調電圧に対応する電圧レベルの駆動電圧を出力 4 4 から出力する。ここで、電荷回収信号 C S P、C S N がネゲートされているとき、電荷回収信号 C S P は H i g h レベル、電荷回収信号 C S N が L o w レベルであることに留意されたい。

【 0 0 5 2 】

加えて、正極側アンプ 2 1 P は、電荷回収信号 C S P、C S N がアサートされると、その出力 4 4 をハイインピーダンス状態に設定する。後述されるように、電荷回収信号 C S P、C S N がアサートされるときに正極側アンプ 2 1 P の出力 4 4 がハイインピーダンス

50

状態に設定されることは、制御信号線 33P、33N の間で電荷回収を行う上で有用である。

【0053】

負極側アンプ 21N は、負極性の階調電圧が入力される点を除いて、正極側アンプ 21P と同一の構成を有している。負極側 DAC 15N も、電荷回収信号 CSP が High レベルに設定され、電荷回収信号 CSN が Low レベルに設定されると、出力 44 がハイインピーダンス状態になる。

【0054】

図 7 は、バッファ回路 31 の構成の例を示す図である。バッファ回路 31 は、PMOS トランジスタ MP21、MP22、MP31、MP32 と、NMOS トランジスタ MN21、MN22、MN31、MN32 と、インバータ 37 とを備えている。

10

【0055】

PMOS トランジスタ MP21、MP22、NMOS トランジスタ MN21、MN22、MN31 及びインバータ 37 は、バッファ 31P を構成している。インバータ 37 の入力には、出力制御信号 POL1 が供給され、インバータ 37 は、出力制御信号 POL1 の反転信号を出力する。PMOS トランジスタ MP21、MP22 は、制御信号線 33P に接続される出力 38P と、高位側電源 VDD との間に直列に接続されている。一方、NMOS トランジスタ MN21、MN22 は、出力 38P と低位側電源 VSS との間に直列に接続されている。PMOS トランジスタ MP22 のゲートには、電荷回収信号 CSN が供給され、NMOS トランジスタ MN22 のゲートには、電荷回収信号 CSP が供給される。

20

【0056】

一方、PMOS トランジスタ MP31、MP32 及び NMOS トランジスタ MN31、MN32 は、インバータ 31N を構成している。PMOS トランジスタ MP31、MP32 は、制御信号線 33N に接続される出力 38N と、高位側電源 VDD との間に直列に接続されている。一方、NMOS トランジスタ MN31、MN32 は、出力 38N と低位側電源 VSS との間に直列に接続されている。PMOS トランジスタ MP32 のゲートには、電荷回収信号 CSN が供給され、NMOS トランジスタ MN32 のゲートには、電荷回収信号 CSP が供給される。また、PMOS トランジスタ MP31、NMOS トランジスタ MN31 のゲートには、出力制御信号 POL1 が供給される。

30

【0057】

このような構成のバッファ回路 31 は、電荷回収信号 CSP、CSN がネゲートされているとき、出力 38P から出力制御信号 POL1 を出力すると共に出力 38N から出力制御信号 POL1 の反転信号 /POL1 を出力する。一方、電荷回収信号 CSP、CSN がアサートされると、バッファ回路 31 は、出力 38P、38N を、いずれもハイインピーダンス状態に設定する。後述されるように、電荷回収信号 CSP、CSN がアサートされるときにバッファ回路 31 の出力 38P、38N がハイインピーダンス状態に設定されることは、制御信号線 33P、33N の間で電荷回収を行う上で有用である。

【0058】

バッファ回路 32 も、出力制御信号 POL1 の代わりに出力制御信号 POL2 が供給される点、及び、出力 38P、38N が、それぞれ、制御信号線 34P、34N に接続される点を除けば、バッファ回路 31 と同一の構成を有している。

40

【0059】

図 8 は、制御信号線 33P、33N の間に接続される電荷回収スイッチ 35 の構成の例を示す図である。図 8 の例では、電荷回収スイッチ 35 は、PMOS トランジスタ MP41 及び NMOS トランジスタ MN41 を備えている。PMOS トランジスタ MP41 及び NMOS トランジスタ MN41 は、ソース同士が共通に接続され、ドレインが共通に接続されている。PMOS トランジスタ MP41 及び NMOS トランジスタ MN41 の共通接続ソースが制御信号線 33P に接続され、PMOS トランジスタ MP41 及び NMOS ト

50

ランジスタMN41の共通接続ドレインが制御信号線33Nに接続されている。NMOSTランジスタMN41のゲートには電荷回収信号CSPが供給され、PMOSTランジスタMP41のゲートには、電荷回収信号CSNが供給される。上述の通り、電荷回収信号CSNは、電荷回収信号CSPと相補の信号であることに留意されたい。

【0060】

このような電荷回収スイッチ35は、電荷回収信号CSP、CSNがアサートされると（即ち、電荷回収信号CSPがHighレベルに、電荷回収信号CSNがLowレベルに設定されると）、オン状態になり、制御信号線33P、33Nを短絡する。

【0061】

制御信号線34P、34Nの間に接続される電荷回収スイッチ36も、上述の電荷回収スイッチ35と同様に構成されてもよい。

【0062】

図5乃至図8に図示された構成の出力回路16では、出力制御信号POL1がアサートされる（本実施形態ではHighレベルにプルアップされる）ことで、反転信号/POL1もアサートされ（本実施形態ではLowレベルにプルダウンされ）、出力スイッチ22P、22Nがオンされる。加えて、出力制御信号POL2がネゲートされることで、反転信号/POL2もネゲートされ、出力スイッチ23P、23Nがオフされる。これにより、正極側アンプ21Pの出力が出力端子 $S_{2i-1}$ に接続され、負極側アンプ21Nの出力が出力端子 $S_{2i}$ に接続される。この結果、出力端子 $S_{2i-1}$ から正極性の駆動電圧が出力され、出力端子 $S_{2i}$ から負極性の駆動電圧が出力されることになる。

【0063】

一方、出力制御信号POL2がアサートされる（本実施形態ではHighレベルにプルアップされる）ことで、反転信号/POL2もアサートされ（本実施形態ではLowレベルにプルダウンされ）、出力スイッチ23P、23Nがオンされる。加えて、出力制御信号POL1がネゲートされることで、反転信号/POL2もネゲートされ、出力スイッチ22P、22Nがオフされる。これにより、正極側アンプ21Pの出力が出力端子 $S_{2i}$ に接続され、負極側アンプ21Nの出力が出力端子 $S_{2i-1}$ に接続される。この結果、出力端子 $S_{2i-1}$ から負極性の駆動電圧が出力され、出力端子 $S_{2i}$ から正極性の駆動電圧が出力されることになる。

【0064】

更に、電荷回収信号CSP、CSNがアサートされると、電荷回収スイッチ24がオン状態にされ、出力端子 $S_{2i-1}$ 、 $S_{2i}$ が短絡される。これにより、出力端子 $S_{2i-1}$ 、 $S_{2i}$ に接続されているデータ線52が短絡され、電荷回収が行われる。

【0065】

ここで、本実施形態の出力回路16の一つの特徴は、電荷回収信号CSP、CSNがアサートされて出力端子 $S_{2i-1}$ 、 $S_{2i}$ の間で電荷回収が行われるときに、電荷回収スイッチ35、36がオン状態にされ、これにより、制御信号線33P、33Nの間の電荷回収、及び、制御信号線34P、34Nの間の電荷回収が行われることである。電荷回収スイッチ35がオンされることで、制御信号線33P、33Nが短絡され、制御信号線33P、33Nを中間的な電位（HighレベルとLowレベルの間の電位）にすることができる。このとき、バッファ回路31の出力（即ち、バッファ31Pとインバータ31Nの出力）はハイインピーダンス状態に設定される。その後、バッファ回路31により制御信号線33P、33Nを所望の電位（Highレベル又はLowレベル）に駆動することで、出力スイッチ22P、22Nをスイッチングする際の充放電電流を低減することができる。ここで、本実施形態の出力回路16の構成では、出力スイッチ22P、22Nをスイッチングする際の充放電電流は、概略的には、制御信号線33P、33Nを充放電する電流、及び、PMOSTランジスタMP1、NMOSTランジスタMN1のゲートを充放電する電流で構成されることに留意されたい。

【0066】

同様に、電荷回収スイッチ36がオンされることで、制御信号線34P、34Nが短絡

10

20

30

40

50

され、制御信号線 3 4 P、3 4 N を中間的な電位 (High レベルと Low レベルの間の電位) にすることができる。このとき、バッファ回路 3 2 の出力 (即ち、バッファ 3 2 P とインバータ 3 2 N の出力) がハイインピーダンス状態に設定される。その後、バッファ回路 3 2 で制御信号線 3 4 P、3 4 N を所望の電位 (High レベル又は Low レベル) に駆動することで、出力スイッチ 2 3 P、2 3 N をスイッチングする際の充放電電流を低減することができる。

【0067】

このような動作において留意すべきことは、電荷回収スイッチ 3 5 がオンされて制御信号線 3 3 P、3 3 N が短絡されたときに、制御信号線 3 3 P、3 3 N が中間的な電位になり、出力スイッチ 2 2 P、2 2 N は、完全にはオフされないことである。同様に、電荷回収スイッチ 3 6 がオンされて制御信号線 3 4 P、3 4 N が短絡されたとき、制御信号線 3 4 P、3 4 N は中間的な電位になり、出力スイッチ 2 3 P、2 3 N は、完全にはオフされない。これは、正極側アンプ 2 1 P、負極側アンプ 2 1 N の出力と、出力端子  $S_{2i-1}$ 、 $S_{2i}$  とが電氣的に完全には遮断されないことを意味する。この状態では、正極側アンプ 2 1 P、負極側アンプ 2 1 N の出力から電圧が出力されていると、電荷回収を正常に行うことができない。そこで、本実施形態では、電荷回収が行われるときに、正極側アンプ 2 1 P、負極側アンプ 2 1 N の出力が、電荷回収信号 CS P、CS N のアサートに応答してハイインピーダンス状態に設定される。図 6 の構成の正極側アンプ 2 1 P、負極側アンプ 2 1 N が、このような動作に対応していることは、上述されているとおりである。

【0068】

図 9 は、第 1 の実施形態における出力回路 1 6 の動作を示すタイミングチャートである。図 9 において、第 k 水平期間が時刻  $t_1$  に開始し、第 k + 1 水平期間が時間  $t_3$  に開始されるとする。第 k 水平期間の時刻  $t_1$  と時刻  $t_2$  の間の期間、及び、第 k + 1 水平期間の時刻  $t_3$  と時間  $t_4$  の間の期間は、非表示期間である。非表示期間とは、液晶表示パネル 2 の、ある走査線 5 1 に接続された画素 5 3 の駆動を完了した後、隣接する走査線 5 1 に接続された画素 5 3 の駆動を開始するまでの期間である。一方、第 k 水平期間の時刻  $t_3$  と時間  $t_4$  の間の期間、及び、第 k + 1 水平期間の時刻  $t_4$  と時間  $t_5$  の間の期間は、表示期間、即ち、それぞれの水平期間において選択された走査線 5 1 に接続された画素 5 3 を駆動する期間である。

【0069】

図 9 のタイミングチャートの動作においては、各水平期間の非表示期間において、電荷回収信号対 CS がアサートされる (即ち、電荷回収信号 CS P が High レベルにプルアップされ、電荷回収信号 CS N が Low レベルにプルダウンされる)。一方、各水平期間の表示期間においては、電荷回収信号対 CS がネゲートされる。

【0070】

また、出力制御信号 POL 1、POL 2 は、各水平期間の非表示期間においてはいずれもネゲートされる。一方、各水平期間の表示期間においては、出力端子  $S_{2i-1}$ 、 $S_{2i}$  に出力すべき駆動電圧の極性に依じて出力制御信号 POL 1、POL 2 の一方がアサートされ、他方がネゲートされる。各水平期間の表示期間において出力制御信号 POL 1、POL 2 のいずれがアサートされるかは、極性信号 POL によって制御される。

【0071】

出力回路 1 6 は、このように制御される電荷回収信号対 CS 及び出力制御信号 POL 1、POL 2 に応答して動作する。以下、本実施形態の出力回路 1 6 の第 k 水平期間、及び第 k + 1 水平期間の動作について説明する。なお、当業者であれば、他の水平期間においても出力回路 1 6 が同様に動作することは、容易に理解されよう。

【0072】

以下の説明において、第 k 水平期間の直前の表示期間の状態 (時刻  $t_1$  の直前の状態) を、初期状態とする。初期状態では、電荷回収信号対 CS がネゲートされており、出力制御信号 POL 1 がアサートされており、出力制御信号 POL 2 がネゲートされているとする。この場合、正極側アンプ 2 1 P によって出力端子  $S_{2i-1}$  が正極性の駆動電圧で駆

10

20

30

40

50

動され、負極側アンプ 2 1 N によって出力端子  $S_{2i}$  が負極性の駆動電圧で駆動される。なお、図 9 では、出力端子  $S_{2i-1}$ 、 $S_{2i}$  の電圧波形が、出力し得る駆動電圧のうちの最高電圧を正極側アンプ 2 1 P が出力し、出力し得る駆動電圧のうちの最低電圧を負極側アンプ 2 1 N が出力しているとして図示されている。

【 0 0 7 3 】

詳細には、初期状態では、出力制御信号 P O L 1 のアサートに应答して、出力制御信号 P O L 1 を伝送する制御信号線 3 3 P がバッファ回路 3 1 によって H i g h レベルにプルアップされ、反転信号 / P O L 1 を伝送する制御信号線 3 3 N が L o w レベルにプルダウンされる。これにより、出力スイッチ 2 2 P、2 2 N がオン状態になる。

【 0 0 7 4 】

また、出力制御信号 P O L 2 のネゲートに应答して、出力制御信号 P O L 2 を伝送する制御信号線 3 4 P がバッファ回路 3 2 によって L o w レベルにプルダウンされ、反転信号 / P O L 2 を伝送する制御信号線 3 4 N が H i g h レベルにプルアップされる。これにより、出力スイッチ 2 3 P、2 3 N がオフ状態になる。

【 0 0 7 5 】

この状態では、正極側アンプ 2 1 P の出力が、出力スイッチ 2 2 P を介して出力端子  $S_{2i-1}$  に接続され、出力端子  $S_{2i-1}$  が正極性の駆動電圧で駆動される。更に、負極側アンプ 2 1 N の出力が、出力スイッチ 2 2 N を介して出力端子  $S_{2i}$  に接続され、出力端子  $S_{2i}$  が負極性の駆動電圧で駆動される。

【 0 0 7 6 】

更に、電荷回収信号対 C S がネゲートされるので（即ち、電荷回収信号 C S P が L o w レベルに設定され、電荷回収信号 C S N が H i g h レベルに設定されるので）、電荷回収スイッチ 2 4、3 5、3 6 は、いずれもオフされる。

【 0 0 7 7 】

時刻  $t_1$  になり第 k 水平期間の非表示期間が開始されると、電荷回収信号対 C S がアサートされ（即ち、電荷回収信号 C S P が H i g h レベルに設定され、電荷回収信号 C S N が L o w レベルに設定され）、出力制御信号 P O L 1、P O L 2 がいずれもネゲートされる。これにより、電荷回収スイッチ 2 4 がオン状態になり、出力端子  $S_{2i-1}$ 、 $S_{2i}$  が短絡され、出力端子  $S_{2i-1}$ 、 $S_{2i}$  に接続されたデータ線 5 2 の間で電荷回収が行われる。

【 0 0 7 8 】

加えて、電荷回収信号対 C S のアサートに应答して、電荷回収スイッチ 3 5 がオン状態に設定されると共に、バッファ回路 3 1 の出力がいずれもハイインピーダンス状態に設定される。これにより、制御信号線 3 3 P、3 3 N が短絡され、制御信号線 3 3 P、3 3 N の間で電荷回収が行われる。上述のように、制御信号線 3 3 P、3 3 N の間で電荷回収を行うことが出力スイッチ 2 2 P、2 2 N のスイッチング時の充放電電流を低減させるために重要であることに留意されたい。

【 0 0 7 9 】

更に、電荷回収信号対 C S のアサートに应答して、電荷回収スイッチ 3 6 がオン状態に設定されると共に、バッファ回路 3 2 の出力がいずれもハイインピーダンス状態に設定される。これにより、制御信号線 3 4 P、3 4 N が短絡され、制御信号線 3 4 P、3 4 N の間で電荷回収が行われる。上述のように、制御信号線 3 4 P、3 4 N の間で電荷回収を行うことが出力スイッチ 2 3 P、2 3 N のスイッチング時の充放電電流を低減させるために重要である。

【 0 0 8 0 】

以上に述べられているように、電荷回収により、制御信号線 3 3 P、3 3 N、3 4 P、3 4 N は、H i g h レベルと L o w レベルの間の中間電位になる。これは、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N が、完全にはオフにされないことを意味する。しかしながら、本実施形態では、電荷回収信号対 C S に应答して正極側アンプ 2 1 P 及び負極側アンプ 2 1 N の出力がハイインピーダンス状態に設定されるので、出力端子  $S_{2i-1}$ 、 $S_{2i}$

10

20

30

40

50

$2_i$  の間の電荷回収は阻害されない。

【0081】

その後、時刻  $t_2$  に第  $k$  水平期間の表示期間が開始されると、第  $k$  水平期間に選択されていた走査線 5 1 に接続される画素 5 3 の駆動が開始される。このとき、出力端子  $S_{2_i-1}$ 、 $S_{2_i}$  に出力される駆動電圧の極性は、直前の水平期間（第  $k-1$  水平期間）の表示期間において出力端子  $S_{2_i-1}$ 、 $S_{2_i}$  に出力された駆動電圧の極性と反対に設定される。即ち、図 9 の例では、第  $k$  水平期間の表示期間において、出力端子  $S_{2_i-1}$  が負極性の駆動電圧に駆動され、出力端子  $S_{2_i}$  が正極性の駆動電圧に駆動される。

【0082】

より詳細には、時刻  $t_2$  において、電荷回収信号対  $CS$  がネゲートされ（即ち、電荷回収信号  $CS_P$  が  $Low$  レベルに設定され、電荷回収信号  $CS_N$  が  $High$  レベルに設定され）、電荷回収スイッチ 2 4、3 5、3 6 は、いずれもオフされる。これにより、電荷回収は停止される。

10

【0083】

更に、出力制御信号  $POL_2$  がアサートされると共に、出力制御信号  $POL_1$  がネゲートに維持される。出力制御信号  $POL_2$  のアサートにตอบสนองして、出力制御信号  $POL_2$  を伝送する制御信号線 3 4 P がバッファ回路 3 2 によって  $High$  レベルにプルアップされ、反転信号 /  $POL_2$  を伝送する制御信号線 3 4 N が  $Low$  レベルにプルダウンされる。これにより、出力スイッチ 2 3 P、2 3 N がオン状態になる。また、出力制御信号  $POL_1$  のネゲートにตอบสนองして、出力制御信号  $POL_1$  を伝送する制御信号線 3 3 P がバッファ回路 3 1 によって  $Low$  レベルにプルダウンされ、反転信号 /  $POL_1$  を伝送する制御信号線 3 3 N が  $High$  レベルにプルアップされる。これにより、出力スイッチ 2 2 P、2 2 N がオフ状態になる。

20

【0084】

この状態では、正極側アンプ 2 1 P の出力が、出力スイッチ 2 3 P を介して出力端子  $S_{2_i}$  に接続され、出力端子  $S_{2_i}$  が正極性の駆動電圧で駆動される。更に、負極側アンプ 2 1 N の出力が、出力スイッチ 2 3 N を介して出力端子  $S_{2_i-1}$  に接続され、出力端子  $S_{2_i-1}$  が負極性の駆動電圧で駆動される。

【0085】

時刻  $t_3$  に開始される第  $k+1$  水平期間でも、表示期間において出力端子  $S_{2_i-1}$ 、 $S_{2_i}$  に出力される駆動電圧の極性が反転される以外、同様の動作が行われる。時刻  $t_3$  になり第  $k+1$  水平期間の非表示期間が開始されると、電荷回収信号対  $CS$  がアサートされ、出力制御信号  $POL_1$ 、 $POL_2$  がネゲートされる。電荷回収信号対  $CS$  のアサートにตอบสนองして、電荷回収スイッチ 2 4 がオン状態になる。これにより、出力端子  $S_{2_i-1}$ 、 $S_{2_i}$  が短絡され、出力端子  $S_{2_i-1}$ 、 $S_{2_i}$  に接続されたデータ線 5 2 の間で電荷回収が行われる。加えて、電荷回収信号対  $CS$  のアサートにตอบสนองして、電荷回収スイッチ 3 5、3 6 がオン状態に設定されると共に、バッファ回路 3 1、3 2 の出力がいずれもハイインピーダンス状態に設定される。これにより、制御信号線 3 3 P、3 3 N の間の電荷回収、及び、制御信号線 3 4 P、3 4 N の間の電荷回収が行われる。

30

【0086】

その後、時刻  $t_4$  に第  $k+1$  水平期間の表示期間が開始されると、第  $k+1$  水平期間に選択されていた走査線 5 1 に接続される画素 5 3 の駆動が開始される。このとき、出力端子  $S_{2_i-1}$ 、 $S_{2_i}$  に出力される駆動電圧の極性は、第  $k$  水平期間の表示期間において出力端子  $S_{2_i-1}$ 、 $S_{2_i}$  に出力された駆動電圧の極性と反対に設定される。即ち、図 9 の例では、第  $k+1$  水平期間の表示期間において、出力端子  $S_{2_i-1}$  が正極性の駆動電圧に駆動され、出力端子  $S_{2_i}$  が負極性の駆動電圧に駆動される。

40

【0087】

より詳細には、時刻  $t_3$  において、電荷回収信号対  $CS$  がネゲートされ、電荷回収スイッチ 2 4、3 5、3 6 は、いずれもオフされる。これにより、電荷回収は停止される。更に、出力制御信号  $POL_1$  がアサートされると共に、出力制御信号  $POL_2$  がネゲートに

50

維持される。これにより、出力スイッチ 2 2 P、2 2 N がオン状態になり、出力スイッチ 2 3 P、2 3 N がオフ状態になる。

【0088】

この状態では、正極側アンプ 2 1 P の出力が、出力スイッチ 2 2 P を介して出力端子  $S_{2i-1}$  に接続され、出力端子  $S_{2i-1}$  が正極性の駆動電圧で駆動される。更に、負極側アンプ 2 1 N の出力が、出力スイッチ 2 2 N を介して出力端子  $S_{2i}$  に接続され、出力端子  $S_{2i}$  が負極性の駆動電圧で駆動される。

【0089】

以上に説明されているように、本実施形態では、出力端子  $S_{2i-1}$ 、 $S_{2i}$  の間の電荷回収と同時に電荷回収スイッチ 3 5、3 6 がオン状態にされ、出力スイッチ 2 2 P、2 2 N を制御する制御信号線 3 3 P、3 3 N の間の電荷回収、及び、出力スイッチ 2 2 P、2 2 N を制御する制御信号線 3 4 P、3 4 N の間の電荷回収が行われる。これにより、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N のスイッチング時の充放電電流を低減することができる。スイッチング時の充放電電流の低減は、消費電力の低減や、EMI 特性の改善のために有効である。特に出力数が多いデータ線ドライバにおいては出力スイッチおよび出力スイッチに接続される配線（制御信号線 3 3 P、3 3 N、3 4 P、3 4 N）の寄生容量が大きく、その充放電電流が大きいため、電荷回収による電流削減の効果が大きい。

【0090】

（第 2 の実施形態）

図 10 は、第 2 の実施形態における、データ線ドライバ 10 の出力回路 16 の構成を示す回路図である。第 2 の実施形態の出力回路 16 は、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N の構成が、第 1 の実施形態の出力回路 16 と相違している。第 2 の実施形態では、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N が、いずれも、CMOS トランジスタで構成されている。

【0091】

詳細には、出力スイッチ 2 2 P は、PMOS トランジスタ MP 1 と NMOS トランジスタ MN 1 とを備えている。PMOS トランジスタ MP 1 と NMOS トランジスタ MN 1 とは、その共通接続ソースが正極側アンプ 2 1 P の出力に接続されており、共通接続ドレインが出力端子  $S_{2i-1}$  に接続されている。PMOS トランジスタ MP 1 のゲートは制御信号線 3 3 N に接続され、NMOS トランジスタ MN 1 のゲートは制御信号線 3 3 P に接続されている。

【0092】

また、出力スイッチ 2 2 N は、PMOS トランジスタ MP 2 と NMOS トランジスタ MN 2 とを備えている。PMOS トランジスタ MP 2 と NMOS トランジスタ MN 2 とは、その共通接続ソースが負極側アンプ 2 1 N の出力に接続されており、共通接続ドレインが出力端子  $S_{2i}$  に接続されている。PMOS トランジスタ MP 2 のゲートは制御信号線 3 3 N に接続され、NMOS トランジスタ MN 2 のゲートは制御信号線 3 3 P に接続されている。

【0093】

更に、出力スイッチ 2 3 P は、PMOS トランジスタ MP 3 と NMOS トランジスタ MN 3 とを備えている。PMOS トランジスタ MP 3 と NMOS トランジスタ MN 3 とは、その共通接続ソースが正極側アンプ 2 1 P の出力に接続されており、共通接続ドレインが出力端子  $S_{2i}$  に接続されている。PMOS トランジスタ MP 3 のゲートは制御信号線 3 4 N に接続され、NMOS トランジスタ MN 3 のゲートは制御信号線 3 4 P に接続されている。

【0094】

最後に、出力スイッチ 2 3 N は、PMOS トランジスタ MP 4 と NMOS トランジスタ MN 4 とを備えている。PMOS トランジスタ MP 4 と NMOS トランジスタ MN 4 とは、その共通接続ソースが正極側アンプ 2 1 P の出力に接続されており、共通接続ドレインが出力端子  $S_{2i-1}$  に接続されている。PMOS トランジスタ MP 4 のゲートは制御信

号線 3 4 N に接続され、NMOS トランジスタ MN 4 のゲートは制御信号線 3 4 P に接続されている。

【 0 0 9 5 】

第 2 の実施形態の出力回路 1 6 の動作は、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N の構成が相違する以外、第 1 の実施形態の出力回路 1 6 の動作と同一であり、その説明を省略する。

【 0 0 9 6 】

第 2 の実施形態では、制御信号線 3 3 P、3 3 N、3 4 P、3 4 N の負荷容量が更に大きくなるため、充放電電流の低減効果が第 1 の実施形態よりも大きくなる。

【 0 0 9 7 】

( 第 3 の実施形態 )

図 1 1 は、第 3 の実施形態のデータ線ドライバ 1 0 の出力回路 1 6 の構成を示す回路図である。第 3 の実施形態の出力回路 1 6 は、出力端子  $S_{2i-1}$ 、 $S_{2i}$  の間に接続された電荷回収スイッチ 2 4 が取り除かれている点で、第 2 の実施形態と相違している。その他の点においては、第 3 の実施形態の出力回路 1 6 の構成は、第 2 の実施形態の出力回路 1 6 の構成と全く同一である。

【 0 0 9 8 】

ここで、電荷回収スイッチ 2 4 が存在しなくても、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N を用いることで、出力端子  $S_{2i-1}$ 、 $S_{2i}$  の間の電荷回収を行うことができることに留意されたい。図 9 のタイミングチャートを参照しながら第 1 の実施形態で説明したように、各水平期間の非表示期間 ( 時刻  $t_1$  から時刻  $t_2$  の期間および時刻  $t_3$  から時刻  $t_4$  ) の期間においては、制御信号線 3 3 P、3 3 N、3 4 P、3 4 N が中間電位になり、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N は完全にはオフされない。即ち、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N は、ある程度の電気導通性を有している。従って、電荷回収スイッチ 2 4 が設けられなくても、正極側アンプ 2 1 P、負極側アンプ 2 1 N の出力をハイインピーダンスに設定し、制御信号線 3 3 P、3 3 N を短絡し、制御信号線 3 4 P、3 4 N を短絡することで、出力端子  $S_{2i-1}$ 、 $S_{2i}$  の間で電荷回収を実施することが可能である。その他の点においては、第 3 の実施形態の出力回路 1 6 の動作は、第 1 及び第 2 の実施形態の出力回路 1 6 の動作と全く同一である。

【 0 0 9 9 】

第 3 の実施形態の構成においても、出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N のスイッチング時の充放電電流を低減し、これにより、消費電力及び EMI を低減することができる。

【 0 1 0 0 】

なお、図 1 1 には、出力回路 1 6 に含まれる出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N の構成が第 2 の実施形態と同一である構成が図示されている。しかしながら、第 3 の実施形態の出力回路 1 6 に含まれる出力スイッチ 2 2 P、2 2 N、2 3 P、2 3 N のそれぞれは、第 1 の実施形態と同様に、一の MOS トランジスタ ( PMOS トランジスタ又は NMOS トランジスタ ) で構成されていてもよい。

【 0 1 0 1 】

( 第 4 の実施形態 )

図 1 2 は、第 4 の実施形態のデータ線ドライバ 1 0 の出力回路 1 6 の構成を示す回路図である。第 1 乃至第 3 の実施形態の出力回路 1 6 では、隣接する出力端子  $S_{2i-1}$ 、 $S_{2i}$  を短絡することで電荷回収が行われるが、第 4 の実施形態では、全ての出力端子  $S_1 \sim S_N$  を電荷回収線 2 5 に短絡することで電荷回収が行われる。これに伴い、出力端子  $S_1 \sim S_N$  のそれぞれと電荷回収線 2 5 の間に電荷回収スイッチ 2 4 が設けられている。その他の点においては、第 4 の実施形態の出力回路 1 6 の構成は、第 2 の実施形態の出力回路 1 6 の構成と全く同一である。図 1 2 には、2 つの出力端子  $S_{2i-1}$ 、 $S_{2i}$  と電荷回収線 2 5 の間に接続された電荷回収スイッチ  $2 4_{2i-1}$ 、 $2 4_{2i}$  が図示されている。

。

10

20

30

40

50

## 【0102】

各電荷回収スイッチ24には、電荷回収信号対CSが供給されており、各電荷回収スイッチ24は、電荷回収信号対CSに応答して動作する。電荷回収信号対CSがアサートされると、各電荷回収スイッチ24がオンされ、出力端子 $S_1 \sim S_N$ が電荷回収線25に接続される。これにより、出力端子 $S_1 \sim S_N$ に接続されたデータ線52について電荷回収が行われる。その他の点においては、第4の実施形態の出力回路16の動作は、第1乃至第3の実施形態の出力回路16の動作と全く同一である。

## 【0103】

第4の実施形態の構成においても、出力スイッチ22P、22N、23P、23Nのスイッチング時の充放電電流を低減し、これにより、消費電力及びEMIを低減することができる。

10

## 【0104】

(第5の実施形態)

図13は、第5の実施形態におけるデータ線ドライバ10Aの構成を示すブロック図であり、図13に図示されているように、第5の実施形態では、第1乃至第4の実施形態の出力回路16とは相違する構成の出力回路16Aが使用される。この出力回路16Aは、極性信号POLとラッチ信号STBに応答して動作する。

## 【0105】

図14は、該データ線ドライバ10Aの出力回路16Aの構成を示す回路図である。図14を参照して、第5の実施形態では、出力回路16Aにおいて、正極側アンプ21P、負極側アンプ21Nの代わりに、正極性の駆動電圧と負極性の駆動電圧の両方を出力可能に構成されたアンプ(後述のアンプ21A、21B)が使用される。ここで、第1乃至第4の実施形態において使用される正極側アンプ21Pは、正極性の駆動電圧を出力する専用のアンプであり、負極側アンプ21Nは、負極性の駆動電圧を出力する専用のアンプであったことに留意されたい。これに伴い、第5の実施形態の出力回路16Aの構成は、様々な点で、第1乃至第4の実施形態の出力回路16の構成と相違している。以下、第5の実施形態の出力回路16Aの構成について詳細に説明する。

20

## 【0106】

第5の実施形態の出力回路16Aは、ストレートスイッチ26P、26Nと、クロススイッチ27P、27Nと、アンプ21A、21Bと、出力スイッチ22A、22Bと、電荷回収スイッチ24と、バッファ回路31と、相補信号線対33と、電荷回収スイッチ35とを備えている。相補信号線対33は、一对の制御信号線33A、33Bで構成されている。ここで、第5の実施形態の出力回路16Aは、出力スイッチ23P、23N、バッファ回路31、及び、相補信号線対34に対応する構成要素は設けられないことに留意されたい。

30

## 【0107】

ストレートスイッチ26Pは、正極側DAC15Pの出力とアンプ21Aの正転入力間に接続されており、ストレートスイッチ26Nは、負極側DAC15Nの出力とアンプ21Bの正転入力間に接続されている。一方、クロススイッチ27Pは、正極側DAC15Pの出力とアンプ21Bの正転入力間に接続されており、クロススイッチ27Nは、負極側DAC15Nの出力とアンプ21Aの正転入力間に接続されている。

40

## 【0108】

ストレートスイッチ26P、26N及びクロススイッチ27P、27Nは、出力回路16Aに供給される極性信号POLに응答して、正極側DAC15P、負極側DAC15Nの出力と、アンプ21A、21Bの正転入力間の接続関係を切り換える機能を有している。詳細には、出力端子 $S_{2i-1}$ から正極性の駆動電圧を、出力端子 $S_{2i}$ から負極性の駆動電圧を出力することが極性信号POLにより指定されると、ストレートスイッチ26P、26Nがオンされ、クロススイッチ27P、27Nがオフされる。一方、出力端子 $S_{2i-1}$ から負極性の駆動電圧を、出力端子 $S_{2i}$ から正極性の駆動電圧を出力することが極性信号POLにより指定されると、ストレートスイッチ26P、26Nがオフされ

50

、クロススイッチ 27P、27N がオンされる。

【0109】

アンプ 21A、21B は、それぞれ、正極側 DAC15P 又は負極側 DAC15N から受け取った階調電圧に対して電流増幅を行い、受け取った階調電圧に対応する正極性の駆動電圧を出力する。アンプ 21A、21B は、出力が反転入力に接続されたボルテッジフォロアーを構成しており、正転入力において正極側 DAC15P 又は負極側 DAC15N から階調電圧を受け取る。アンプ 21A、21B から出力される階調電圧は、基本的には、正極側 DAC15P 又は負極側 DAC15N から受け取った階調電圧と同一の電圧レベルを有している。

【0110】

アンプ 21A、21B は、ラッチ信号 STB に応答してその出力をハイインピーダンス状態にする機能も有している。ラッチ信号 STB がアサートされると、アンプ 21A、21B は、その出力をハイインピーダンス状態に設定する。

【0111】

出力スイッチ 22A は、アンプ 21A の出力と出力端子  $S_{2i-1}$  の間に接続されており、出力スイッチ 22B は、アンプ 21B の出力と出力端子  $S_{2i}$  の間に接続されている。本実施形態では、PMOS トランジスタ MP1 及び NMOS トランジスタ MN1 で構成される CMOS トランスファークロウが出力スイッチ 22A として用いられ、PMOS トランジスタ MP2 及び NMOS トランジスタ MN2 で構成される CMOS トランスファークロウが出力スイッチ 22B として用いられる。PMOS トランジスタ MP1、MP2 のゲートは制御信号線 33A に接続され、NMOS トランジスタ MN1、MN2 のゲートは、制御信号線 33B に接続される。

【0112】

電荷回収スイッチ 24 は、出力端子  $S_{2i-1}$ 、 $S_{2i}$  の間に接続されている。後述されるように、電荷回収スイッチ 24 は、電荷回収動作の際に使用されるスイッチであり、第 5 の実施形態では、ラッチ信号 STB に応答して動作する。ラッチ信号 STB がアサートされると電荷回収スイッチ 24 がオンされ、ラッチ信号 STB がネゲートされると電荷回収スイッチ 24 がオフされる。

【0113】

バッファ回路 31 は、ラッチ信号 STB に対してバッファリングを行うと共に、ラッチ信号 STB の反転信号  $\overline{STB}$  を生成する。バッファ回路 31 は、バッファ 31A とインバータ 31B とを備えている。バッファ 31P は、ラッチ信号 STB をバッファリングし、該ラッチ信号 STB を制御信号線 33A に出力する。インバータ 31N は、ラッチ信号 STB の反転信号  $\overline{STB}$  を生成し、制御信号線 33B に出力する。なお、図 14 では、1 つのバッファ回路 31 に対して、一对の出力スイッチ 22P、22N が図示されているが、実際には、1 つのバッファ回路 31 に対して、多数対の出力スイッチ 22P、22N が設けられることに留意されたい。

【0114】

バッファ回路 31 のバッファ 31A とインバータ 31B は、ラッチ信号 STB に応答してその出力をハイインピーダンス状態にする機能も有している。バッファ 31A とインバータ 31B は、ラッチ信号 STB がアサートされると、その出力をハイインピーダンス状態に設定する。

【0115】

電荷回収スイッチ 35 は、制御信号線 33A と制御信号線 33B との間に接続されている。電荷回収スイッチ 35 は、ラッチ信号 STB に応答して制御信号線 33A と制御信号線 33B とを短絡し、これにより、制御信号線 33A、33B において電荷回収を実現するために使用される。

【0116】

ここで、本実施形態では、電荷回収信号対 CS の代わりにラッチ信号 STB が、電荷回収の制御に使用されることに留意されたい。ラッチ信号 STB は、データラッチ 13 にデ

10

20

30

40

50

ータレジスタ12から画像データをラッチさせる信号であり(図13参照)、各水平期間の非表示期間にアサートされ、各水平期間の表示期間にネゲートされる。電荷回収スイッチ24は、ラッチ信号STBがアサートされるとオン状態にされ、これにより、出力端子 $S_{2i-1}$ 、 $S_{2i}$ の間で電荷回収が行われる。同様に、電荷回収スイッチ35は、ラッチ信号STBがアサートされるとオン状態にされ、これにより、制御信号線33P、33Nの間で電荷回収が行われる。加えて、ラッチ信号STBがアサートされると、アンプ21A、21Bの出力、及び、バッファ回路31のバッファ31Aとインバータ31Bの出力が、ハイインピーダンス状態に設定される。

【0117】

図15は、第5の実施形態における出力回路16Aの動作を示すタイミングチャートである。図15において、第k水平期間が時刻 $t_1$ に開始し、第k+1水平期間が時間 $t_3$ に開始されるとする。第k水平期間の時刻 $t_1$ と時刻 $t_2$ の間の期間、及び、第k+1水平期間の時刻 $t_3$ と時間 $t_4$ の間の期間は、非表示期間である。一方、第k水平期間の時刻 $t_3$ と時間 $t_4$ の間の期間、及び、第k+1水平期間の時刻 $t_4$ と時間 $t_5$ の間の期間は、表示期間である。

10

【0118】

図15のタイミングチャートに図示された動作においては、各水平期間の非表示期間において、ラッチ信号STBがアサートされる。また、表示期間においてはラッチ信号STBがネゲートされる。出力回路16Aは、このように制御されるラッチ信号STBにตอบสนองして動作する。以下、本実施形態の出力回路16Aの第k水平期間、及び第k+1水平期間の動作について説明する。なお、当業者であれば、他の水平期間においても出力回路16が同様に動作することは、容易に理解されよう。

20

【0119】

以下の説明において、第k水平期間の直前の表示期間の状態(時刻 $t_1$ の直前の状態)を、初期状態とする。初期状態では、ラッチ信号STBがネゲートされ、極性信号POLがアサートされているとする。この場合、ラッチ信号STBがネゲートされるので、電荷回収スイッチ24、35は、いずれもオフされる。更に、ストレートスイッチ26Pによって正極側DAC15Pがアンプ21Aに接続され、ストレートスイッチ26Nによって負極側DAC15Nがアンプ21Bに接続される。これにより、アンプ21Aによって出力端子 $S_{2i-1}$ が正極性の駆動電圧で駆動され、アンプ21Bによって出力端子 $S_{2i}$ が負極性の駆動電圧で駆動される。なお、図15では、初期状態において、出力端子 $S_{2i-1}$ 、 $S_{2i}$ の電圧波形が、出力し得る駆動電圧のうちの最高電圧をアンプ21Aが出力し、出力し得る駆動電圧のうちの最低電圧をアンプ21Bが出力しているとして図示されている。

30

【0120】

時刻 $t_1$ になり第k水平期間の非表示期間が開始されると、極性信号POLが反転され、ストレートスイッチ26P、26Nがオフされると共に、クロススイッチ27P、27Nがオンされる。これにより、正極側DAC15Pの出力がアンプ21Bに接続され、負極側DAC15Nの出力がアンプ21Aに接続される。

【0121】

加えて、ラッチ信号STBがアサートされることにより、電荷回収スイッチ24がオン状態になり、出力端子 $S_{2i-1}$ 、 $S_{2i}$ が短絡され、出力端子 $S_{2i-1}$ 、 $S_{2i}$ に接続されたデータ線52の間で電荷回収が行われる。

40

【0122】

更に、ラッチ信号STBのアサートにตอบสนองして、電荷回収スイッチ35がオン状態に設定されると共に、バッファ回路31の出力がいずれもハイインピーダンス状態に設定される。これにより、制御信号線33A、33Bが短絡され、制御信号線33A、33Bの間で電荷回収が行われる。制御信号線33A、33Bの間で電荷回収を行うことが出力スイッチ22A、22Bのスイッチング時の充放電電流を低減させるために重要であることに留意されたい。

50

## 【 0 1 2 3 】

電荷回収により、制御信号線 3 3 A、3 3 B は、H i g h レベルと L o w レベルの間の中間電位になる。これは、出力スイッチ 2 2 A、2 2 B が、完全にはオフにされないことを意味する。しかしながら、本実施形態では、ラッチ信号 S T B に応答してアンプ 2 1 A 及びアンプ 2 1 B の出力がハイインピーダンス状態に設定されるので、出力端子  $S_{2i-1}$ 、 $S_{2i}$  の間の電荷回収は阻害されない。

## 【 0 1 2 4 】

その後、時刻  $t_2$  に第 k 水平期間の表示期間が開始されると、第 k 水平期間に選択されていた走査線 5 1 に接続される画素 5 3 の駆動が開始される。このとき、出力端子  $S_{2i-1}$ 、 $S_{2i}$  に出力される駆動電圧の極性は、直前の水平期間（第 k - 1 水平期間）の表示期間において出力端子  $S_{2i-1}$ 、 $S_{2i}$  に出力された駆動電圧の極性と反対に設定される。即ち、図 1 5 の例では、第 k 水平期間の表示期間において、出力端子  $S_{2i-1}$  が負極性の駆動電圧に駆動され、出力端子  $S_{2i}$  が正極性の駆動電圧に駆動される。

10

## 【 0 1 2 5 】

より詳細には、時刻  $t_2$  において、ラッチ信号 S T B がネゲートされると、電荷回収スイッチ 2 4、3 5 は、いずれもオフされる。これにより、電荷回収は停止される。このとき、バッファ回路 3 1 により、制御信号線 3 3 A が L o w レベルに、制御信号線 3 3 B が H i g h レベルに駆動され、出力スイッチ 2 2 A、2 2 B がいずれもオンされる。この状態では、アンプ 2 1 A の出力が、出力スイッチ 2 2 A を介して出力端子  $S_{2i-1}$  に接続され、アンプ 2 1 B の出力が、出力スイッチ 2 2 B を介して出力端子  $S_{2i}$  に接続される。ここで、極性信号 P O L に応答して正極側 D A C 1 5 P がアンプ 2 1 B の出力に接続され、負極側 D A C 1 5 N がアンプ 2 1 A の出力に接続されるので、結果として、出力端子  $S_{2i-1}$  が負極性の駆動電圧で駆動され、出力端子  $S_{2i}$  が正極性の駆動電圧で駆動されることになる。

20

## 【 0 1 2 6 】

時刻  $t_3$  に開始される第 k + 1 水平期間でも、表示期間において出力端子  $S_{2i-1}$ 、 $S_{2i}$  に出力される駆動電圧の極性が反転される以外、同様の動作が行われる。時刻  $t_3$  になり第 k + 1 水平期間の非表示期間が開始されると、ラッチ信号 S T B がアサートされ、極性信号 P O L が反転される。極性信号 P O L の反転に応答して、ストレートスイッチ 2 6 P、2 6 N がオンされると共に、クロススイッチ 2 7 P、2 7 N がオフされる。これにより、正極側 D A C 1 5 P の出力がアンプ 2 1 A に接続され、負極側 D A C 1 5 N の出力がアンプ 2 1 B に接続される。

30

## 【 0 1 2 7 】

加えて、ラッチ信号 S T B がアサートされることにより、電荷回収スイッチ 2 4 がオン状態になり、出力端子  $S_{2i-1}$ 、 $S_{2i}$  が短絡され、出力端子  $S_{2i-1}$ 、 $S_{2i}$  に接続されたデータ線 5 2 の間で電荷回収が行われる。更に、ラッチ信号 S T B のアサートに応答して、電荷回収スイッチ 3 5 がオン状態に設定されると共に、バッファ回路 3 1 の出力がいずれもハイインピーダンス状態に設定される。これにより、制御信号線 3 3 A、3 3 B が短絡され、制御信号線 3 3 A、3 3 B の間で電荷回収が行われる。

40

## 【 0 1 2 8 】

その後、時刻  $t_4$  に第 k 水平期間の表示期間が開始されると、ラッチ信号 S T B がネゲートされる。ラッチ信号 S T B のネゲートに応答して、電荷回収スイッチ 2 4、3 5 は、いずれもオフされ、電荷回収が停止される。このとき、バッファ回路 3 1 により、制御信号線 3 3 A が L o w レベルに、制御信号線 3 3 B が H i g h レベルに駆動され、出力スイッチ 2 2 A、2 2 B がいずれもオンされる。この状態では、アンプ 2 1 A の出力が、出力スイッチ 2 2 A を介して出力端子  $S_{2i-1}$  に接続され、アンプ 2 1 B の出力が、出力スイッチ 2 2 B を介して出力端子  $S_{2i}$  に接続される。ここで、極性信号 P O L に応答して正極側 D A C 1 5 P がアンプ 2 1 A の出力に接続され、負極側 D A C 1 5 N がアンプ 2 1 B の出力に接続されるので、結果として、出力端子  $S_{2i-1}$  が正極性の駆動電圧で駆動され、出力端子  $S_{2i}$  が負極性の駆動電圧で駆動されることになる。

50

## 【 0 1 2 9 】

第5の実施形態の構成においても、出力スイッチ22A、22Bのスイッチング時の充放電電流を低減し、これにより、消費電力及びEMIを低減することができる。

## 【 0 1 3 0 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。特に、上記では液晶表示装置の実施形態が図示されているが、本発明は、出力スイッチを搭載する表示パネルドライバを備えた表示装置一般に適用可能であることに留意されたい。

## 【 符号の説明 】

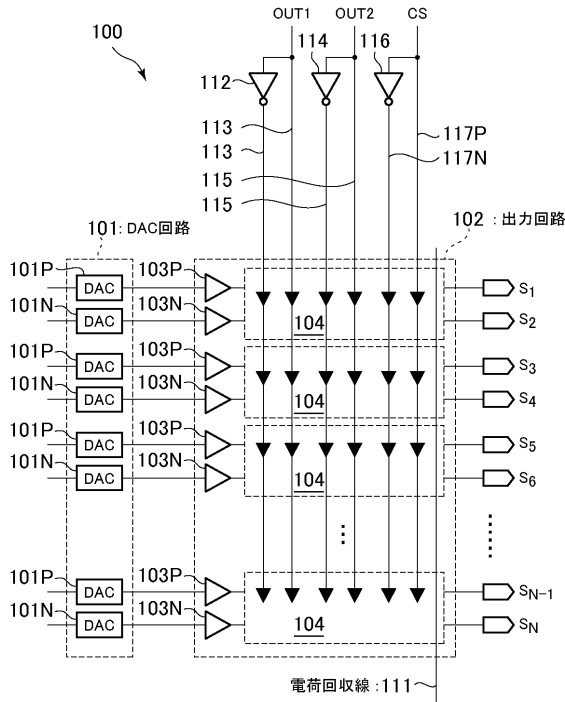
10

## 【 0 1 3 1 】

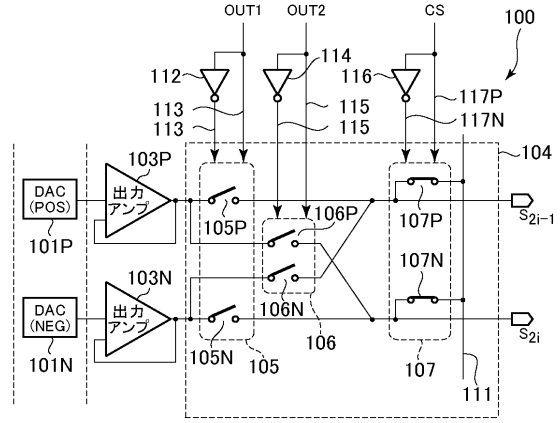
1	: 液晶表示装置	
2	: 液晶表示パネル	
3	: 走査線ドライバ	
4	: タイミングコントローラ	
10	: データ線ドライバ	
10A	: データ線ドライバ	
11	: シフトレジスタ	
12	: データレジスタ	
13	: データラッチ	20
14	: レベルシフト	
15	: D/Aコンバータ回路	
15P	: 正極側DAC	
15N	: 負極側DAC	
16	: 出力回路	
16A	: 出力回路	
17	: 出力制御回路	
21P	: 正極側アンプ	
21N	: 負極側アンプ	
21A、21B	: アンプ	30
22P、22N	: 出力スイッチ	
22A、22B	: 出力スイッチ	
23P、23N	: 出力スイッチ	
24	: 電荷回収スイッチ	
25	: 電荷回収線	
26P、26N	: ストレートスイッチ	
27P、27N	: クロススイッチ	
31	: バッファ回路	
31P	: バッファ	
31N	: インバータ	40
31A	: バッファ	
31B	: インバータ	
32	: バッファ回路	
32P	: バッファ	
32N	: インバータ	
33	: 相補信号線対	
33P、33N	: 制御信号線	
33A、33B	: 制御信号線	
34	: 相補信号線対	
34P、34N	: 制御信号線	50

3 5、3 6	: 電荷回収スイッチ	
3 7	: インバータ	
3 8 P、3 8 N	: 出力	
4 1	: プリアンプ	
4 2	: 出力段	
4 3	: アンプスイッチ	
4 4	: 出力	
5 1	: 走査線	
5 2	: データ線	
5 3	: 画素	10
5 3 a	: T F T	
5 3 b	: 画素電極	
5 4	: 対向電極	
1 0 0	: データ線ドライバ	
1 0 1	: D / A コンバータ回路	
1 0 1 P	: 正極側 D A C	
1 0 1 N	: 負極側 D A C	
1 0 2	: 出力回路	
1 0 3 P	: 正極側アンプ	
1 0 3 N	: 負極側アンプ	20
1 0 4	: スイッチ回路	
1 0 5 P、1 0 5 N	: 出力スイッチ	
1 0 6 P、1 0 6 N	: 出力スイッチ	
1 0 7 P、1 0 7 N	: 電荷回収スイッチ	
1 1 1	: 電荷回収線	
1 1 2	: インバータ	
1 1 3 P、1 1 3 N	: 制御信号線	
1 1 4	: インバータ	
1 1 5 P、1 1 5 N	: 制御信号線	
C S	: 電荷回収信号	30
C S P、C S N	: 電荷回収信号	
D I N	: 画像データ	
M N 1 ~ M N 4、M N 1 1、1 2、2 1、2 2、3 1、3 2、4 1	: N M O S トランジスタ	
M P 1 ~ M P 4、M P 1 1、1 2、2 1、2 2、3 1、3 2、4 1	: P M O S トランジスタ	
O U T 1、O U T 2	: 出力制御信号	
P O L	: 極性信号	
P O L 1、P O L 2	: 出力制御信号	
S <sub>1</sub> ~ S <sub>N</sub>	: 出力端子	40
S T B	: ラッチ信号	
V <sub>C O M</sub>	: 共通電圧	

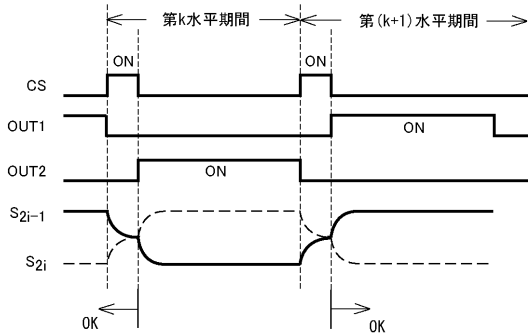
【図1】



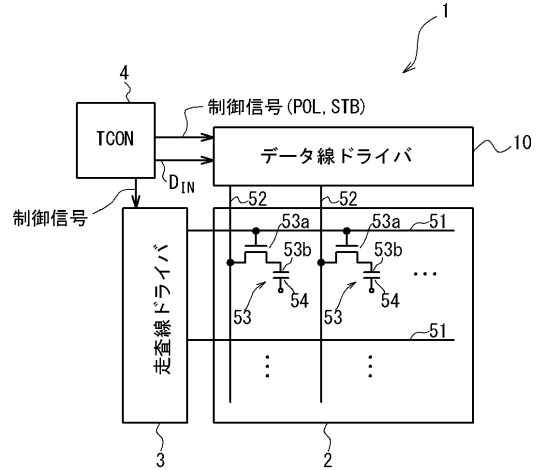
【図2】



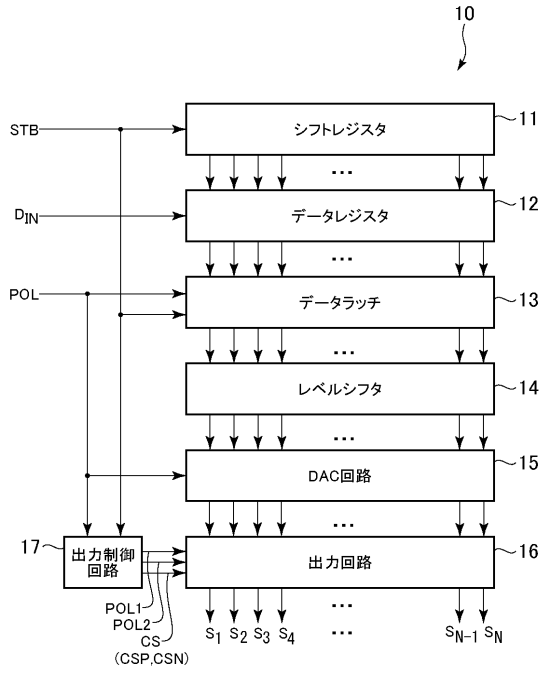
【図3】



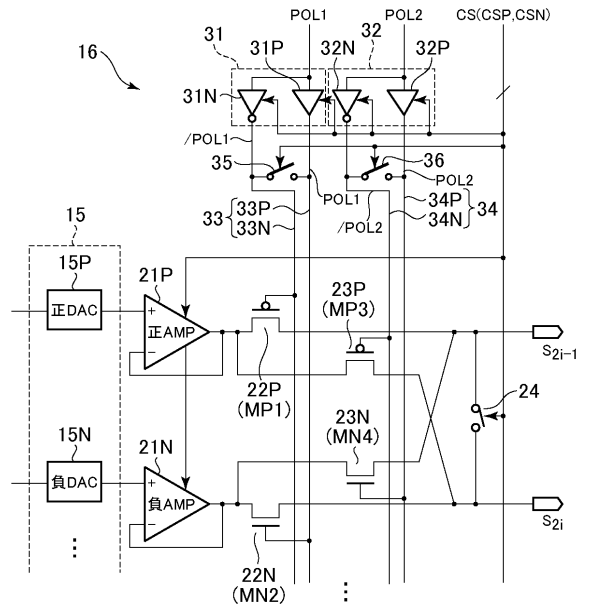
【図4A】



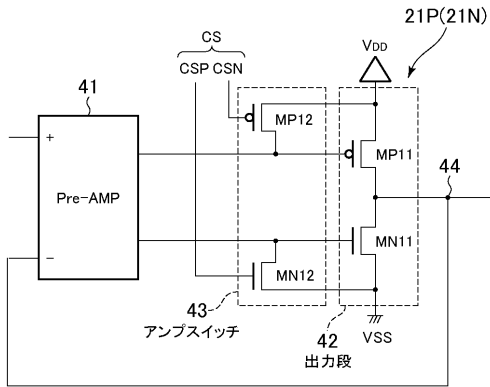
【図4B】



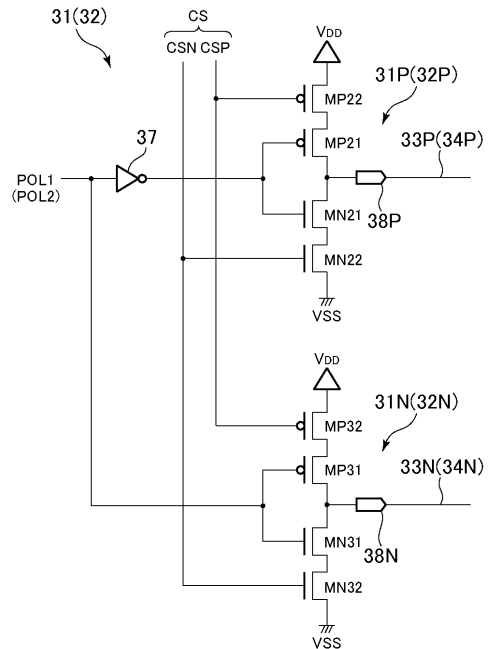
【図5】



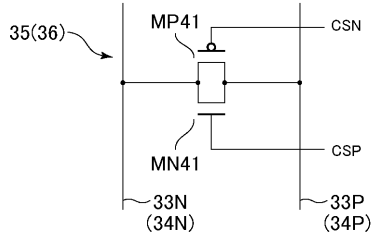
【図6】



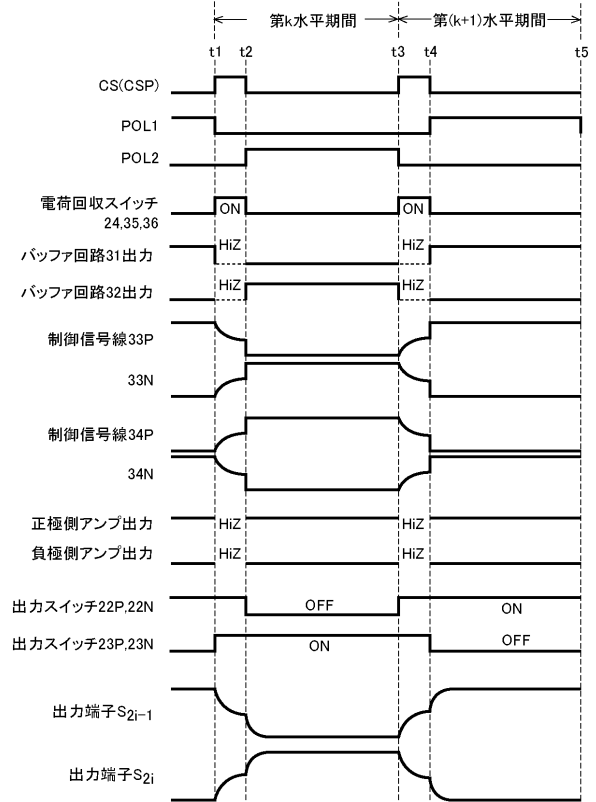
【図7】



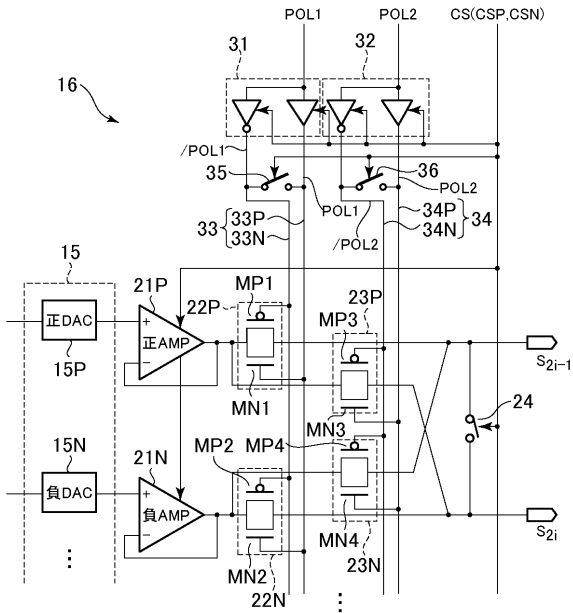
【 図 8 】



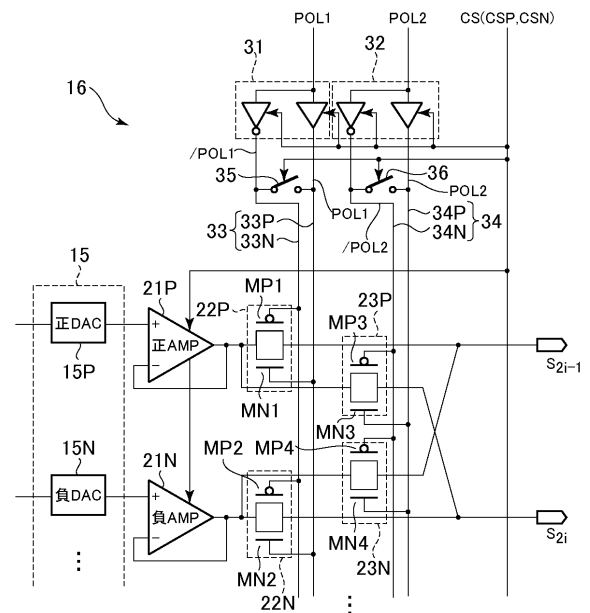
【 図 9 】



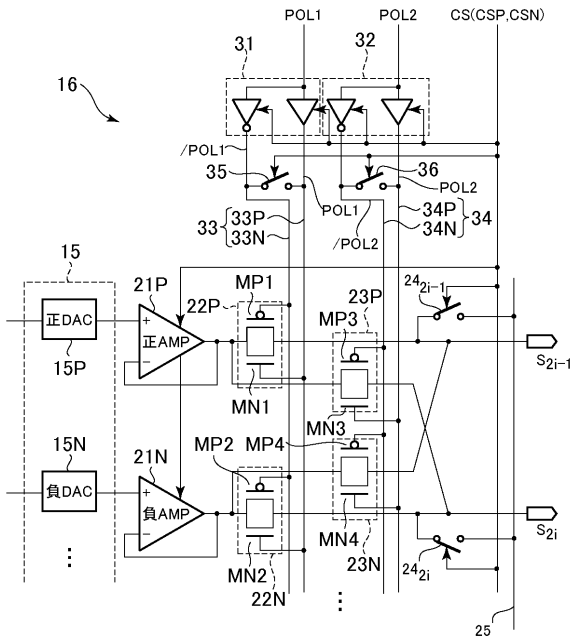
【 図 10 】



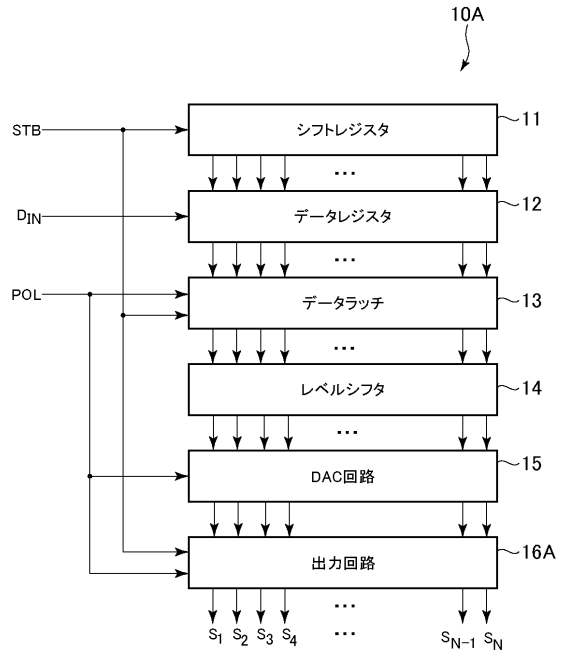
【 図 11 】



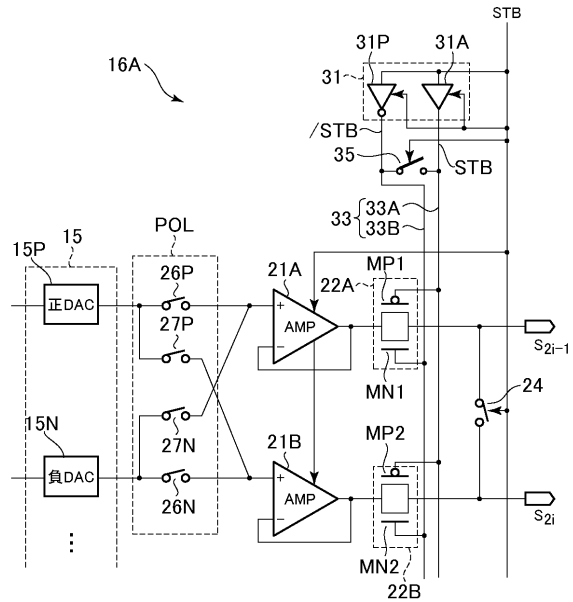
【図12】



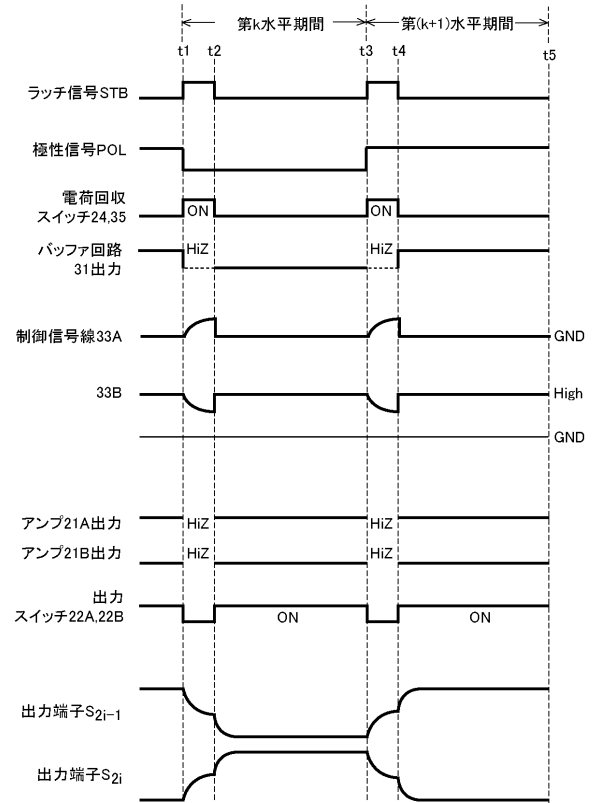
【図13】



【図14】



【図15】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 1 1 C
G 0 9 G	3/20	6 2 1 M
G 0 2 F	1/133	5 0 5

专利名称(译)	显示设备和显示面板驱动程序		
公开(公告)号	<a href="#">JP2014106488A</a>	公开(公告)日	2014-06-09
申请号	JP2012261495	申请日	2012-11-29
[标]申请(专利权)人(译)	瑞萨电子株式会社		
申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	古谷田靖		
发明人	古谷田 靖		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.680.G G09G3/20.623.R G09G3/20.623.Y G09G3/20.611.A G09G3/20.611.C G09G3/20.621.M G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZF21 2H193/ZF34 2H193/ZF35 2H193/ZP03 5C006/AC26 5C006/AF43 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BF25 5C006/FA01 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD21 5C080/DD26 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	工藤稔		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种显示装置，该显示装置能够减少在切换输出开关时流动的充电/放电电流。液晶显示装置包括驱动液晶显示面板的数据线的数据线驱动器。数据线驱动器设置有用于控制输出开关22P和22N的一对控制信号线33P和33N。在控制信号线33P和33N之间设置有电荷恢复开关35，并且控制信号线33P和33N执行电荷恢复。[选择图]图5

