

【特許請求の範囲】

【請求項 1】

マトリクス状に配した F F S モードの液晶表示素子を有する液晶表示装置において、
入力される画像のインターレース信号を補完データによって補完してプログレッシブ信号に変換する信号変換部と、

前記プログレッシブ信号に基づいて生成した画素電圧の極性を、1 フレーム毎に切り替えると共に、更に n (3 以上の整数) フレームに 1 度同一極性が繰り返されるように切り替える極性切替部とを備え、

前記補完データは前記インターレース信号の前ラインのデータを用いることを特徴とする液晶表示装置。

10

【請求項 2】

前記信号変換部は、

前記インターレース信号の前ラインのデータと現ラインのデータとが等しいときは、補完データとして前ラインのデータを用い、

前記インターレース信号の前ラインのデータと現ラインのデータとが異なるときは、補完データとして両データの中間の階調を表すデータを用いることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記インターレース信号の前ラインのデータと現ラインのデータとが異なるときは、前記信号変換部による前記補完の後に、ラインと直交する方向にエッジ処理を施すエッジ処理部を更に備えたことを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、中小型の車載 T V 用などに用いられる液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、パーソナルコンピュータ、情報携帯端末、テレビジョン、あるいはカーナビゲーションシステム等の表示装置として広く利用されている。

30

【0003】

従来は T N 型液晶が主流であったが、近年では広視野角液晶が広く使われるようになり、代表的なモードとして F F S (Fringe Field Switching) 方式が提案されている。これは、横電界で駆動する I P S (InPlane Switching) 方式を改良し、2 層構造にした I T O 電極を用いることで、高い開口率、高い透過率を実現するものである (例えば、特許文献 1 参照)。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 0 2 - 2 2 1 7 2 6 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、液晶が普及する以前は、C R T ディスプレイが標準であり、この駆動方式に合わせて信号形態が決められていた。T V 映像の N T S C 信号はインターレース信号として出力され、N T S C を念頭に作られている T V カメラは、車載用バックモニターに使用されるものであってもインターレース形式で信号出力するように設計されている。

C R T ディスプレイはインターレース駆動を標準とするのに対し、液晶ディスプレイはプログレッシブ駆動を使っている。そのため、C R T 用に生成された信号を用いて液晶ディスプレイで表示する際にはインターレース信号からプログレッシブ信号に変換する I P

50

変換を施さねばならない。

【0006】

大型液晶テレビのように高額商品であれば、インターレース信号の一画面分をフレームメモリに蓄積して、プログレッシブ信号として出力することができる。しかし、車載用TV等の比較的廉価な機種では、フレームメモリのコストが高くなるため、この方式を導入することが困難である。そこで、入力されたインターレース信号を直接プログレッシブ信号に変換して表示する簡易変換手法が使われている。

しかしながら、この簡易変換手法を用い、上述したFFSモードの液晶ディスプレイを使用すると、従来見られなかった強度なやきつきが発生した。

【0007】

本発明はこのような事情に鑑みてなされたものであって、入力されたインターレース信号を直接プログレッシブ信号に変換する簡易変換手法を用いた場合であっても、やきつき現象の少ない液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記課題を解決するための本発明は、マトリクス状に配したFFSモードの液晶表示素子を有する液晶表示装置において、入力される画像のインターレース信号を補完データによって補完してプログレッシブ信号に変換する信号変換部と、前記プログレッシブ信号に基づいて生成した画素電圧の極性を、1フレーム毎に切り替えると共に、更に n （3以上の整数）フレームに1度同一極性が繰り返されるように切り替える極性切替部とを備え、前記補完データは前記インターレース信号の前ラインのデータを用いる液晶表示装置である。

【図面の簡単な説明】

【0009】

【図1】液晶表示装置の回路構成を概略的に示す図。

【図2】本発明の実施の形態に係る液晶表示装置で用いられるFFS型液晶表示素子の画素構造を示す断面図。

【図3】本発明の実施の形態に係る液晶表示装置で用いられるFFS型液晶表示素子の画素構造を示す平面図。

【図4】FFSモードの表示素子の2つの電極間の等価回路を示す模式図。

【図5】TNモード、VAモードの表示素子の2つの電極間の等価回路を示す模式図。

【図6】液晶ディスプレイの駆動信号の変換方法を示す概念図。

【図7】それぞれの表示素子に印加される電圧の推移を示す図。

【図8】やきつきの発生状態を示す図。

【図9】30Hzで極性を切り替える方法を説明する図。

【図10】30Hzで極性を切り替えた場合の効果を説明する図。

【図11】図9に示す極性切り替えのバリエーションの形態を示す図。

【図12】チラツキ発生の原因を説明する図。

【図13】チラツキ現象を調査した結果を示す図。

【図14】第2の実施の形態の駆動方法を説明する図。

【図15】1フレーム中のそれぞれの表示画素の極性をXY平面で表し、さらにその極性の時間の推移を示す図。

【図16】第2の実施の形態のバリエーションの駆動方法を説明する図。

【図17】1フレーム中のそれぞれの表示画素の極性をXY平面で表し、さらにその極性の時間の推移を示す図。

【図18】第2の実施の形態のバリエーションの駆動方法を説明する図。

【図19】1フレーム中のそれぞれの表示画素の極性をXY平面で表し、さらにその極性の時間の推移を示す図。

【図20】評価パターンを示す図。

【図21】2種類のフリッカパターンを示す図。

10

20

30

40

50

【図 2 2】フリッカパターンの切り替えを簡便に行う方法を説明する図。

【図 2 3】第 3 の実施の形態の液晶ディスプレイの駆動信号の変換方法を示す概念図。

【図 2 4】それぞれの表示素子に印加される電圧の推移を示す図。

【図 2 5】従来の駆動方法と、エッジ処理を加えた駆動方法でのやきつきの状況を示す図。

【発明を実施するための形態】

【0010】

〔第 1 の実施の形態〕

図 1 は、液晶表示装置の回路構成を概略的に示す図である。

液晶表示装置は、液晶表示パネル D P、表示パネル D P を照明するバックライト B L、表示パネル D P およびバックライト B L を制御する表示制御回路 C N T を備える。

【0011】

液晶表示パネル D P は、一対の電極基板であるアレイ基板 1 および対向基板 2 間に液晶層 3 を挟持した構造である。

【0012】

表示制御回路 C N T は、アレイ基板 1 および対向基板 2 から液晶層 3 に印加される液晶駆動電圧により液晶表示パネル D P の透過率を制御する。スプレー配向からベンド配向への転移は、電源投入時に表示制御回路 C N T により行われる所定の初期化処理で比較的大きな電界を液晶に印加することにより得られる。

アレイ基板 1 では、複数の画素電極 P E が略マトリクス状に配置される。また、複数のゲート線 Y (Y 1 ~ Y m) が複数の画素電極 P E の行に沿って配置され、複数のソース線 X (X 1 ~ X n) が複数の画素電極 P E の列に沿って配置される。

【0013】

これらゲート線 Y およびソース線 X の交差位置近傍には、複数の画素スイッチング素子 W が配置される。各画素スイッチング素子 W は例えばゲートがゲート線 Y に接続され、ソースドレインバスがソース線 X および画素電極 P E 間に接続される薄膜トランジスタからなり、対応ゲート線 Y を介して駆動されたときに対応ソース線 X および対応画素電極 P E 間で導通する。

【0014】

各画素電極 P E および共通電極 C E のそれぞれは、例えば I T O 等の透明電極材料からなり、画素電極 P E および共通電極 C E からの電界に対応した液晶分子配列に制御される液晶層 3 の一部である画素領域と共に液晶画素 P X を構成する。

【0015】

表示制御回路 C N T は、ゲートドライバ Y D、ソースドライバ X D、バックライト駆動部 L D、駆動用電圧発生回路 4、およびコントローラ回路 5 を備える。

ゲートドライバ Y D は、複数のスイッチング素子 W を行単位に導通させるように複数のゲート線 Y 1 ~ Y m を順次駆動する。ソースドライバ X D は、各行のスイッチング素子 W が対応ゲート線 Y の駆動によって導通する期間において画素電圧 V s を複数のソース線 X 1 ~ X n にそれぞれ出力する。バックライト駆動部 L D は、バックライト B L を駆動する。駆動用電圧発生回路 4 は、表示パネル D P の駆動用電圧を発生する。コントローラ回路 5 は、ゲートドライバ Y D、ソースドライバ X D およびバックライト駆動部 L D を制御する。

【0016】

駆動用電圧発生回路 4 は、ソースドライバ X D によって用いられる所定数の階調基準電圧 V R E F を発生する階調基準電圧発生回路 7、および対向電極 C T に印加されるコモン電圧 V c o m を発生するコモン電圧発生回路 8 を含む。

【0017】

コントローラ回路 5 は、制御回路 1 0、垂直タイミング制御回路 1 1、水平タイミング制御回路 1 2、フレイム回路 1 7、およびバックライト制御回路 1 4 を含む。

【0018】

10

20

30

40

50

制御回路10は、外部信号源SSから入力される同期信号SYNC'に基づいて新たな同期信号SYNC(VSYNC, DE)を生成するとともに、表示制御回路CNT各部の動作を制御する信号を生成する。

垂直タイミング制御回路11は、制御回路10から入力される同期信号SYNC(VSYNC, DE)に基づいてゲートドライバYDなどに対する制御信号CTYを発生する。水平タイミング制御回路12は、制御回路10から入力される同期信号SYNC(VSYNC, DE)に基づいてソースドライバXDに対する制御信号CTXを発生する。

【0019】

画像データ変換回路17は、外部信号源SSからインターレース方式で入力される画像データDIを簡易的に補完して(詳細後述)プログレッシブ信号を生成し、所定タイミ
10
ングでソースドライバXDに出力する。バックライト制御回路14は、垂直タイミング制御回路11から出力される制御信号CTYに基づいてバックライト駆動部LDを制御する。

【0020】

画像データDIは、1フレーム期間(垂直走査期間V)毎に更新される。制御信号CTYはゲートドライバYDに供給され、制御信号CTXは画像データ変換回路17から得られる画素データDOと共にソースドライバXDに供給される。制御信号CTYは上述のように順次複数のゲート線Yを駆動する動作をゲートドライバYDに行わせるために用いられ、制御信号CTXは画像データ変換回路17の液晶画素PX単位に得られ直列に出力される画素データDOを複数のソース線Xにそれぞれ割り当てると共に出力極性を指定する動作をソースドライバXDに行わせるために用いられる。
20

【0021】

ゲートドライバYDはゲート線Yを選択するために例えばシフトレジスタ回路を用いて構成される。

ソースドライバXDは階調基準電圧発生回路7から供給される所定数の階調基準電圧VREFを参照してこれら画素データDOをそれぞれ画素電圧Vsに変換し、複数のソース線X1~Xnに並列的に出力する。

【0022】

画素電圧Vsは共通電極CEのコモン電圧Vcomを基準として画素電極PEに印加される電圧であり、例えばドット反転駆動、ライン反転駆動およびフレーム反転駆動を行うようコモン電圧Vcomに対して極性反転される。この極性反転は、制御回路10の指示に基づ
30
いてソースドライバXDが実行する。

【0023】

図2は、本発明の実施の形態に係る液晶表示装置で用いられるFFS型液晶表示素子の画素構造を示す断面図である。

FFS型液晶表示装置は、透明なアレイ基板1上に第1のITO(Indium Tin Oxide)電極24を形成し、その上面に絶縁膜25を介してスリットの入った第2のITO電極26を形成している。そしてこのように構成したアレイ基板1と対向基板2との間に液晶層3が挟持されている。

【0024】

図3は、本発明の実施の形態に係る液晶表示装置で用いられるFFS型液晶表示素子の画素構造を示す平面図である。
40

第2のITO電極26は、並行して設けられた複数のスリットによって、電極が交互に配置された構造である。一方、第1のITO電極24は平板状の構造である。

【0025】

第1と第2のITO電極間に電圧を印加すると、スリットの電極間隔に対応した電界が発生し、液晶層3の液晶分子が回転する。これによって液晶の透過率を変化させることができる。

【0026】

また、この画素構造では電極エッジに電界が集中することから、フリンジ電界を使って透過率を制御するとして、FFS(Fringe Field Switching)と呼
50

ばれる。

なお、図 2 では、第 1 の I T O 電極 2 4 を共通電極 C E、第 2 の I T O 電極 2 6 を画素電極 P E としたがこれに限るものではない。第 1 の I T O 電極 2 4 を画素電極 P E、第 2 の I T O 電極 2 6 を共通電極 C E としても良い。

【0027】

次に、F F S モードの液晶ディスプレイにおいて発生するやきつきの原因について説明する。

【0028】

図 4 は、F F S モードの表示素子の 2 つの電極間の等価回路を示す模式図である。上述のようにこれら第 1 及び第 2 の I T O 電極間には、駆動すべき液晶層 3 だけでなく、窒化膜 (S i N 膜) や H R C 平坦化膜のような絶縁膜 2 5 が直列に配されている。

そのため、印加電圧に D C 成分が含まれていると、その D C 成分によって絶縁膜 2 5 が分極する。その後、D C 成分が印加されなくなった場合であっても、この絶縁膜 2 5 の分極は瞬時には消失しない。この絶縁膜 2 5 による分極の存在によって、以前の表示パターンが残留するやきつき現象が発生すると考えられる。しかも強いフリンジ電界を用いるため局所的に電界集中が起き、やき付きがより発生し易くなる。

【0029】

図 5 は、従来の T N モード、V A モードの表示素子の 2 つの電極間の等価回路を示す模式図である。二つの電極 (P E , C E) 間は、ほとんどが液晶層 3 で構成される。この結果、分極の存在によるやきつき現象は発生せず、従って、印加される電圧に多少の D C 成分が含まれていても問題とはならない。

【0030】

以上の検討から、F F S モードの表示素子に印加される電圧の D C 成分を低減することでやきつき現象を緩和できることがわかる。本実施の形態では、印加される D C 成分を低減することができる駆動方法を提案する。

【0031】

続いて、液晶ディスプレイにおける信号駆動方法を説明する。

T V 信号は、かつての C R T (C a t h o d e R a y T u b e) を考慮した信号形態すなわちインターレース信号を採用している。そして、その信号形態は液晶ディスプレイについてもそのまま適用されている。従って、液晶ディスプレイにおいて、インターレース信号を変換して使用する必要がある。

【0032】

図 6 は、液晶ディスプレイの駆動信号の変換方法を示す概念図である。

図 6 (a) は、表示したい映像を模式的に示す図である。この図では、縦方向に 4 8 0 の画素、横方向に 1 の画素を表している。そして映像としては、1 行目を白、2 ~ 4 行目を黒、5 ~ 6 行目を白と表示するパターンを想定する。

【0033】

図 6 (b) は、インターレース駆動によって書き込まれる信号を示す図である。この図の横方向の各列には、1 の画素が時間推移に従って書き込まれる映像を表している。

インターレース駆動では、全画面を構成する 4 8 0 本の走査線のうち、半数を奇数ラインと偶数ラインに分けて、2 4 0 本ずつ送付する。そのため、データが欠落した状態で液晶ディスプレイに入力されることになる。

図 6 (b) の列 1 には、奇数ライン (1、3、5・・・本目) の映像信号が伝送され、列 2 には偶数ライン (2、4、6・・・本目) の映像信号が伝送されることが示されている。また、列 3、列 4 にはそれぞれ列 1、列 2 と同様に映像信号が分割して伝送されることが示されている。

【0034】

ここで液晶ディスプレイの走査線は 4 8 0 本であるため、この 2 4 0 本の信号から 4 8 0 本の信号に変換しなければならない。この変換は I P 変換、インターレース / プログレッシブ変換と呼ばれている。

10

20

30

40

50

大型の液晶ディスプレイでは、送信されるインターレース信号を一旦メモリーに保存して一画面分のデータとして構成し、その後、順次送り出すようにすることが可能である。しかし、例えば、車載用の液晶ディスプレイ等では、そのような構成を実現するためのコストが高くなる。このためコストを重視するデバイスでは、上述の方式は、容易に導入できない。

【0035】

このような問題を解決するために簡易型のIP変換機能が採用されている。この方式では、1ライン分のメモリーを備え、前ラインと同じデータで欠落データを補完する。

図6(c)は、簡易型のIP変換機能によって、映像を補完した結果を表している。列1の2本目には1本目の映像が挿入され、4本目には3本目の映像が挿入されている。また、列2の3本目には2本目の映像が挿入され、5本目には4本目の映像が挿入されている。このようにして、大きく解像度を低下させることなく信号の補完が行われる。

【0036】

ところで、液晶ディスプレイでは、DC電圧が継続して印加されると表示不良の発生につながるため、フレームごとに印加する電圧の極性を切り替えるAC化駆動が行われている。しかし、簡易型のIP変換を行った場合、大きなDC電圧が表示素子に印加されるケースの存在することが明らかになった。

【0037】

図7は、それぞれの表示素子に印加される電圧の推移を示す図である。この電圧の推移は、図6(c)に示す映像信号に基づいて作成された図である。

1本目では、白電圧(5V)→白電圧(-5V)→白電圧(5V)→白電圧(-5V)と信号が推移する。この信号では、正極性、負極性とも振幅が大きい、平均すると0VとDC成分は印加されていない。

2本目では、白電圧(5V)→黒電圧(0V)→白電圧(5V)→白電圧(0V)と信号が推移する。この信号では、正極性は振幅が大きく、負極性は振幅が小さい状況が発生し、平均すると約2.5VのDC成分が印加されることに相当する。

3本目では、黒電圧(0)→黒電圧(-0V)→黒電圧(0V)→黒電圧(-0V)と信号が推移する。この信号では、正極性、負極性とも振幅が小さく、平均すると0VとDC成分は印加されていない。

【0038】

従って、表示素子にフレーム毎に点滅(映像の輝度変化)が発生するケースでは、例えば5V振幅で駆動していた場合、最大2.5VものDCが印加される場合がある。

上述のように、FFS型液晶ディスプレイはDC電圧が印加された場合にやきつき易いため、このような簡易型IP変換で大きなDC電圧が印加されると、1分程度の表示でも強度のやきつきが発生する。

【0039】

図8は、やきつきの発生状態を示す図である。画面の上下方向で映像の輝度が変化する部分で強度のやきつきが発生し、横線のパターンとして残留表示されている。

【0040】

本実施の形態1では、やきつき対策として、2フレームをひとまとめにして、同一極性とする方式を採用する。例えば、60Hzのインターレース信号で入力されるのであれば、30Hzで極性を切り替える。

【0041】

図9は、30Hzで極性を切り替える方法を説明する図である。この図では、縦方向に480の画素、横方向に1の画素を表している。そして横方向には、その1の画素がフレーム毎に切り替えられる極性の時間推移を表している。

【0042】

フレーム1の極性を縦方向に見ると、走査線の1本目では極性は「+」、2本目では極性は「-」、3本目では極性は「+」、・・・と走査毎に極性が反転している。次に、フレーム2では極性はフレーム1と同じであり変化していない。

フレーム 3 では極性はフレーム 2 と逆に変化している。フレーム 4 では極性はフレーム 3 と同じであり変化していない。

【0043】

図 10 は、30 Hz で極性を切り替えた場合の効果を説明する図である。

図 10 (a) は、図 6 で示す簡易型の IP 変換機能によって、映像を補完した結果を表した図である。図 10 (b) は、図 7 で示す 60 Hz で極性を切り替える方法でそれぞれの表示素子に印加される電圧の推移を示す図である。図 10 (c) は、30 Hz で極性を切り替える方法でそれぞれの表示素子に印加される電圧の推移を示す図である。

【0044】

図 10 (c) の駆動方法によれば、1 本目では、白電圧 (5 V) → 白電圧 (5 V) → 白電圧 (-5 V) → 白電圧 (-5 V) と信号が推移する。この信号では、正極性、負極性とも振幅が大きい、平均すると 0 V と DC 成分は印加されていない。

2 本目では、白電圧 (5 V) → 黒電圧 (0 V) → 白電圧 (-5 V) → 白電圧 (0 V) と信号が推移する。この信号では、正極性、負極性とも振幅が大きい、平均すると 0 V と DC 成分は印加されていない。従って、図 10 (b) の 60 Hz 駆動で、平均すると約 2.5 V の DC 成分が印加される現象を解消することができる。

3 本目では、黒電圧 (0) → 黒電圧 (0 V) → 黒電圧 (-0 V) → 黒電圧 (-0 V) と信号が推移する。この信号では、正極性、負極性とも振幅が小さく、平均すると 0 V と DC 成分は印加されていない。

【0045】

次に、上述の極性切り替えのバリエーションの形態を説明する。

上述の極性切り替えは 30 Hz 毎に、即ち 2 画面毎に実行した。しかし、極性切り替えを、2 画面おきに実行する必要はない。やきつきは瞬時に起こる現象でないため、数秒以下の時間で極性の切り替え (交流化) を施せばよい。例えば、数フレーム ~ 数十フレームに一度、同一極性を継続するような切り替え方法で、電圧の印加する方向を切り替えることも有効である。

【0046】

図 11 は、図 9 に示す極性切り替えのバリエーションの形態を示す図である。

図 11 では、4 フレームに一度、同一極性を継続する。フレーム 1 からフレーム 3 までは、フレーム毎に駆動信号の極性を切り替える。フレーム 4 は、フレーム 3 と同じ極性で駆動する。フレーム 5 からフレーム 7 までは、フレーム毎に駆動信号の極性を切り替える。フレーム 8 は、フレーム 7 と同じ極性で駆動する。

【0047】

[第 2 の実施の形態]

第 2 の実施の形態は、第 1 の実施の形態で述べたやきつき課題の解決とともに、チラツキ課題の解決を図る駆動方法に関する。従って、第 1 の実施の形態と同一の部位には同一の符号を付してその詳細の説明は省略する。

【0048】

図 12 は、チラツキ発生の原因を説明する図である。図 12 (a) は、60 Hz で極性を切り替えたときの透過光量の推移を示し、図 12 (b) は、30 Hz で極性を切り替えたときの透過光量の推移を示している。

図 12 (a)、(b) に示すように、異なる極性に切り替えた直後は輝度が低下し、その後本来の輝度に増加する。しかし、図 12 (b) に示すように、同じ極性に切り替えたときは輝度の低下はみられない。

【0049】

一般に輝度の変化の周波数が約 50 Hz より下の場合ではチラツキが認識される。従って、第 1 の実施の形態で示した同一極性に切り替える周期が 1 / 50 秒よりも大きい場合はチラツキが認識される可能性がある。

【0050】

なお、極性切り替え時の輝度低下は、TN モードや VA モードでは顕著ではなく、FF

10

20

30

40

50

Sモード特有の現象であった。これはFFS型液晶表示素子では、絶縁膜を有しているため、極性切り替え時にこの絶縁膜が印加した電圧を吸収し、その結果、輝度が低下しているからであると推定する。

【0051】

図13は、チラツキ現象を調査した結果を示す図である。

図13(a)は、駆動信号の極性変換を60Hzで実施したときの、透過光量などの推移を示す図である。このとき、チラツキは認識されなかった。

【0052】

図13(b)は、駆動信号の極性変換を30Hzで実施したときの、透過光量などの推移を示す図である。このとき、チラツキが認識された。極性の変化を示す図の中に、同極性に切り替えた場合の後半部を丸印で囲んで示している。このタイミングを周期として輝度が増加するため、30Hzのフリッカとして観察されたものと考えられる。

10

【0053】

図13(c)は、駆動信号の極性変換を5フレームに1回の割合で実施したときの、透過光量などの推移を示す図である。この場合であっても、チラツキが認識された。極性の変化を示す図の中に、同極性に切り替えた場合の後半部を丸印で囲んで示している。このタイミングで輝度が増加するため、フラッシングとして観察されたものと考えられる。

【0054】

図14は、第2の実施の形態の駆動方法を説明する図である。

上述した駆動法でチラツキが発生したのは、全画素の輝度が一時に高くなるためである。そこで、この輝度の変化を、時間的、空間的に分散すれば、チラツキを低減することができる。

20

【0055】

図14(a)には、2H1V反転駆動方式において、上述の30Hzで極性を切り替えた場合の極性を示している。

2H反転駆動であるため、2本の走査毎に極性を切り替える。例えば、走査線の1本目と2本目、3本目と4本目、・・・が同じ極性となる様に駆動される。通常では、1フレーム毎に極性を切り替えるが、本方式では30Hzで切り替えるため、2フレーム毎に極性を切り替える。そのため、第2フレームと第3フレームの極性が同じとなり、第4フレームと第5フレームの極性が同じとなっている。

30

【0056】

ここで、同極性に切り替えた場合の後半部を丸印で囲んで示している。この丸印が付されたタイミングで輝度が増加するため、30Hzでの輝度の変化が生じ、フリッカが発生している。

【0057】

図14(b)には、2H1V反転駆動方式において、上述の30Hzで極性を切り替え更に1Hシフトをした場合の極性を示している。

図14(b)では、図14(a)において例えば、1行おきにフレームの位置を1つ横(右方向)にずらした極性を表示している。これによって、輝度が増加するタイミングが分散されるため、チラツキを防止することができる。

40

【0058】

この駆動方法を詳細に説明する。

図14(b)では、横軸は時間であり、1フレーム中のそれぞれの表示画素の極性は現されていない。図15は、1フレーム中のそれぞれの表示画素の極性をXY平面で表し、さらにその極性の時間の推移を示す図である。

【0059】

図15(a)は、図14(b)のフレーム1に対応し、図15(a)の左端の列が図14(b)のフレーム1に記載されている。

図15(b)は、図14(b)のフレーム2に対応し、図15(b)の左端の列が図14(b)のフレーム2に記載されている。

50

図15(c)は、図14(b)のフレーム3に対応し、図15(c)の左端の列が図14(b)のフレーム3に記載されている。

図15(d)は、図14(b)のフレーム4に対応し、図15(d)の左端の列が図14(b)のフレーム4に記載されている。

【0060】

図15の各フレームは2H1Vドット反転駆動を表している。従って、極性はY方向に2画素単位で交互に変化し、X方向に1画素単位で交互に変化する。丸印が付された輝度の高い画素の位置が、(a)～(d)のフレーム毎に異なっている。このように、2H1V反転駆動を用いながら、その輝度の高い画素を次のフレームでは1ライン下方（あるいは上方）にずらすことで、各画素では30Hz駆動でありながらチラツキを散らすことができる。

10

【0061】

なお、上述の駆動方法は、2H反転駆動に限られない。

【0062】

図16は、第2の実施の形態のバリエーションの駆動方法を説明する図である。

図16(a)には、1H1V反転駆動方式において、上述の30Hzで極性を切り替えた場合の極性を示している。

1H反転駆動であるため、1本の走査毎に極性を切り替える。そして、1フレーム毎に極性を切り替えるが、本方式では30Hzで切り替えるため、2フレーム毎に極性を切り替える。そのため、第2フレームと第3フレームの極性が同じとなり、第4フレームと第5フレームの極性が同じとなっている。

20

【0063】

ここで、同極性に切り替えた場合の後半部を丸印で囲んで示している。この丸印が付されたタイミングを周期として輝度が変化するため、30Hzの輝度変化が生じ、フリッカが発生している。

【0064】

図16(b)には、1H1V反転駆動方式において、上述の30Hzで極性を切り替え更に1Hシフトをした場合の極性を示している。

図16(b)では、図16(a)において例えば、1行おきにフレームの位置を1つ横（右方向）にずらした極性を表示している。これによって、輝度の変化するタイミングが分散されるため、チラツキを防止することができる。

30

【0065】

この駆動方法を詳細に説明する。

図16(b)では、横軸は時間であり、1フレーム中のそれぞれの表示画素の極性は現されていない。図17は、1フレーム中のそれぞれの表示画素の極性をXY平面で表し、さらにその極性の時間の推移を示す図である。

図17の各フレームは1H1Vドット反転駆動を表している。従って、極性はY方向に1画素単位で交互に変化し、X方向に1画素単位で交互に変化する。丸印が付された輝度の高い画素の位置が、(a)～(d)のフレーム毎に異なっている。このように、1H1V反転駆動を用いながら、その輝度の高い画素を次のフレームでは1ライン下方（あるいは上方）にずらすことで、各画素では30Hz駆動でありながらチラツキを散らすことができる。

40

【0066】

図18は、第2の実施の形態のバリエーションの駆動方法を説明する図である。

図18(a)には、3H1V反転駆動方式において、上述の30Hzで極性を切り替えた場合の極性を示している。

3H反転駆動であるため、3本の走査毎に極性を切り替える。例えば、走査線の2, 3, 4本目、・・・が同じ極性となる様に駆動される。通常では、1フレーム毎に極性を切り替えるが、本方式では30Hzで切り替えるため、2フレーム毎に極性を切り替える。そのため、第2フレームと第3フレームの極性が同じとなり、第4フレームと第5フレー

50

ムの極性が同じとなっている。

【0067】

ここで、同極性に切り替えた場合の後半部を丸印で囲んで示している。この丸印が付されたタイミングを周期として輝度が変化するため、30Hzの輝度変化が生じ、フリッカが発生している。

【0068】

図18(b)には、3H1V反転駆動方式において、上述の30Hzで極性を切り替え更に1Hシフトをした場合の極性を示している。

図18(b)では、図18(a)において例えば、1行おきにフレームの位置を1つ横(右方向)にずらした極性を表示している。これによって、輝度の変化するタイミングが分散されるため、チラツキを防止することができる。

10

【0069】

この駆動方法を詳細に説明する。

図18(b)では、横軸は時間であり、1フレーム中のそれぞれの表示画素の極性は現されていない。図19は、1フレーム中のそれぞれの表示画素の極性をXY平面で表し、さらにその極性の時間の推移を示す図である。

【0070】

図19の各フレームは3H1Vドット反転駆動を表している。従って、極性はY方向に3画素単位で交互に変化し、X方向に1画素単位で交互に変化する。丸印が付された輝度の高い画素の位置が、(a)～(d)のフレーム毎に異なっている。このように、3H1V反転駆動を用いながら、その輝度の高い画素を次のフレームでは1ライン下方(あるいは上方)にずらすことで、各画素では30Hz駆動でありながらチラツキを散らすことができる。

20

【0071】

以上、第2の実施の形態について説明した。ここで説明した駆動法は、いずれも、ベースになる駆動方法から、極性を1ラインおきに、時間的にシフトさせるものである。第2の実施の形態では、ゲート線方向(横方向)に1ラインおきにシフトしたが、ソース線方向(縦方向)にシフトしても良いし、ランダムでもかまわない。とにかく輝度の変化する部位を時間的、空間的に分散させることが重要である。

【0072】

なお、第2の実施の形態で説明した、極性切り替えパターンを時間的に変化させる方式を採用する際に考慮すべきこととして、フリッカパターンの設定課題がある。

30

フリッカパターンとは、一般的に液晶のDC調整に使われるパターンであり、通常の1H1Vドット反転駆動の場合、図20に示す千鳥格子パターンを評価パターンとして用いる。この評価パターンを用いて、瞬間的には片方の表示極性の画素だけを点灯させることで、チラツキを顕在化させ、それによってDC、特にVcom電圧を調整する。

【0073】

しかしながら、本実施の形態では、時間的にこの極性パターンを切り替えている。従って、図21に示すように、2種類のフリッカパターンを用意して、フレームごとに交互にパターンを切り替える必要がある。

40

【0074】

図22は、フリッカパターンの切り替えを簡便に行う方法を説明する図である。

この方法では、インターレース駆動によるデータ補完機能を利用する。

図22(a)のパターンをインターレース駆動すると、データを間引いて送信し、その補完が上述のIP変換によって自動的に実行される。

【0075】

図22(b)では、走査線の1本目、3本目、5本目、・・・のデータが送信される。2本目、4本目、6本目、・・・のデータは、前行(1本目、3本目、5本目、・・・)のデータがラインメモリーを用いてコピーして補完される。

図22(c)では、走査線の2本目、4本目、6本目、・・・のデータが送信される。

50

3 本目、5 本目、7 本目、・・・のデータは、前行（2 本目、4 本目、6 本目、・・・）のデータがラインメモリーを用いてコピーして補完される。

図 2 2（d）、（e）は、それぞれ図 2 2（a）、（b）の極性が異なっているだけであり、データの補完動作は同じである。

【0076】

このように、インターレース駆動によるデータ補完機能を利用することで、所望のパターンを切り替え表示することができる。従って、2H反転駆動を用いると、このような、フリッカあわせも容易に実現することができる。この点を考慮すると、2H反転駆動は最適な駆動法である。

【0077】

10

〔第3の実施の形態〕

上述の各実施の形態では、低周波化によるインターレースやきつきの対策について述べた。第3の実施の形態では、IP変換方法を変更することでやきつきを防止する。

もともとインターレースやきつきは、IP変換時に、データ欠落部を、前ラインのデータで補完することに起因する。このとき、前ラインとのデータが変化する部位に顕著なやきつきが発生する。そこで、ラインメモリーを数ライン分持ち、データの変化が発生するときには、補完データを中間階調データで置き換えるなどによって、やきつきはかなり良化する。

【0078】

図 2 3 は、第 3 の実施の形態の液晶ディスプレイの駆動信号の変換方法を示す概念図である。

20

図 2 3（a）、図 2 3（b）は、既に説明を行っているため、再度の説明は省略する。第3の実施の形態の変換方法では、複数のラインメモリーを備えて、図の上下方向でデータが変化する場合、中間階調データで欠落データを補完する。

【0079】

図 2 3（c）は、この方式によって、映像を補完した結果を表している。列1の2本目と4本目には中間階調（灰色）の映像が挿入されている。6本目には、上下方向でデータが変化していないため、5本目のデータ（白）が挿入されている。また、列2の1本目と5本目には中間階調（灰色）の映像が挿入されている。3本目には、上下方向でデータが変化していないため、2本目のデータ（黒）が挿入されている。

30

【0080】

図 2 4 は、それぞれの表示素子に印加される電圧の推移を示す図である。この電圧の推移は、図 2 3（c）に示す映像信号に基づいて作成された図である。

従来、やきつきの発生していた2本目では、灰色電圧（2.5V）→黒電圧（0V）→灰色電圧（2.5V）→白電圧（0V）と信号が推移する。平均すると約1.25Vと従来のDC成分を半減することができる。

【0081】

なお、第3の実施の形態の補完処理のバリエーションとして、上下方向での「エッジ」を検出してエッジ部での信号の変化を緩和する信号処理（「エッジ処理」）を行っても良い。この「エッジ処理」は、インターレース信号を「ぼかす」効果があるため、インターレースやきつき防止効果が期待できる。

40

また、第3の実施の形態の補完処理を行って、更に後段においてこのエッジ処理を実行しても良い。

【0082】

図 2 5 は、従来の駆動方法と、エッジ処理を加えた駆動方法でのやきつきの状況を示す図である。エッジ処理を加えた駆動方法では、やきつきの発生は見られなかった。

【0083】

尚、本発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。

また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発

50

明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

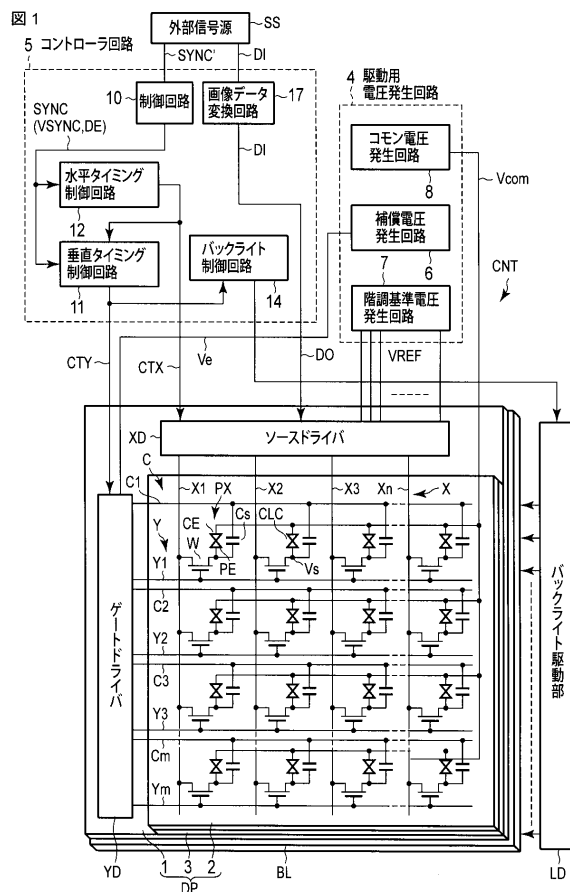
【符号の説明】

【0084】

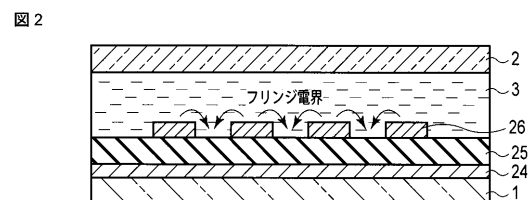
1…アレイ基板、2…対向基板、3…液晶層、4…駆動用電圧発生回路、5…コントローラ回路、7…階調基準電圧発生回路、10…制御回路、14…バックライト制御回路、17…画像データ変換回路、24…第1のITO電極、25…絶縁膜、26…第2のITO電極、YD…ゲートドライバ、DI…画像データ、DO…画素データ、XD…ソースドライバ、PE…画素電極、CE…共通電極、PX…液晶画素、DP…表示パネル、BL…バックライト、CNT…表示制御回路、X…ソース線、Y…ゲート線、W…スイッチング素子。

10

【図1】

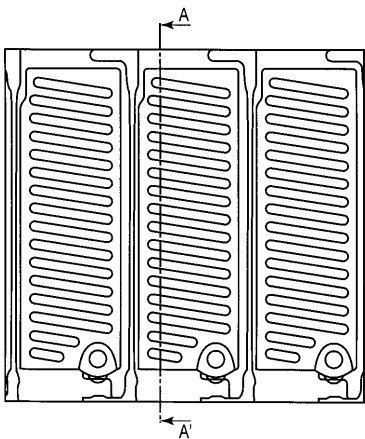


【図2】



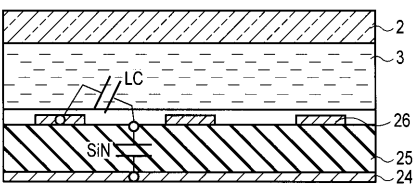
【図 3】

図 3



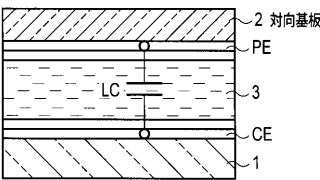
【図 4】

図 4



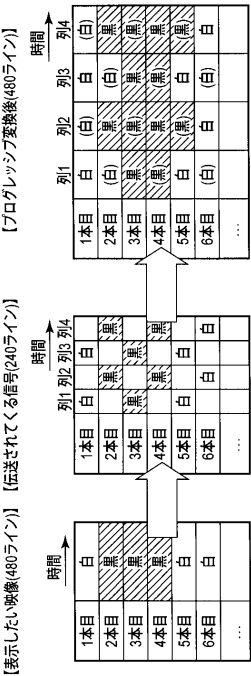
【図 5】

図 5

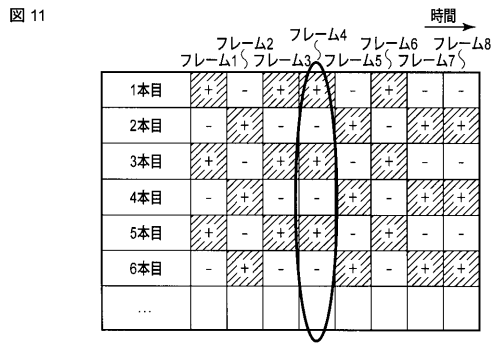


【図 6】

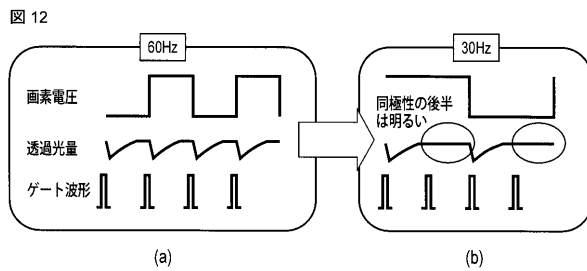
図 6



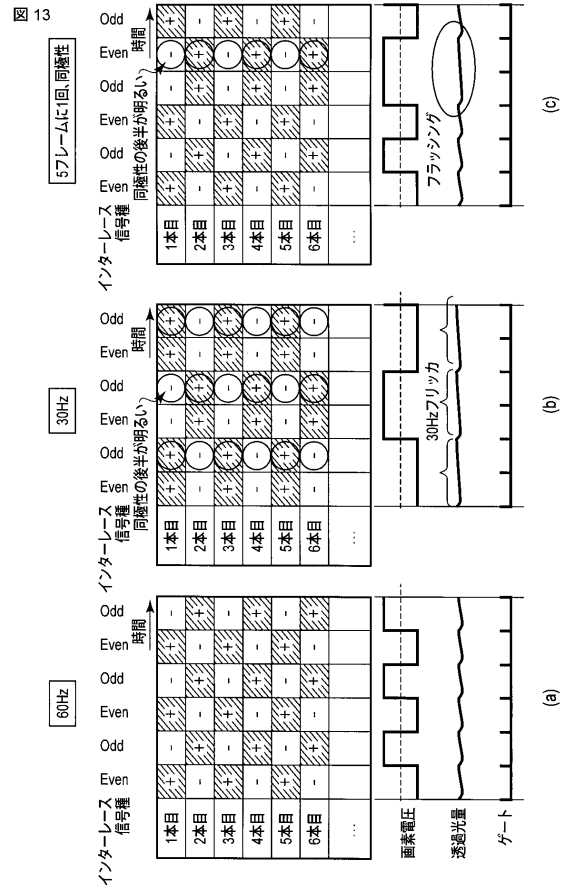
【図 1 1】



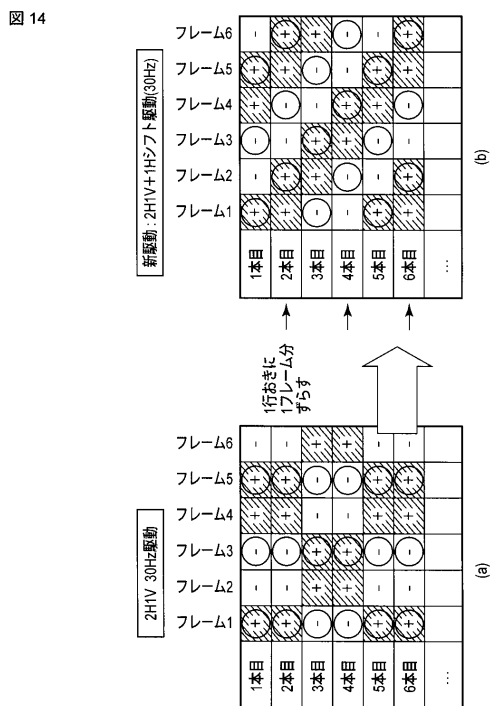
【図 1 2】



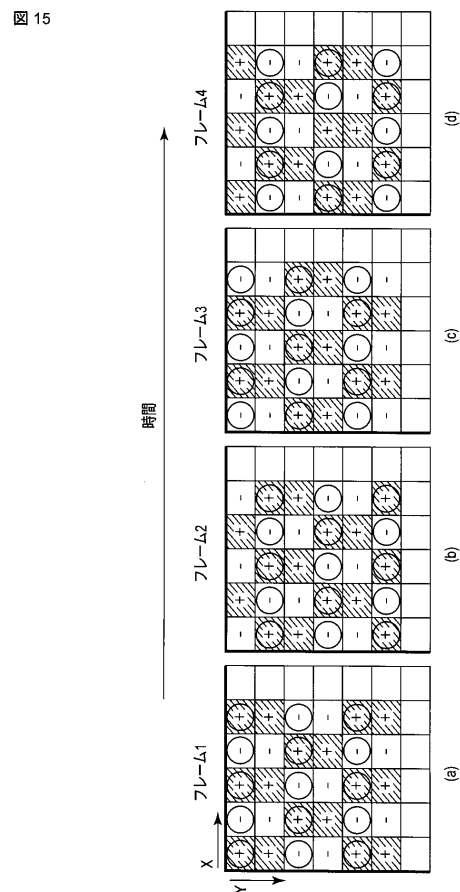
【図 1 3】



【図 1 4】

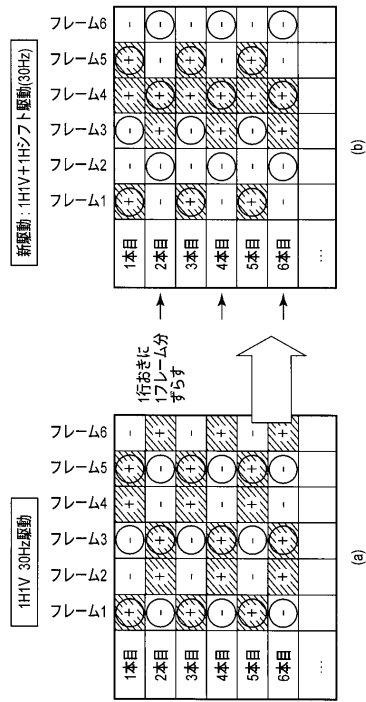


【図 1 5】



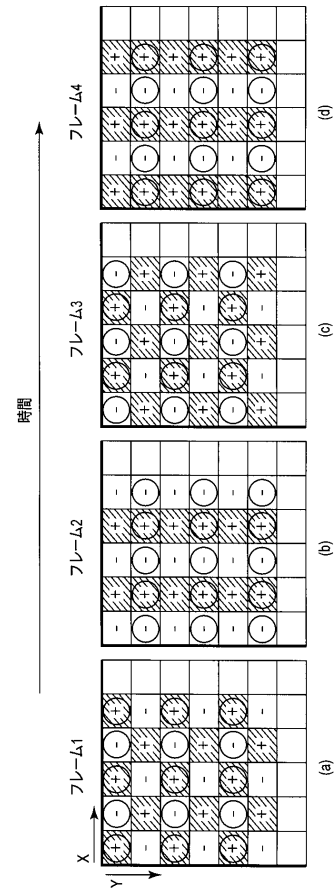
【図 16】

図 16



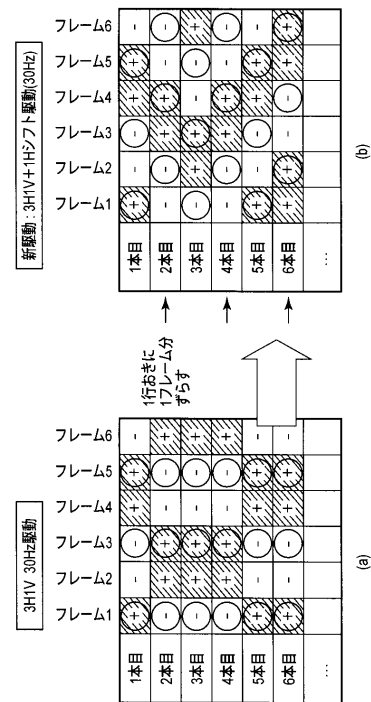
【図 17】

図 17



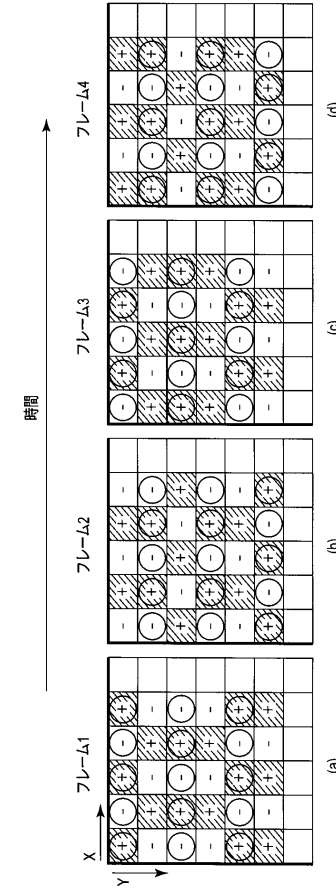
【図 18】

図 18

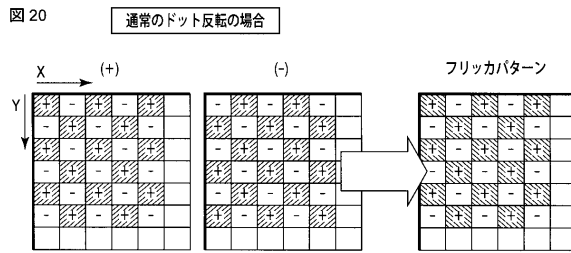


【図 19】

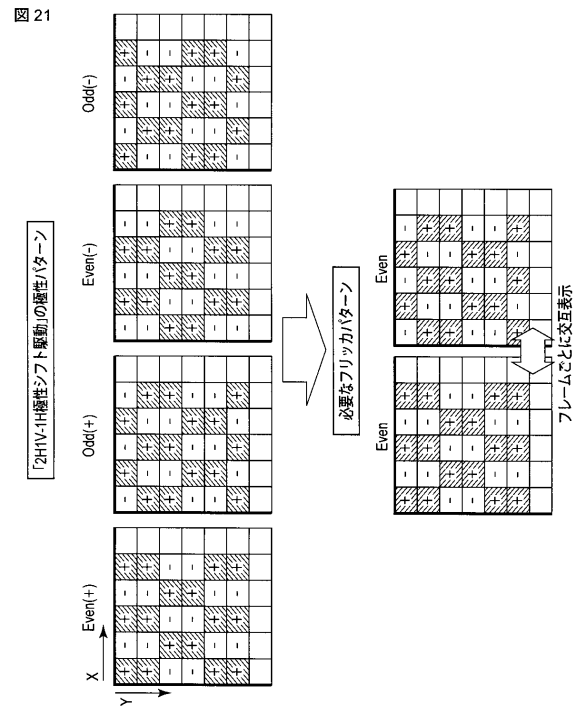
図 19



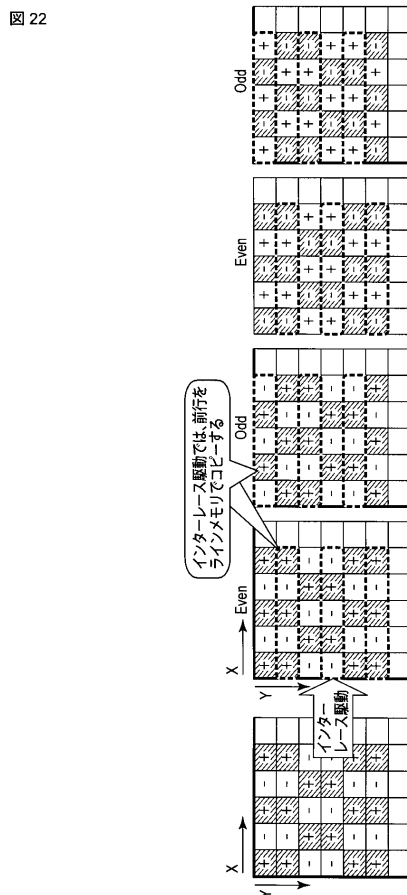
【図 20】



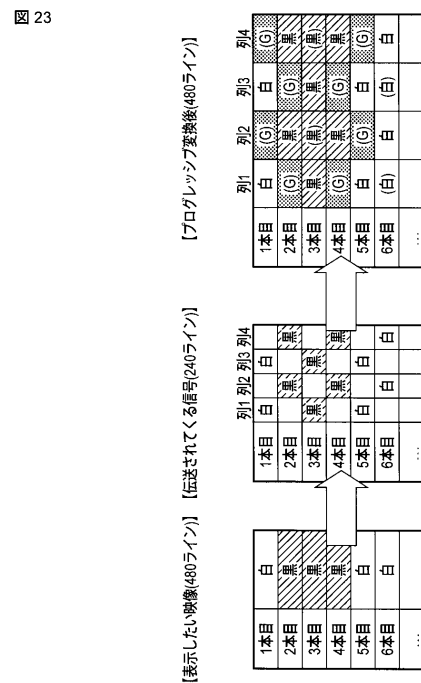
【図 21】



【図 22】

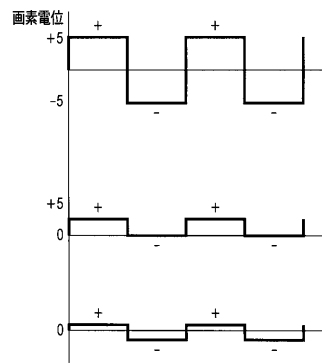


【図 23】



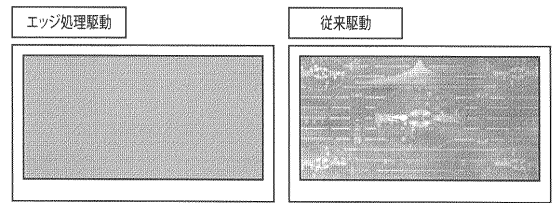
【図 24】

図 24



【図 25】

図 25



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 2 U
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 5 0 E
	G 0 2 F 1/133	5 0 5

F ターム(参考)	2H193	ZA04	ZA07	ZC13	ZC16	ZC17	ZC25	ZQ16			
	5C006	AA16	AC25	AC26	AC27	AC28	AC29	AC30	AF42	AF43	AF44
		AF45	AF47	BB16	BC03	BC11	BF03	BF05	BF43	EA01	FA04
		FA23	FA34								
	5C080	AA10	BB05	DD06	EE29	FF11	JJ01	JJ02	JJ03	JJ04	JJ06
		KK07	KK23	KK43							

