

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-36749

(P2015-36749A)

(43) 公開日 平成27年2月23日(2015.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 623D	5C080
	G09G 3/20 621B	
	G09G 3/20 623C	
審査請求 未請求 請求項の数 4 O L (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2013-168157 (P2013-168157)	(71) 出願人	000103747
(22) 出願日	平成25年8月13日 (2013.8.13)		京セラディスプレイ株式会社
			滋賀県野洲市市三宅641-1
		(74) 代理人	100075557
			弁理士 西教 圭一郎
		(72) 発明者	権藤 賢二
			滋賀県野洲市市三宅641-1 京セラディスプレイ株式会社内
		Fターム(参考)	2H193 ZA04 ZC07 ZC12 ZC16 ZC25
			ZD23 ZE06 ZF05 ZF21 ZF31
			ZQ16
			5C006 AC24 AC26 AC28 AF42 AF43
			AF51 AF71 AF83 BB16 BC03
			BC13 BF03 BF04 BF24 BF25
			FA12 FA47
			最終頁に続く

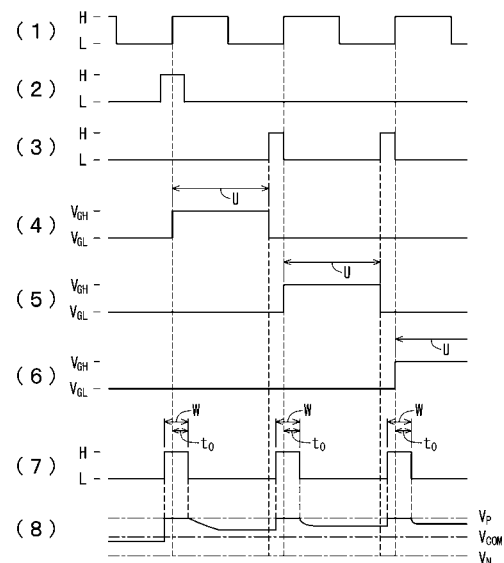
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 フレーム毎に画素の極性が反転され、フレーム内では複数の行に亘って画素の極性が同一とされるように駆動される液晶表示装置において、消費電力の低下を実現する。

【解決手段】 液晶表示装置1は、液晶表示パネル10と、各ゲート配線15の電位を選択期間Uずつ線順次に選択時電位に設定するゲートドライバ20と、選択期間U毎に、選択期間Uの開始に遅れて、各ソース配線14の電位を画素値に応じたデータ電位に設定する動作を開始するソースドライバ30と、該動作によって正極性のデータ電位に設定されるべきソース配線14を、該動作の開始直前に、正極性の予備電位に設定する予備電位設定回路36と、隣接する2つの選択期間Uの夫々において正極性のデータ電位に設定されるべきソース配線14に対して、時間的に後の選択期間Uの開始タイミング前に予備電位への設定が開始されるように、予備電位設定回路36を制御する制御回路40とを含む。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

マトリクス状に配置された画素電極と、画素電極の各行に沿ってそれぞれ配設される複数のゲート配線と、画素電極の各列に沿ってそれぞれ配設される複数のソース配線と、ゲート配線とソース配線との交差部ごとに設けられ、該交差部を通過するゲート配線の電位が予め定める選択時電位に設定されると、該交差部を通過するソース配線と該交差部に対応して設けられる画素電極とを導通するアクティブ素子と、コモン電極とを備えるアクティブマトリクス方式の液晶表示パネルと、

各ゲート配線の電位を、予め定める選択期間ずつ、線順次に前記選択時電位に設定するゲートドライバと、

前記選択期間ごとに、該選択期間の開始タイミングから予め定める時間だけ遅れたタイミングで、各ソース配線の電位を、外部から入力されるデータ信号に基づいて、前記選択時電位に設定されているゲート配線に対応した行の各画素の画素値に応じた電位に設定する電位設定動作を開始するソースドライバであって、前記コモン電極に設定されるコモン電位よりも高い電位を正極性の電位とし、前記コモン電位よりも低い電位を負極性の電位とするとき、フレーム内において、画素電極の各列で、各画素電極に設定される電位の極性を同一の極性とし、または、画素電極の各列で、各画素電極に設定される電位の極性を複数行ごとに切り替え、1フレームごとに、各画素電極に設定される電位の極性を切り替えるソースドライバと、

前記複数のソース配線のうち、前記電位設定動作によって正極性の電位に設定されるべきソース配線を、該電位設定動作の開始タイミングの直前に、予備電位に設定する予備電位設定回路と、

隣接する2つの選択期間のそれぞれにおいて前記電位設定動作によって正極性の電位に設定されるべきソース配線に対して、前記隣接する2つの選択期間のうち、時間的に後の選択期間の開始タイミングよりも前に、前記予備電位への設定が開始されるように、前記予備電位設定回路を制御する制御回路とを含むことを特徴とする液晶表示装置。

【請求項 2】

前記制御回路は、各ソース配線の電位を、前記選択時電位に設定されているゲート配線に対応した行の各画素の画素値に応じた電位に設定することを指示するソース配線電位設定指示信号を生成して、前記ソースドライバおよび前記予備電位設定回路に入力し、

前記ソースドライバは、前記ソース配線電位設定指示信号の立ち下がりエッジを検出すると、各ソース配線の電位を、前記選択時電位に設定されているゲート配線に対応した行の各画素の画素値に応じた電位に設定し、

前記予備電位設定回路は、前記ソース配線電位設定指示信号の立ち上がりエッジを検出すると、前記電位設定動作によって正極性の電位に設定されるべきソース配線を、予備電位に設定することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記制御回路は、前記ソース配線電位設定指示信号の1周期において、該ソース配線電位設定指示信号の立ち上がりエッジから該ソース配線電位設定指示信号の立ち下がりエッジまでの期間が、2マイクロ秒よりも長く5マイクロ秒よりも短くなるように、該ソース配線電位設定指示信号を生成することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記予備電位設定回路は、予め定める正極性の予備電位に設定された予備電位設定用配線を備え、前記電位設定動作によって正極性の電位に設定されるべきソース配線を、前記予備電位設定用配線に接続させることで、該ソース配線を前記予め定める正極性の予備電位に設定することを特徴とする請求項 1～3 のいずれか 1 つに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

一般に、アクティブマトリクス方式の液晶表示パネルは、液晶層を挟む2枚の透明基板のうち、一方の透明基板上に、複数のソース配線と、該複数のソース配線に交差する複数のゲート配線とを形成し、ソース配線とゲート配線との各交差部に対応して形成される画素電極をマトリクス状に配置した構成となっている。

【0003】

そして、各画素電極は、対応する交差部を通過するソース配線に、アクティブ素子としてのTFT (Thin Film Transistor) を介して接続され、そのTFTのゲート端子は、その交差部を通過するゲート配線に接続されている。また、他方の透明基板には、上記複数の画素電極に共通の対向電極が共通電極として形成されている。

10

【0004】

上記液晶表示パネルを備える液晶表示装置は、液晶表示パネルに画像を表示させるための駆動回路として、ゲートドライバおよびソースドライバを備えている。ゲートドライバは、上記複数のゲート配線を1行目から線順次に1本ずつ選択し、選択したゲート配線を選択時電位 V_{GH} に設定するとともに、選択していないゲート配線を非選択時電位 V_{GL} に設定する。ここで、液晶表示装置の観察者側から見て、1番上側に配置されるゲート配線を1行目と称している。

【0005】

このようにして、ゲートドライバによってあるゲート配線が選択時電位 V_{GH} に設定されると、そのゲート配線に接続されているTFTのゲートが選択時電位 V_{GH} に設定され、これにより、そのTFTにおいて、ドレインとソースとの間が導通状態となる。その結果、そのTFTに接続される画素電極は、そのTFTに接続されるソース配線と等電位に制御される。また、ゲートドライバによってあるゲート配線が非選択時電位 V_{GL} に設定されると、そのゲート配線に接続されているTFTのゲートが非選択時電位 V_{GL} に設定され、これにより、そのTFTにおいて、ドレインとソースとの間が非導通状態となる。

20

【0006】

一方、ソースドライバは、外部から入力されるデータ信号に基づいて、各ソース配線の電位を、ゲートドライバによって選択されているゲート配線に対応した行の各画素の画素値に応じた電位（以下、「データ電位」と称する）に設定する。これにより、ゲートドライバによって選択されているゲート配線にTFTを介して接続される各画素電極は、それぞれ、その行の画像データに応じた電位に設定される。また、液晶を介して各画素電極と対向するコモン電極の電位も所定の電位に制御される。この結果、選択行における各画素の液晶には、その行の画像データに応じた電圧が印加される。したがって、ゲート配線を1行目から順に線順次に選択していくことにより、画像データに応じた画像を表示することができる。

30

【0007】

従来から、アクティブマトリクス方式の液晶表示装置では、液晶表示パネルを直流駆動すると寿命が短くなってしまうなどの理由から、液晶表示パネルを駆動する駆動法として交流駆動が用いられている。交流駆動の方式としては、行ライン反転駆動方式、列ライン反転駆動方式、およびドット反転駆動方式などがある（たとえば、特許文献1参照）。

40

【0008】

ここで、液晶表示装置の観察者側から見て、1番左側に配置される画素の列を第1列とし、左側から右側に向かって列を数えるものとする。列ライン反転駆動方式は、フレーム内において、奇数列の画素において画素電極の電位が正極性とされ、偶数列の画素において画素電極の電位が負極性電位とされる第1の状態と、フレーム内において、偶数列の画素において画素電極の電位が正極性とされ、奇数列の画素において画素電極の電位が負極性とされる第2の状態とが、フレームごとに交互に切り替えられる駆動方式である。

【0009】

ここで、コモン電極に設定される所定の電位をコモン電位 V_{COM} とすると、正極性の

50

電位とは、コモン電位 V_{COM} よりも高い電位のことであり、負極性の電位とは、コモン電位 V_{COM} よりも低い電位のことである。

【0010】

図5は、従来の列反転駆動方式による液晶表示装置における動作の例を示すタイミングチャートである。図5(1)は、ゲートドライバによって選択されるゲート配線の切り替えを指示するクロック信号 GCK を示し、図5(2)は、ゲートドライバに対して、1行目のゲート配線から線順次に選択を開始することを指示する制御信号 STV を示している。なお、図5(1)に示すクロック信号 GCK は、ゲートクロックとも呼ばれ、図5(2)に示す制御信号 STV は、ゲートスタートパルスとも呼ばれる。

【0011】

また、図5(3)は、1行目のゲート配線における電位変化を示し、図5(4)は、2行目のゲート配線における電位変化を示し、図5(5)は、3行目のゲート配線における電位変化を示している。さらに、図5(6)は、ソースドライバに対して、各ソース配線にデータ電位の出力を指示する制御信号 LP を示し、図5(7)は、あるフレームにおいて、画素電極の電位が正極性とされるある列の画素に対応して設けられるソース配線における電位変化を示している。なお、図5(6)に示す制御信号 LP は、ラッチパルスとも呼ばれる。

【0012】

図5(1)～図5(5)に示すように、ゲートドライバは、制御信号 STV がハイレベル(H)である期間において、クロック信号 GCK の立ち上がりエッジを検出すると、1行目のゲート配線を選択し、選択した1行目のゲート配線の電位を選択時電位 V_{GH} に設定する。以降、ゲートドライバは、クロック信号 GCK の立ち上がりエッジを検出する毎に、選択中のゲート配線の電位を非選択時電位 V_{GL} に設定するとともに、次の行のゲート配線の電位を選択時電位 V_{GH} に設定する。すなわち、ゲートドライバは、各ゲート配線の電位を、予め定める選択期間 U ずつ、線順次に選択時電位 V_{GH} に設定する。

【0013】

一方、ソースドライバは、ラッチパルス LP の立ち下がりエッジを検出すると、各ソース配線に対してデータ電位の出力を開始する。ラッチパルス LP は、図5(6)に示すように、ゲート配線の電位が選択時電位 V_{GH} に設定されるタイミング、すなわち選択期間 U の開始タイミングから予め定める時間 t_0 が経過した時点で、ハイレベルからローレベル(L)に立ち下がるように設定されている。

【0014】

ゲートドライバがクロック信号 GCK の立ち上がりエッジに応じて所定のゲート配線の電位を選択時電位 V_{GH} に設定する場合、そのゲート配線において、ゲートドライバに近いところでは、図5(3)～図5(5)に示すように、急峻に立ち上がりまたは立ち下がるように電位が変化するのに対し、ゲートドライバから遠く離れたところでは、電位変化の波形がなまってしまい、このなまりに起因して、TFTのゲートがON/OFFするタイミングが遅れてしまう。この場合、選択期間 U の開始タイミングと、各ソース配線に対してデータ電位の出力を開始するタイミングとを一致させてしまうと、ゲートドライバから遠く離れたところでは、ある行の画素電極に対し、次の行の画素電極に設定すべきデータ電位が書き込まれてしまうという事態が生じる。そこで、このような事態を防止するために、先ずゲート配線の電位を選択時電位 V_{GH} に設定し、それから予め定める時間 t_0 が経過した時点で、各ソース配線に対してデータ電位の出力を開始されるように、ラッチパルス LP は設定されている。

【0015】

したがって、各ソース配線の電位は、図5(7)に示すように、ラッチパルス LP の立ち下がりエッジの時点から時間の経過とともに、当該ソース配線に設定されるべきデータ電位へ遷移していくこととなる。

【0016】

また、図5に示すように、従来から、このラッチパルス LP を利用して、各ソース配線

10

20

30

40

50

に対してデータ電位の出力を開始するタイミングの直前の期間、詳細には、ラッチパルス LP がハイレベルである期間に、各ソース配線に対して、予備電位を供給するように構成されている液晶表示装置がある。ここで、予備電位は、プリチャージ電位とも称し、予備電位を供給する期間をプリチャージ期間と呼ぶこととする。すなわち、図 5 に示す例では、ラッチパルス LP がハイレベルである期間が、プリチャージ期間に相当する。

【0017】

このとき、ソース配線に設定されるべきデータ電位が正極性である場合には、プリチャージ期間において、該ソース配線を、図 5 (7) に示すように、予備電位として、たとえば予め定める正極性の電位 V_P に設定する。予め定める正極性の電位 V_P は、たとえばソースドライバに供給されるアナログ電源の電位である。

10

【0018】

一方、ソース配線に設定されるべきデータ電位が負極性である場合には、プリチャージ期間において、該ソース配線を、予備電位として、たとえば予め定める負極性の電位 V_N に設定する。予め定める負極性の電位 V_N は、たとえばソースドライバに供給されるアナロググラウンドの電位である。

【0019】

このような従来の液晶表示装置では、ゲートドライバから遠く離れたところにおいて、前述の電位波形のなまりに起因して、ある行の画素電極に対し、次の行のための予備電位が書き込まれてしまうという事態を防止するために、ラッチパルス LP は、選択期間 U の開始タイミングよりも後に、ローレベルからハイレベルに立ち上がるように設定されている。換言すれば、選択期間 U が開始されてから、ソース配線への予備電位の設定が開始されるまでの間には、時間的な隔りがある。

20

【0020】

選択期間 U が開始されてから、予備電位の設定が開始されるまでの期間 t_1 では、各ソース配線は、選択時電位 V_{GH} に設定されたゲート配線に接続されている画素電極とそれぞれ導通されることとなる。このとき、その画素電極は、1 フレーム前において設定されたデータ電位を保持している。

【0021】

したがって、各ソース配線の電位は、選択期間 U の開始とともに、該選択期間 U の直前に設定されていた電位から、1 フレーム前のデータ電位を保持している画素電極と等電位となるように変動してしまう。

30

【0022】

この場合、図 5 (7) に示すように、あるフレームにおいて画素電極の電位が正極性とされるある列の画素に対応して設けられるソース配線に着目すると、たとえば 2 行目の画素電極をデータ電位に設定する際、そのソース配線の電位は、選択期間 U の開始とともに、前フレームの負極性の画素電位を保持している画素電極と接続されることで、低下してしまう。

【0023】

したがって、プリチャージ期間においてそのソース配線の電位を正極性の予備電位 V_P に設定する際に、そのソース配線の電位を、負極性の電位から正極性の予備電位 V_P へ遷移させなければならず、このために過度の電流が必要となってしまうという問題がある。

40

【先行技術文献】

【特許文献】

【0024】

【特許文献 1】特開 2008-8928 号公報

【発明の概要】

【発明が解決しようとする課題】

【0025】

本発明の目的は、フレームごとに画素の極性が反転され、フレーム内においては複数の

50

行にわたって画素の極性が同一とされるように駆動される液晶表示装置において、さらなる消費電力の低下を実現することのできる液晶表示装置を提供することである。

【課題を解決するための手段】

【0026】

本発明は、マトリクス状に配置された画素電極と、画素電極の各行に沿ってそれぞれ配設される複数のゲート配線と、画素電極の各列に沿ってそれぞれ配設される複数のソース配線と、ゲート配線とソース配線との交差部ごとに設けられ、該交差部を通過するゲート配線の電位が予め定める選択時電位に設定されると、該交差部を通過するソース配線と該交差部に対応して設けられる画素電極とを導通するアクティブ素子と、コモン電極とを備えるアクティブマトリクス方式の液晶表示パネルと、

10

各ゲート配線の電位を、予め定める選択期間ずつ、線順次に前記選択時電位に設定するゲートドライバと、

前記選択期間ごとに、該選択期間の開始タイミングから予め定める時間だけ遅れたタイミングで、各ソース配線の電位を、外部から入力されるデータ信号に基づいて、前記選択時電位に設定されているゲート配線に対応した行の各画素の画素値に応じた電位に設定する電位設定動作を開始するソースドライバであって、前記コモン電極に設定されるコモン電位よりも高い電位を正極性の電位とし、前記コモン電位よりも低い電位を負極性の電位とすると、フレーム内において、画素電極の各列で、各画素電極に設定される電位の極性を同一の極性とし、または、画素電極の各列で、各画素電極に設定される電位の極性を複数行ごとに切り替え、1フレームごとに、各画素電極に設定される電位の極性を切り替えるソースドライバと、

20

前記複数のソース配線のうち、前記電位設定動作によって正極性の電位に設定されるべきソース配線を、該電位設定動作の開始タイミングの直前に、予備電位に設定する予備電位設定回路と、

隣接する2つの選択期間のそれぞれにおいて前記電位設定動作によって正極性の電位に設定されるべきソース配線に対して、前記隣接する2つの選択期間のうち、時間的に後の選択期間の開始タイミングよりも前に、前記予備電位への設定が開始されるように、前記予備電位設定回路を制御する制御回路とを含むことを特徴とする液晶表示装置である。

【0027】

また本発明は、前記制御回路は、各ソース配線の電位を、前記選択時電位に設定されているゲート配線に対応した行の各画素の画素値に応じた電位に設定することを指示するソース配線電位設定指示信号を生成して、前記ソースドライバおよび前記予備電位設定回路に入力し、

30

前記ソースドライバは、前記ソース配線電位設定指示信号の立ち下がりエッジを検出すると、各ソース配線の電位を、前記選択時電位に設定されているゲート配線に対応した行の各画素の画素値に応じた電位に設定し、

前記予備電位設定回路は、前記ソース配線電位設定指示信号の立ち上がりエッジを検出すると、前記電位設定動作によって正極性の電位に設定されるべきソース配線を、予備電位に設定することを特徴とする。

【0028】

40

また本発明は、前記制御回路は、前記ソース配線電位設定指示信号の1周期において、該ソース配線電位設定指示信号の立ち上がりエッジから該ソース配線電位設定指示信号の立ち下がりエッジまでの期間が、2マイクロ秒よりも長く5マイクロ秒よりも短くなるように、該ソース配線電位設定指示信号を生成することを特徴とする。

【0029】

また本発明は、前記予備電位設定回路は、予め定める正極性の予備電位に設定された予備電位設定用配線を備え、前記電位設定動作によって正極性の電位に設定されるべきソース配線を、前記予備電位設定用配線に接続させることで、該ソース配線を前記予め定める正極性の予備電位に設定することを特徴とする。

【発明の効果】

50

【0030】

本発明によれば、フレームごとに画素の極性が反転され、フレーム内においては複数の行にわたって画素の極性が同一とされるように駆動される液晶表示装置において、さらなる消費電力の低下を実現することができる。

【図面の簡単な説明】

【0031】

【図1】本発明の一実施形態に係る液晶表示装置1の構成例を示すブロック図である。

【図2】階調電位生成回路41において生成される基準階調電位 $V_0 \sim V_{15}$ を説明するための図である。

【図3】本実施形態に係る液晶表示パネル10の駆動方式を説明するための図である。

【図4】本実施形態に係る液晶表示装置1における動作の例を示すタイミングチャートである。

【図5】従来の列反転駆動方式による液晶表示装置における動作の例を示すタイミングチャートである。

【発明を実施するための形態】

【0032】

図1は、本発明の一実施形態に係る液晶表示装置1の構成例を示すブロック図である。本実施形態に係る液晶表示装置1は、図1に示すように、液晶表示パネル10と、ゲートドライバ20と、ソースドライバ30と、制御回路40と、電源回路50とを含んで構成される。電源回路50は、ゲートドライバ20、ソースドライバ30および制御回路40に電源を供給する。

【0033】

液晶表示パネル10は、マトリクス状に配置された複数の画素電極と、コモン電極との間に液晶を挟持し、液晶が、画素電極とコモン電極との電位差に応じた状態に変化することで、画像を表示する。

【0034】

液晶表示パネル10は、一对の透明基板を備え、一方の透明基板上にマトリクス状に配置された複数の画素電極を有し、他方の透明基板上には、複数の画素電極に共通の対向電極が共通電極として形成されている。そして、画素電極群とコモン電極とが対向するように2枚の透明基板が配置され、その透明基板間に液晶が注入されている。

【0035】

なお、液晶表示パネル10としてIPS（In-Plane-Switching）方式の液晶表示パネルを用いる場合には、コモン電極は、画素電極群が形成される透明基板側に設けられる。また、図1において、画素電極とコモン電極との間の液晶は、容量を有する素子としてキャパシタ11として示している。

【0036】

液晶表示パネル10は、本実施形態では、画素電極の各列の左側にそれぞれソース配線14が配設され、画素電極の各行の上側にそれぞれゲート配線15が配設される。各ソース配線14は、その一方側の端部がソースドライバ30にそれぞれ接続され、各ゲート配線15は、その一方側の端部がゲートドライバ20にそれぞれ接続されている。

【0037】

また、ソース配線14とゲート配線15との各交差部には、アクティブ素子としてTFT（Thin Film Transistor）12が設けられ、各TFT12のドレインは、当該交差部の右下に配設される画素電極に接続され、各TFT12のソースは、当該交差部を通過するソース配線14に接続され、各TFT12のゲートは、当該交差部を通過するゲート配線15に接続されている。

【0038】

ゲートドライバ20は、制御回路40から入力される後述の制御信号STVとクロック信号GCKとに基づいて、液晶表示パネル10に配設される複数のゲート配線15を、1行目から線順次に1本ずつ選択し、選択したゲート配線15を選択時電位 V_{GH} に設定す

るとともに、選択していないゲート配線 15 を非選択時電位 V_{GL} に設定する。

【0039】

ここで、液晶表示装置の観察者側から見て、1 番上側に配置されるゲート配線 15 を 1 行目と称している。また、選択時電位 V_{GH} は、ゲートオン電位とも呼ばれ、アクティブ素子として用いられている TFT 12 のドレインとソースとを導通状態にするために必要なゲートへの設定電位以上の電位であり、非選択時電位 V_{GL} は、ゲートオフ電位とも呼ばれ、前記設定電位よりも十分に低い電位である。なお、選択時電位 V_{GH} および非選択時電位 V_{GL} は、電源回路 50 からゲートドライバ 20 に供給される。

【0040】

このようにして、ゲートドライバ 20 によって、あるゲート配線 15 が選択時電位 V_{GH} に設定されると、そのゲート配線 15 に接続されている各 TFT 12 のゲートが選択時電位 V_{GH} に設定され、これにより、その各 TFT 12 において、ドレインとソースとの間が導通状態となる。その結果、その各 TFT 12 に接続されている画素電極が、当該 TFT 12 を介して対応するソース配線 14 と等電位に制御される。

【0041】

また、ゲートドライバ 20 によって、あるゲート配線 15 が非選択時電位 V_{GL} に設定されると、そのゲート配線 15 に接続されている各 TFT 12 のゲートが非選択時電位 V_{GL} に設定され、これにより、その各 TFT 12 において、ドレインとソースとの間が非導通状態となる。

【0042】

制御回路 40 は、ゲートドライバ 20 に対して、1 行目のゲート配線 15 から順次選択を開始することを指示する制御信号 STV と、選択行の切り替えを指示するクロック信号 GCK と、ゲート配線 15 の選択を許可する制御信号 OE とを入力することにより、ゲートドライバ 20 の動作を制御する。また、制御回路 40 は、ソースドライバ 30 に対して、各種の制御用の信号、データ信号 $DATA$ 、および後述する基準階調電位 $V_0 \sim V_{15}$ などを入力することにより、ソースドライバ 30 の動作を制御する。ここで、制御信号 STV は、ゲートスタートパルスとも呼ばれ、クロック信号 GCK は、ゲートクロックとも呼ばれ、制御信号 OE は、アウトプットイネーブル信号とも呼ばれる。

【0043】

階調電位生成回路 41 は、電源回路 50 から供給されるアナログ電源電位 AV_{DD} から、たとえば、コモン電極に設定されるコモン電位 V_{COM} よりも低い電位である基準階調電位 $V_0 \sim V_7$ と、コモン電位 V_{COM} よりも高い電位である基準階調電位 $V_8 \sim V_{15}$ とを生成する。基準階調電位 $V_0 \sim V_7$ は、負極性の電位であり、基準階調電位 $V_8 \sim V_{15}$ は、正極性の電位である。

【0044】

図 2 は、階調電位生成回路 41 において生成される基準階調電位 $V_0 \sim V_{15}$ を説明するための図である。階調電位生成回路 41 は、生成した基準階調電位 $V_0 \sim V_{15}$ を、ソースドライバ 30 における後述の D/A コンバータ (Digital to Analog Converter) 34 に供給する。

【0045】

ソースドライバ 30 は、シフトレジスタ 31 と、第 1 ラッチ部 32 と、第 2 ラッチ部 33 と、D/A コンバータ 34 と、バッファ回路 35 と、予備電位設定回路 36 とを含んで構成される。

【0046】

シフトレジスタ 31 には、制御回路 40 から、1 ライン分のデータ取り込みの開始を指示する信号である制御信号 STH と、データシフト用のクロック信号 CLK とが入力される。制御信号 STH は、ソーススタートパルスとも呼ばれ、クロック信号 CLK は、ドットクロックとも呼ばれる。

【0047】

ここで、液晶表示装置 1 の観察者側から見て、1 番左側に配置されるソース配線 14 を

10

20

30

40

50

1 列目とすると、シフトレジスタ 3 1 は、各ソース配線 1 4 に一対一に対応する信号出力端を有し、制御信号 S T H がハイレベルのときにクロック信号 C L K の立ち上がりエッジを検出すると、1 列目のソース配線 1 4 に対応する信号出力端からデータ読み込み指示信号を出力する。以降、シフトレジスタ 3 1 は、クロック信号 C L K の立ち上がりエッジを検出する毎に、順次、データ読み込み指示信号を出力する信号出力端を切り替える。

【0048】

第 1 ラッチ部 3 2 には、制御回路 4 0 から、データ信号 D A T A が入力されるとともに、シフトレジスタ 3 1 の各信号出力端から、データ読み込み指示信号が入力される。なお、本実施形態では、1 ライン分の画像データがシリアルに読み込まれるものとする。第 1 ラッチ部 3 2 は、シフトレジスタ 3 1 からデータ読み込み指示信号が入力されると、データ信号 D A T A から、1 ライン分の画像データのうち、そのデータ読み込み指示信号に対応する列の画素の画像データ、すなわち画素の階調を表す画素値をラッチする。

10

【0049】

第 2 ラッチ部 3 3 には、制御回路 4 0 から、制御信号 L P (ソース配線電位設定指示信号) が入力される。制御信号 L P は、ラッチパルスとも呼ばれる。このラッチパルス L P に基づいて、第 2 ラッチ部 3 3 が、第 1 ラッチ部 3 2 から 1 ライン分の画像データを読み込み、読み込んだ 1 ライン分の画像データを D/A コンバータ 3 4 に出力するタイミングが規定される。具体的には、第 2 ラッチ部 3 3 は、ラッチパルス L P の立ち下がりエッジを検出すると、第 1 ラッチ部 3 2 にラッチされている 1 ライン分の画像データを、第 1 ラッチ部 3 2 からまとめて読み込み、読み込んだ画像データ(ディジタルデータ)を D/A

20

【0050】

D/A コンバータ 3 4 には、階調電位生成回路 4 1 から基準階調電位 $V_0 \sim V_{15}$ が入力されるとともに、制御回路 4 0 から制御信号 P O L が入力される。制御信号 P O L は、極性反転信号とも呼ばれる。

【0051】

D/A コンバータ 3 4 は、各ソース配線 1 4 に一対一に対応する電位出力端を有し、第 2 ラッチ部 3 3 から出力される 1 ライン分の画像データ、すなわち 1 ラインの各画素の画素値を、階調電位生成回路 4 1 から入力された基準階調電位 $V_0 \sim V_{15}$ のうちのいずれかのアナログ電位にそれぞれ変換して、データ電位 V_D として各電位出力端から出力する。

30

【0052】

このとき、制御回路 4 0 から入力される制御信号 P O L のレベルがハイレベルである場合には、D/A コンバータ 3 4 は、奇数列目のソース配線 1 4 に対応して設けられる電位出力端からは、正極性の基準階調電位 $V_8 \sim V_{15}$ のうちのいずれかをデータ電位 V_D として出力し、偶数列目のソース配線 1 4 に対応して設けられる電位出力端からは、負極性の基準階調電位 $V_0 \sim V_7$ のうちのいずれかをデータ電位 V_D として出力する。

【0053】

一方、制御信号 P O L のレベルがローレベルである場合には、奇数列目のソース配線 1 4 に対応して設けられる電位出力端からは、負極性の基準階調電位 $V_0 \sim V_7$ のうちのいずれかをデータ電位 V_D として出力し、偶数列目のソース配線 1 4 に対応して設けられる電位出力端からは、正極性の基準階調電位 $V_8 \sim V_{15}$ のうちのいずれかをデータ電位 V_D として出力する。

40

【0054】

このように、D/A コンバータ 3 4 における各ソース配線 1 4 に対応して設けられる電位出力端からは、画素値に応じた正極性または負極性のデータ電位 V_D が出力されて、バッファ回路 3 5 に入力される。なお、D/A コンバータ 3 4 は、入力された基準階調電位 $V_0 \sim V_{15}$ を分圧して、より多くの種類の階調に応じたデータ電位 V_D を出力するように構成されていてもよい。

【0055】

50

図 3 は、本実施形態に係る液晶表示パネル 10 の駆動方式を説明するための図である。なお、図 3 において、参照符 13 は、画素電極を示しており、また、「+」を付して示す画素電極 13 は、正極性のデータ電位 V_D に設定された画素電極を示し、「-」を付して示す画素電極 13 は、負極性のデータ電位 V_D に設定された画素電極を示している。

【0056】

本実施形態では、制御回路 40 は、制御信号 POL の論理状態（ハイレベル、ローレベル）を、1 フレーム期間（1 垂直期間）毎に切り替える。したがって、あるフレームにおいては、図 3 に示すように、奇数列目のソース配線 14 に対応して設けられる画素電極 13 の電位が正極性とされるとともに、偶数列目のソース配線 14 に対応して設けられる画素電極 13 の電位が負極性電位とされ、その次のフレームにおいては、図 3 に示される状態とは極性が反転した状態、すなわち、偶数列目のソース配線 14 に対応して設けられる画素電極 13 の電位が正極性とされ、奇数列目のソース配線 14 に対応して設けられる画素電極 13 の電位が負極性とされる。このように、本実施形態では、液晶表示パネル 10 は、列ライン反転駆動される。

【0057】

バッファ回路 35 は、D/A コンバータ 34 の各電位出力端にそれぞれ接続される複数の出力回路 35a を備える。各出力回路 35a は、電位出力端をそれぞれ有し、その電位出力端を介して、D/A コンバータ 34 から入力されたデータ電位 V_D を出力する。出力回路 35a は、ボルテージフォロワによって実現される。

【0058】

予備電位設定回路 36 は、図 1 に示すように、第 1 の予備電位設定部 61 と、第 2 の予備電位設定部 62 と、第 1 の予備電位設定部 61 に接続される第 1 の予備電位設定用配線 63 と、第 2 の予備電位設定部 62 に接続される第 2 の予備電位設定用配線 64 と、ソース配線 14 ごとに設けられる複数のスイッチ 65 とを備えて構成される。なお、本実施形態では、予備電位設定回路 36 は、ソースドライバ 30 の一部として設けられているが、他の実施形態では、ソースドライバ 30 とは別個に設けられてもよい。

【0059】

予備電位設定回路 36 は、各ソース配線 14 の電位を、対応する出力回路 35a から出力される、画素値に応じたデータ電位 V_D に設定する前に、各ソース配線 14 に対して予備電位を設定するための回路である。なお、予備電位は、プリチャージ電位とも称される。

【0060】

第 1 の予備電位設定部 61 は、第 1 の予備電位設定用配線 63 の電位を、第 1 の予備電位 V_P に設定し、第 2 の予備電位設定部 62 は、第 2 の予備電位設定用配線 64 の電位を、第 2 の予備電位 V_N に設定する。

【0061】

ここで、第 1 の予備電位 V_P は、正極性のデータ電位 V_D が設定されるべきソース配線 14 に対して設定される予備電位であり、第 2 の予備電位 V_N は、負極性のデータ電位 V_D が設定されるべきソース配線 14 に対して設定される予備電位である。

【0062】

本実施形態では、第 1 の予備電位 V_P として、正極性の電位、具体的には、電源回路 50 からソースドライバ 30 に供給されるアナログ電源の電位 AV_{DD} が用いられ、第 2 の予備電位 V_N として、消費電力の最小化を考慮して、放電する仕様としてのアナログ電源の電位 AV_{SS} が用いられることが多い。

【0063】

ただし、第 1 の予備電位 V_P および第 2 の予備電位 V_N として、他の電位を用いてもよい。たとえば、第 1 の予備電位 V_P として、正極性における最大階調に対応する電位、すなわち基準階調電位 V_{15} を用い、第 2 の予備電位 V_N として、負極性における最大階調に対応する電位、すなわち基準階調電位 V_0 を用いてもよい。あるいは、第 1 の予備電位 V_P として、正極性における最大階調に対応する電位と正極性における最低階調に対応す

10

20

30

40

50

る電位との平均電位、すなわち $(V_{15} + V_8) / 2$ を用い、第2の予備電位 V_N として、負極性における最大階調に対応する電位と負極性における最低階調に対応する電位との平均電位、すなわち $(V_0 + V_7) / 2$ を用いてもよい。

【0064】

各スイッチ65は、本実施形態では、制御回路40から入力される制御信号POLおよびラッチパルスLPに基づいて、対応するソース配線14が、出力回路35aの電位出力端と電氣的に接続される状態と、第1の予備電位設定用配線63と電氣的に接続される状態と、第2の予備電位設定用配線64と電氣的に接続される状態とを切り替える。

【0065】

具体的には、各スイッチ65は、ラッチパルスLPの立ち下がりエッジが検出されると、対応するソース配線14と、出力回路35aの電位出力端とが電氣的に接続されるように動作する。これにより、ラッチパルスLPがローレベルである期間には、各ソース配線14に対し、各出力回路35aから画素値に応じた正極性または負極性のデータ電位 V_D が出力される。

【0066】

また、ラッチパルスLPの論理状態がハイレベルである場合には、制御信号POLの論理状態に応じて動作が異なる。具体的には、制御信号POLの論理状態がハイレベルであるときに、ラッチパルスLPの立ち上がりエッジが検出されると、奇数列目の各ソース配線14に対応して設けられる各スイッチ65は、該ソース配線14と第1の予備電位設定用配線63とが電氣的に接続されるように動作し、偶数列目の各ソース配線14に対応して設けられる各スイッチ65は、該ソース配線14と第2の予備電位設定用配線64とが電氣的に接続されるように動作する。

【0067】

これにより、奇数列目の各ソース配線14については、正極性のデータ電位 V_D が設定される直前に、第1の予備電位 V_P に設定され、偶数列目の各ソース配線14については、負極性のデータ電位 V_D が設定される直前に、第2の予備電位 V_N に設定されることとなる。

【0068】

一方、制御信号POLの論理状態がローレベルであるときに、ラッチパルスLPの立ち上がりエッジが検出されると、奇数列目の各ソース配線14に対応して設けられる各スイッチ65は、該ソース配線14と第2の予備電位設定用配線64とが電氣的に接続されるように動作し、偶数列目の各ソース配線14に対応して設けられる各スイッチ65は、該ソース配線14と第1の予備電位設定用配線63とが電氣的に接続されるように動作する。

【0069】

これにより、奇数列目の各ソース配線14については、負極性のデータ電位 V_D が設定される直前に、第2の予備電位 V_N に設定され、偶数列目の各ソース配線14については、正極性のデータ電位 V_D が設定される直前に、第1の予備電位 V_P に設定されることとなる。

【0070】

図4は、本実施形態に係る液晶表示装置1における動作の例を示すタイミングチャートである。図4(1)は、制御回路40からゲートドライバ20に入力されるクロック信号GCKを示し、図4(2)は、制御回路40からゲートドライバ20に入力される制御信号STVを示し、図4(3)は、制御回路40からゲートドライバ20に入力される制御信号OEを示している。

【0071】

また、図4(4)は、1行目のゲート配線15における電位の変化を示し、図4(5)は、2行目のゲート配線15における電位の変化を示し、図4(6)は、3行目のゲート配線15における電位の変化を示している。

【0072】

さらに、図 4 (7) は、制御回路 40 からソースドライバ 30 に入力されるラッチパルス LP を示し、図 4 (8) は、あるフレームにおいて、画素電極の電位が正極性の電位とされるある列に対応して設けられるソース配線 14 における電位の変化の一例を示している。

【0073】

制御回路 40 は、1 フレーム期間の開始時に、制御信号 STV をハイレベル (H) にし、他の期間では制御信号 STV をローレベル (L) にする。すなわち、制御回路 40 は、制御信号 STV をハイレベルにすることで、フレーム期間の開始を通知する。

【0074】

さらに、制御回路 40 は、制御信号 STV の立ち下がりエッジのタイミングよりも後において、1 水平期間の開始タイミングの直前、すなわちクロック信号 GCK の立ち上がりエッジの直前の予め定める期間だけ、制御信号 OE をハイレベル (H) にし、他の期間では制御信号 OE をローレベル (L) にする。制御信号 OE は、制御信号 STV の立ち下がりエッジのタイミングよりも後において、クロック信号 GCK の立ち上がり一致して、ハイレベルからローレベルに立ち下がる。

【0075】

この制御信号 OE は、ローレベルであるときに、ゲートドライバ 20 によるゲート配線 15 の選択を許可し、ハイレベルであるときに、ゲートドライバ 20 の出力端子をマスキングして、ゲート配線 15 を選択できなくする信号である。すなわち、制御信号 OE がローレベルのときにだけ、ゲートドライバ 20 の出力端子から選択時電位 V_{GH} が出力可能となる。

【0076】

図 4 (1) ~ 図 4 (6) に示すように、ゲートドライバ 20 は、制御信号 STV がハイレベルである期間において、クロック信号 GCK の立ち上がりエッジを検出すると、1 行目のゲート配線 15 を選択し、選択した 1 行目のゲート配線 15 の電位を選択時電位 V_{GH} に設定する。そして、制御信号 OE の立ち上がりエッジが検出されると、1 行目のゲート配線 15 が選択できない状態となり、すなわち、1 行目のゲート配線 15 の電位を選択時電位 V_{GH} に設定できなくなる。これにより、1 行目のゲート配線 15 の電位は、選択時電位 V_{GH} から、ゲートが開かない電位にまで低下する。

【0077】

そして、ゲートドライバ 20 は、クロック信号 GCK の立ち上がりエッジを検出すると、1 行目のゲート配線 15 の電位を非選択時電位 V_{GL} に設定するとともに、2 行目のゲート配線 15 の電位を選択時電位 V_{GH} に設定する。ゲートドライバ 20 は、2 行目以降のゲート配線 15 についても、上記 1 行目のゲート配線 15 と同様に駆動する。すなわち、ゲートドライバ 20 は、各ゲート配線 15 の電位を、予め定める選択期間 U ずつ、線順次に選択時電位 V_{GH} に設定する。ここで、予め定める選択期間 U は、クロック信号 GCK の 1 周期である 1 水平期間から、制御信号 OE がハイレベルにされる期間を差し引いた期間である。

【0078】

一方、ソースドライバ 30 は、ラッチパルス LP の立ち下がりエッジを検出すると、各ソース配線 14 の電位を、正極性または負極性のデータ電位 V_D に設定する動作（以下、「電位設定動作」と称する場合がある）を開始する。ラッチパルス LP は、図 4 (7) に示すように、ゲート配線 15 の電位が選択時電位 V_{GH} に設定されるタイミング、すなわち選択期間 U の開始タイミングから予め定める時間 t_0 が経過した時点で、ハイレベルからローレベル (L) に立ち下がるように設定されている。

【0079】

したがって、各ソース配線 14 の電位は、ラッチパルス LP の立ち下がりエッジのタイミングから時間の経過とともに、当該ソース配線 14 に設定されるべき正極性または負極性のデータ電位 V_D へ遷移していく。

【0080】

本実施形態では、前記のように、各ソース配線14を、正極性または負極性のデータ電位 V_D に設定する動作を開始する直前におけるラッチパルスLPがハイレベルである期間Wを、予備電位設定回路36によって、正極性のデータ電位 V_D が設定されるべき各ソース配線14を、図4(8)に示すように、正極性の電位である第1の予備電位 V_P に設定し、負極性のデータ電位 V_D が設定されるべき各ソース配線14を、負極性の電位である第2の予備電位 V_N に設定する期間としている。以下、この期間Wを、プリチャージ期間Wと称する。

【0081】

したがって、ラッチパルスLPの立ち下がりエッジが検出されると、正極性のデータ電位 V_D が設定されるべき各ソース配線14については、第1の予備電位 V_P から設定されるべき正極性のデータ電位 V_D へ遷移し、負極性のデータ電位 V_D が設定されるべき各ソース配線14については、第2の予備電位 V_N から設定されるべき負極性のデータ電位 V_D へ遷移していく。

【0082】

これにより、選択時電位 V_{GH} に設定されているゲート配線15に接続されている各画素電極が、対応するソース配線14とそれぞれ等電位になると、コモン電極に設定されているコモン電位 V_{COM} と、画素電極に設定された正極性または負極性のデータ電位 V_D との電位差に応じて、画素電極とコモン電極との間の液晶の状態が規定され、その画素における表示状態が定められる。

【0083】

従来技術に係る液晶表示装置では、図5(7)に示すように、ゲート配線15の電位が選択時電位 V_{GH} に設定されるタイミングよりも後のタイミングで、各ソース配線の電位を予備電位に設定する動作を開始するように構成されているが、本実施形態に係る液晶表示装置1では、図4(8)に示すように、ゲート配線15の電位が選択時電位 V_{GH} に設定されるタイミングよりも前のタイミングで、より詳細には、制御信号OEがハイレベルとされている期間において、各ソース配線14を第1の予備電位 V_P または第2の予備電位 V_N に設定する動作を開始するように構成されている。

【0084】

これにより、図4(8)に示すように、あるフレームにおいて、画素電極の電位が正極性とされるある列に対応して設けられるソース配線14に着目したとき、隣接する2つの選択期間 U_i 、 U_{i+1} のそれぞれにおいて電位設定動作によって正極性のデータ電位 V_D にされる場合に、その隣接する2つの選択期間 U_i 、 U_{i+1} のうちの時間的に後の選択期間 U_{i+1} の開始タイミングよりも前に、そのソース配線14に対して第1の予備電位 V_P に設定する動作が開始されることとなる。

【0085】

したがって、隣接する2つの選択期間 U_i 、 U_{i+1} のそれぞれにおいて電位設定動作によって正極性のデータ電位 V_D にされるソース配線14において、従来技術のように、隣接する2つの選択期間 U_i 、 U_{i+1} のうちの時間的に先の選択期間 U_i において設定された正極性のデータ電位 V_D が、時間的に後の選択期間 U_{i+1} の開始タイミングの直後に、その選択期間 U_{i+1} において正極性のデータ電位 V_D にされる画素電極が保持している1フレーム前の負極性のデータ電位 V_D に起因して、負極性の電位にまで低下してしまうことを防止することができる。

【0086】

すなわち、本実施形態では、隣接する2つの選択期間 U_i 、 U_{i+1} のそれぞれにおいて電位設定動作によって正極性のデータ電位 V_D にされるソース配線14に対して、プリチャージ期間Wにおいて、時間的に先の選択期間 U_i において設定された正極性のデータ電位 V_D から第1の予備電位 V_P へ遷移させるための電流が供給されることとなるので、負極性の電位から正極性の電位である第1の予備電位 V_P へ遷移させている従来技術と比較して、過度の電流を供給する必要をなくすることができる。これにより、液晶表示装置1における消費電力をさらに低下させることができる。

10

20

30

40

50

【0087】

また、前記のように、制御信号OEがハイレベルとされている期間において、各ソース配線14を第1の予備電位 V_P または第2の予備電位 V_N に設定する動作が開始されるように、すなわちラッチパルスLPが立ち上がるように構成されているので、第1の予備電位 V_P または第2の予備電位 V_N が、直前の行の画素電極に書き込まれてしまうことを確実に防止することができる。

【0088】

なお、選択期間Uが開始されてから電位設定動作が開始されるまでの間の時間 t_0 は、通常、 $2\mu\text{sec}$ （マイクロ秒）に設定されることから、プリチャージ期間Wとしては、 $2\mu\text{sec}$ よりも長く、 $5\mu\text{sec}$ よりも短い時間とするのが好ましい。

10

【0089】

本実施形態では、制御回路40からソースドライバ30へ入力されるラッチパルスLPを利用して、予備電位設定回路36が、各ソース配線14の電位を、第1の予備電位 V_P または第2の予備電位 V_N に設定する動作を開始するように構成されているが、他の実施形態では、予備電位設定回路36の動作を制御するための専用の信号が、制御回路40から予備電位設定回路36に入力されてもよい。

【0090】

また、本実施形態では、列ライン反転駆動方式の液晶表示装置1を例に挙げて説明しているが、隣り合う列同士で極性が異なるようにしつつ、各列では2行ごとに極性を切り替える2ラインドット反転駆動方式の液晶表示装置や、フレーム内では全て同一の極性とし、フレームごとに極性を切り替えるフレーム反転駆動方式の液晶表示装置に対しても、本発明を適用することにより、同様の効果を得ることができる。

20

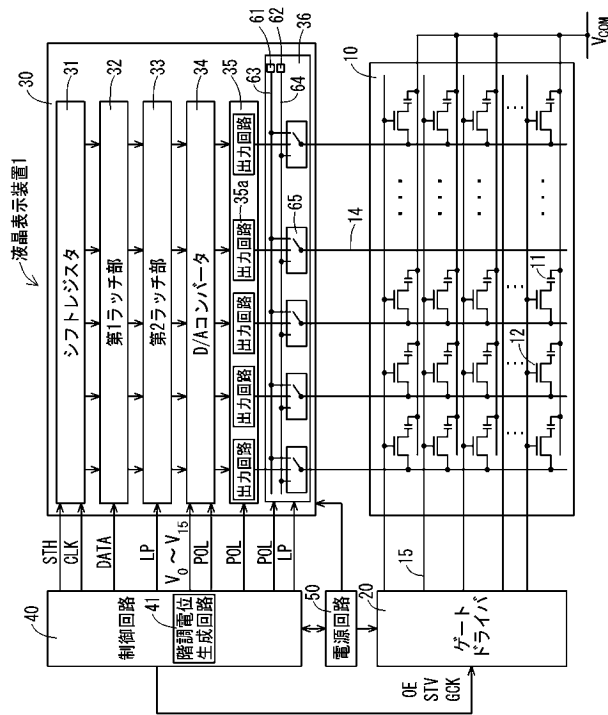
【符号の説明】

【0091】

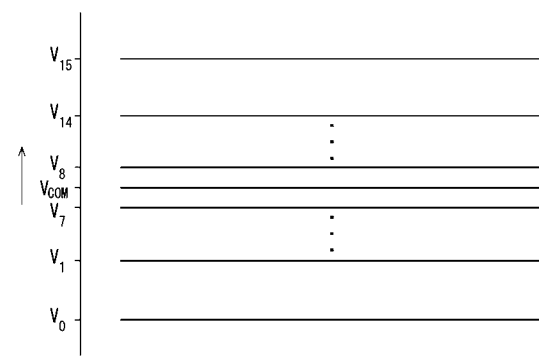
- 1 液晶表示装置
- 10 液晶表示パネル
- 13 ゲート配線
- 14 ソース配線
- 20 ゲートドライバ
- 30 ソースドライバ
- 36 予備電位設定回路

30

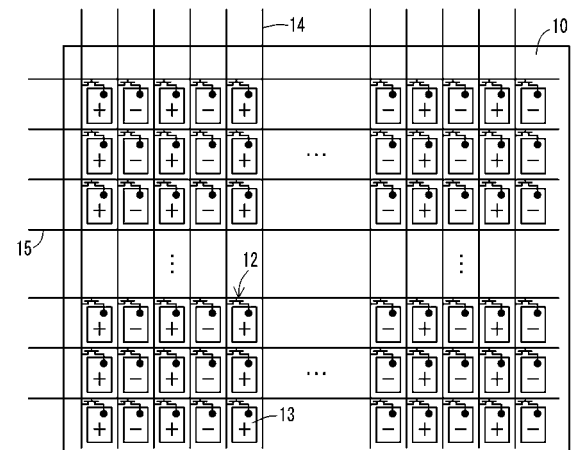
【図 1】



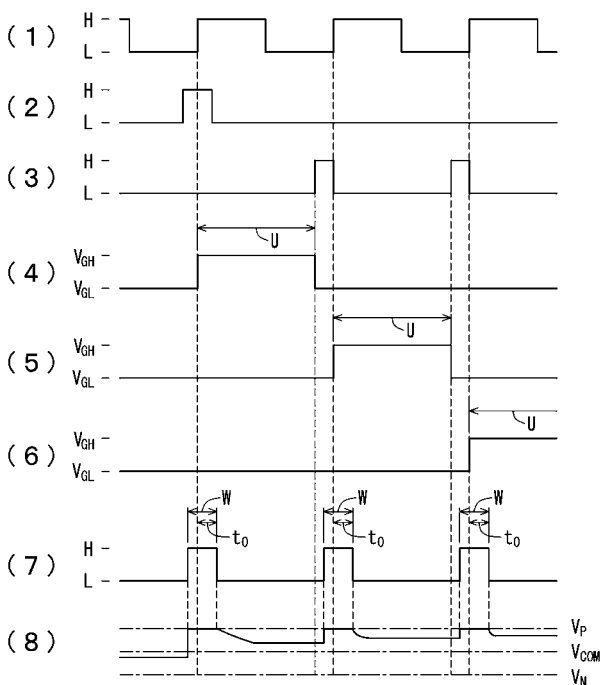
【図 2】



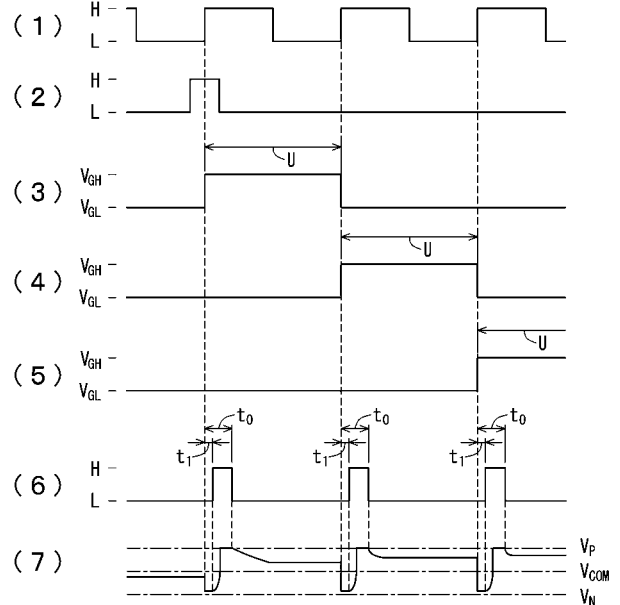
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 1 2 J
	G 0 9 G 3/20	6 2 1 F
	G 0 2 F 1/133	5 5 0

Fターム(参考) 5C080 AA10 BB05 DD26 FF11 FF12 JJ02 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015036749A	公开(公告)日	2015-02-23
申请号	JP2013168157	申请日	2013-08-13
[标]申请(专利权)人(译)	京瓷显示器株式会社		
申请(专利权)人(译)	京瓷显示器有限公司		
[标]发明人	権藤 賢二		
发明人	権藤 賢二		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.623.D G09G3/20.621.B G09G3/20.623.C G09G3/20.612.J G09G3/20.621.F G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZC07 2H193/ZC12 2H193/ZC16 2H193/ZC25 2H193/ZD23 2H193/ZE06 2H193/ZF05 2H193/ZF21 2H193/ZF31 2H193/ZQ16 5C006/AC24 5C006/AC26 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF51 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC13 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF25 5C006/FA12 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

为了减少液晶显示装置中的功耗，在该液晶显示装置中，每帧像素的极性反转并且在一帧中的多行上像素的极性相同。液晶显示装置（1）包括：液晶显示面板（10），用于在每个选择期间（U）将各栅极布线（15）的电位依次按行顺序设定为选择电位的栅极驱动器（20），以及每个选择期间（U）的选择期间（U）。源极驱动器30开始根据像素值将每个源极布线14的电位设置为数据电位的操作，并且应该通过该操作将源极布线14设置为正数据电位，在即将开始操作之前，在两个相邻的选择时段U中的每一个中，用于设置正极性的初始电势的待机电势设置电路36和要被设置为正数据电势的源极布线14，控制电路40控制预备电位设置电路36，使得在随后的选择时段U的开始时刻之前开始对预备电位的设置。[选择图]图4

