

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-219686

(P2014-219686A)

(43) 公開日 平成26年11月20日(2014.11.20)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 641C	5C006
G02F 1/133 (2006.01)	G09G 3/20 612U	5C080
	G09G 3/20 641P	
	G09G 3/20 650M	
審査請求 未請求 請求項の数 9 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2014-137469 (P2014-137469)
 (22) 出願日 平成26年7月3日(2014.7.3)
 (62) 分割の表示 特願2013-59663 (P2013-59663) の分割
 原出願日 平成21年9月1日(2009.9.1)

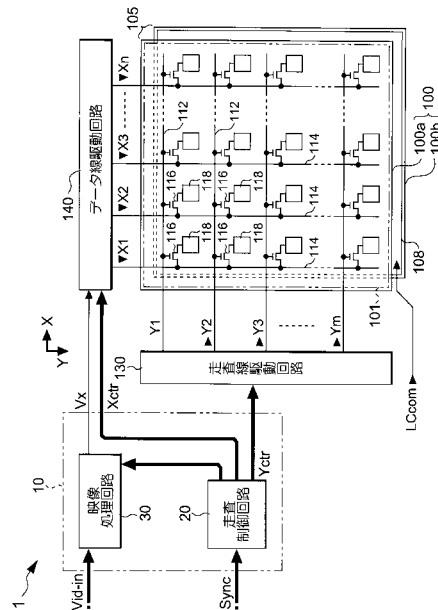
(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100127661
 弁理士 官坂 一彦
 (74) 代理人 100116665
 弁理士 渡辺 和昭
 (72) 発明者 保坂 宏行
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 飯坂 英仁
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 最終頁に続く

(54) 【発明の名称】 映像処理回路、その処理方法、液晶表示装置および電子機器

(57) 【要約】

【課題】横電界の影響による表示品位の低下を抑える。
 【解決手段】液晶パネル100は、素子基板100aに設けられた画素電極118と対向基板100bに設けられた共通電極108とにより液晶105が挟持された液晶素子を有する。映像処理回路30は、ノーマリーブラックモードにおいて、映像信号Vid-inで指定される階調レベルに対応する液晶素子の印加電圧が閾値V_{th1}を下回る暗画素と、閾値V_{th2}以上である明画素との境界を検出するとともに、検出した境界に接する暗画素への印加電圧が電圧V_cを下回る場合に、当該暗画素への印加電圧を、映像信号で指定される階調レベルに対応する印加電圧から、当該電圧V_cに置換する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を検出する境界検出部と、

前記境界に接する第 1 画素に対し、入力した映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から前記第 3 電圧に補正する補正部と、
を備えることを特徴とする映像処理回路。

10

【請求項 2】

前記補正部は、

検出された境界に接する第 1 画素の印加電圧が前記第 3 電圧以上である場合に、当該第 1 画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧とすることを特徴とする請求項 1 に記載の映像処理回路。

【請求項 3】

前記境界検出部は、

前記第 1 画素と前記第 2 画素とが水平方向に隣接するときを前記境界として検出することを特徴とする請求項 1 または 2 に記載の映像処理回路。

20

【請求項 4】

前記境界検出部は、

入力した映像信号と、当該入力した映像信号を 1 画素分遅延した信号との比較によって前記境界を検出する

ことを特徴とする請求項 3 に記載の映像処理回路。

【請求項 5】

前記補正部は、

前記境界に接する第 1 画素に対して前記境界とは反対側に位置する 1 以上の画素について、その印加電圧が前記第 3 電圧を下回る場合に、当該画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から前記第 3 電圧に補正する

ことを特徴とする請求項 1 に記載の映像処理回路。

30

【請求項 6】

前記第 3 電圧は、1.5 ボルト以下であることを特徴とする

請求項 1 乃至 5 のいずれかに記載の映像処理回路。

【請求項 7】

画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を検出し、

前記境界に接する第 1 画素に対し、入力した映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から前記第 3 電圧に補正する

ことを特徴とする映像処理方法。

40

【請求項 8】

第 1 基板に複数の画素の各々に対応して設けられた画素電極と第 2 基板に設けられた共通電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

画素毎に前記液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを、有し、前記映像処理回路は、

入力した映像信号で規定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧

50

が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を検出する境界検出部と、

前記境界に接する第 1 画素に対し、入力した映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から前記第 3 電圧に補正する補正部と、を備えることを特徴とする液晶表示装置。

【請求項 9】

請求項 8 に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0002】

液晶パネルは、一定の間隙に保たれた一対の基板によって液晶を挟持した構成である。詳細には、液晶パネルは、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板にコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。画素電極とコモン電極との間において、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが、表示制御に寄与する、ということが出来る。

20

【0003】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えば V A (Vertical Alignment) 方式や、T N (Twisted Nematic) 方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

30

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開口部）の形状を規定するなどして液晶パネルの構造を工夫する技術（例えば特許文献 1 参照）や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献 2 参照）などが提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 6 - 3 4 9 6 5 号公報（図 1）

【特許文献 2】特開 2 0 0 9 - 6 9 6 0 8 号公報（図 2）

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、液晶パネルの構造によってリバースチルトドメインを低減する技術では、開口率が低下しやすく、また、構造を工夫しないで既に製作された液晶パネルに適用することができない、という欠点がある。一方、設定値以上の映像信号をクリップする技術では、表示される画像の明るさが設定値に制限されてしまう、という欠点もある。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【課題を解決するための手段】

50

【0006】

上記目的を達成するために、本発明に係る映像処理回路にあっては、画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、入力した映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を検出する境界検出部と、前記境界に接する第1画素に対し、入力した映像信号で指定される印加電圧が前記第1電圧よりも低い第3電圧を下回る場合、当該第1画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から前記第3電圧に補正する補正部と、を備えることを特徴とする。本発明によれば、液晶パネル100の構造を変更する必要がないので、開口率の低下を招くことはない。また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。さらに、検出した境界に接する第1画素に対し、入力した映像信号で指定される印加電圧が第3電圧を下回る場合、当該第1画素に対応する液晶素子への印加電圧を、第3電圧に補正するので、他の画素について補正の影響が及ばない。このため、表示される画像の明るさが設定値に制限されてしまうこともない。

10

【0007】

本発明において、前記補正部は、検出された境界に接する第1画素の印加電圧が前記第3電圧以上である場合に、当該第1画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧とすることが好ましい。これにより、リバースチルトドメインが発生しやすい画素について、補正による明るさの変化を知覚されにくくすることが可能となる。

20

また、本発明において、前記境界検出部は、前記第1画素と前記第2画素とが水平方向に隣接するときを前記境界として検出する構成が好ましい。垂直または水平方向に隣接するときを境界として検出する構成の方が確実にリバースチルトドメインを低減することができるが、回路規模が複雑化を招きやすい。このため、映像信号の供給順序を考慮すると、水平方向に隣接するときを境界として検出する構成の方が回路規模の複雑化を抑えやすくなる。特に、前記境界検出部は、入力した映像信号と、当該入力した映像信号を1画素分遅延した信号との比較によって前記境界を検出する構成とするのが好ましい。

本発明において、前記補正部は、前記境界に接する第1画素に対して前記境界とは反対側に位置する1以上の画素について、その印加電圧が前記第3電圧を下回る場合に、当該画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から前記第3電圧に補正することが好ましい。第3電圧に補正される第3電圧の印加期間が長くなるので、より確実にリバースチルトドメインの発生を低減させることが可能となる。前記第3電圧としては1.5ボルト以下であることが好ましい。補正による明るさの変化をほとんど知覚させず、かつ、横電界の影響を受けにくくなるためである。

30

なお、本発明は、映像処理回路のほか、映像処理方法、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

【0008】

【図1】第1実施形態に係る映像処理回路を適用した液晶表示装置を示す図である。

40

【図2】同液晶表示装置における液晶素子の等価回路を示す図である。

【図3】同映像処理回路の構成を示す図である。

【図4】同液晶表示装置における表示特性を示す図である。

【図5】同液晶表示装置における表示動作を示す図である。

【図6】同映像処理回路における補正処理を示す図である。

【図7】同映像処理回路における別の補正処理を示す図である。

【図8】第2実施形態に係る映像処理回路の構成を示す図である。

【図9】同映像処理回路における補正処理の内容を示す図である。

【図10】同映像処理回路における補正動作を示す図である。

【図11】同映像処理回路における補正動作を示す図である。

50

【図 1 2】同映像処理回路における補正動作を示す図である。

【図 1 3】同映像処理回路における補正動作を示す図である。

【図 1 4】液晶表示装置を適用したプロジェクターを示す図である。

【図 1 5】横電界の影響による表示上の不具合等を示す図である。

【発明を実施するための形態】

【0009】

< 第 1 実施形態 >

以下、本発明の実施形態について図面を参照して説明する。

図 1 は、本実施形態に係る映像処理回路を適用した液晶表示装置の全体構成を示すブロック図である。

10

この図に示されるように、液晶表示装置 1 は、制御回路 10 と、液晶パネル 100 と、走査線駆動回路 130 と、データ線駆動回路 140 とを有する。

このうち、制御回路 10 には、映像信号 Vid-in が上位装置から同期信号 Sync に同期して供給される。映像信号 Vid-in は、液晶パネル 100 における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号 Sync に含まれる垂直走査信号、水平走査信号およびドットクロック信号（図 1 ではいずれも図示省略）にしたがった走査の順番で供給される。

なお、映像信号 Vid-in は階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号 Vid-in は液晶素子の印加電圧を指定するものといって差し支えない。

20

【0010】

制御回路 10 は、走査制御回路 20 と映像処理回路 30 とにより構成され、このうち、走査制御回路 20 は、各種の制御信号を生成して、同期信号 Sync に同期して各部を制御する。映像処理回路 30 は、詳細については後述するが、デジタルの映像信号 Vid-in を処理して、アナログのデータ信号 Vx を出力するものである。

【0011】

液晶パネル 100 は、素子基板（第 1 基板）100a と対向基板（第 2 基板）100b とが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶 105 が挟持された構成となっている。

素子基板 100a のうち、対向基板 100b との対向面には、複数 m 行の走査線 112 が図において X（横）方向に沿って設けられる一方、複数 n 列のデータ線 114 が、Y（縦）方向に沿って、かつ、各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

30

なお、本実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、...、(m-1)、m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、...、(n-1)、n 列目という呼び方をする場合がある。

【0012】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、n チャネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。

40

一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。そして、コモン電極 108 には、図示省略した回路によって電圧 LCcom が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側であるので、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 については、破線で示すべきであるが、見難くなるので、それぞれ実線で示している。

【0013】

液晶パネル 100 における等価回路は、図 2 に示される通りとなり、走査線 112 とデ

50

ータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成となる。

また、図 1 では省略したが、液晶パネル 100 における等価回路では、実際には図 2 に示されるように、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。この補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

ここで、走査線 112 が H レベルになると、当該走査線にゲート電極が接続された TFT 116 がオンとなり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に階調に応じた電圧のデータ信号を供給すると、当該データ信号は、オンした TFT 116 を介して画素電極 118 に印加される。走査線 112 が L レベルになると、TFT 116 はオフするが、画素電極に印加された電圧は、液晶素子 120 の容量性および補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 およびコモン電極 108 によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。

液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が表示領域 101 となる。なお、本実施形態において、液晶 105 を VA 方式として、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0014】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Yctr にしたがって、1、2、3、...、m 行目の走査線 112 に、走査信号 Y1、Y2、Y3、...、Ym を供給する。詳細には、走査線駆動回路 130 は、図 5 の (a) に示されるように、走査線 112 をフレームにわたって 1、2、3、...、m 行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧 V_H (H レベル) とし、それ以外の走査線への走査信号を非選択電圧 V_L (L レベル) とする。

なお、フレームとは、液晶パネル 100 を駆動することによって、画像の 1 コマ分を表示させるのに要する期間をいい、同期信号 Sync に含まれる垂直走査信号の周波数が 60 Hz であれば、その逆数である 16.7 ミリ秒である。

【0015】

データ線駆動回路 140 は、映像処理回路 30 から供給されるデータ信号 V_x を、走査制御回路 20 による制御信号 Xctr にしたがって 1 ~ n 列目のデータ線 114 にデータ信号 $X_1 \sim X_n$ としてサンプリングする。

なお、本説明において電圧については、液晶素子 120 の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子 120 の印加電圧は、コモン電極 108 の電圧 LCcom と画素電極 118 との電位差であり、他の電圧と区別するためである。

【0016】

さて、本実施形態において、液晶素子 120 の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、図 4 の (a) に示されるような V - T 特性で表される。このため、液晶素子 120 を、映像信号 Vid-in で指定された階調レベルに応じた透過率とさせるには、当該階調レベルに応じた電圧を、該液晶素子に印加すれば良いはずである。

しかしながら、液晶素子 120 の印加電圧を、映像信号 Vid-in で指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生してしまう場合がある。

【0017】

この不具合は、液晶素子 120 において挟持された液晶分子が不安定な状態にあるときに、横電界の影響を受けて乱れる結果、以後、印加電圧に応じた配向状態になりにくくなるのが原因の 1 つとして考えられている。

液晶素子 120 への印加電圧が、ノーマリーブラックモードにおける黒レベルの電圧 V

10

20

30

40

50

bk以上であって閾値 V_{th1} (第1電圧) を下回る電圧範囲 A にあると、縦電界による規制力が配向膜による規制力よりもわずかに上回る程度であるため、液晶分子の配向状態が乱れやすい。これが、液晶分子が不安定な状態にあるときである。

便宜的に、液晶素子の印加電圧が電圧範囲 A にある液晶素子の透過率範囲 (階調範囲) を「a」とする。

【0018】

一方、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合であり、これは、表示しようとする画像において黒レベルまたは黒レベルに近い暗画素と、白レベルまたは白レベルに近い明画素と、が隣接する場合である。

このような暗画素および明画素のうち、暗画素とは、図4の(a)のようなノーマリーブラックモードでは、印加電圧が電圧範囲 A にある液晶素子 120 である。この暗画素に対して横電界を与えるのが明画素である。この明画素を特定するため、明画素を、印加電圧が閾値 V_{th2} (第2電圧) 以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲 B にある液晶素子 120 とする。便宜的に、液晶素子の印加電圧が電圧範囲 B にある液晶素子の透過率範囲 (階調範囲) を「b」とする。

なお、ノーマリーブラックモードにおいて、閾値 V_{th1} は、液晶素子の相対透過率を 10% とさせる光学的閾値電圧であり、閾値 V_{th2} は、液晶素子の相対透過率を 90% とさせる光学的飽和電圧と考えてよい。

【0019】

印加電圧が電圧範囲 A にある液晶素子は、電圧範囲 B にある液晶素子に隣接したときに、横電界を受けてリバースチルトドメインが発生しやすい状況にあるということが出来る。ただし、確実にリバースチルトドメインが発生するという事まではいえない。

なお逆に、電圧範囲 B にある液晶素子は、電圧範囲 A にある液晶素子に隣接しても、縦電界の影響が支配的であるために安定状態にあるので、電圧範囲 A の液晶素子のようにリバースチルトドメインが発生することはない。

【0020】

リバースチルトドメインに起因する表示上の不具合の例について説明すると、映像信号 Vid-in で示される画像が例えば図15の(a)に示されるように、白画素を背景として黒画素の領域がフレーム毎に1画素ずつ例えば左方向に移動する場合、黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にはならない、という一種の尾引き現象として顕在化する。同図においては、説明の便宜上、フレーム画像のうち、1ラインの境界付近を抜き出している。

この現象の原因の1つとしては、白画素と黒画素とが隣接したときに、これらの画素同士の横電界が強くなって、当該黒画素においてリバースチルトドメインが発生しやすい状態になるとともに、この状態の領域が、黒画素の移動に伴って連続的となるためである考えられる。

なお、白画素を背景として黒画素の領域がフレーム毎に2画素以上ずつ移動する場合、この尾引き現象は顕在化しない、または、視認されにくい。この理由は、次のように考えられる。あるフレームにおいて、白画素と黒画素とが隣接したときに、該黒画素においてリバースチルトドメインが発生しやすい状態にはなるが、この状態の領域は、黒画素が2画素以上移動するので、非連続となるためである、と考えられる。

【0021】

このようなリバースチルトドメインに起因する表示上の不具合の発生を抑えるためには、第1に、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接するときであっても、液晶パネル 100 では、暗画素と明画素とが隣接しないようにすることが重要となる。

液晶パネル 100 において暗画素と明画素とが隣接しないようにするためには、ノーマリーブラックモードにおいて暗画素に対応する液晶素子の印加電圧を高くすれば良いが、これは、映像信号 Vid-in で規定される階調レベルを無視して、明画素に隣接する暗画素の黒レベルを明るくすることを意味する。このため、第2に、明画素に隣接する暗画素に

10

20

30

40

50

対応する液晶素子の印加電圧については、黒レベルの変化ができるだけ知覚されないように補正することが重要となる。

一方、印加電圧が電圧範囲 A にある液晶素子（暗画素）が、電圧範囲 B にある液晶素子（明画素）に隣接しても、リバースチルトドメインが確実に発生するということまではいえない。

【0022】

そこで、本実施形態では、リバースチルトドメインに起因する表示上の不具合の発生を抑えるためには、まず、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接する場合に、リバースチルトドメインが発生しやすい状況である、として当該暗画素を補正候補に挙げ、次に、補正候補として挙げた当該暗画素において液晶素子の印加電圧が Vc を下回るような階調レベルであるときに、当該暗画素における液晶素子に電圧 Vc を強制的に印加する構成、詳細には後述するように当該暗画素の階調レベルを印加電圧 Vc に相当する階調レベル c に補正する（置換する）構成とした。

ここで、VA 方式における液晶分子は、液晶素子の印加電圧がゼロのときに基板面に対して垂直方向となるが、電圧 Vc は、閾値 Vth1 よりも低く、液晶分子に初期傾斜角を与える程度の電圧であって、電圧 Vc 付近での電圧変化に対して、透過率の変化をほとんど知覚させない程度の電圧である。

なお、電圧 Vc は、ノーマリーブラックモードの黒レベル近傍において透過率変化をほとんど知覚させないという観点からいえば、0 ~ 1.5 ボルトの範囲であるが、液晶分子が傾斜し始める電圧という観点からいえば、1.5 ボルトである。したがって、電圧 Vc としては、1.5 ボルト以下であることが好ましい。

【0023】

本実施形態において、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接する場合を検出するとともに、当該暗画素における液晶素子の印加電圧を電圧が Vc を下回らせる階調レベルであるときに該暗画素の階調レベルを階調レベル c に補正する構成が、図 1 における映像処理回路 30 である。

【0024】

そこで次に、映像処理回路 30 の詳細について図 3 を参照して説明する。

この図に示されるように、映像処理回路 30 は、境界検出部 302、遅延回路 312、補正部 314 および D/A 変換器 316 を有する。

このうち、遅延回路 312 は、上位装置から供給される映像信号 Vid-in を蓄積して、所定時間経過後に読み出して映像信号 Vid-d として出力するものであり、FIFO (Fast In Fast Out : 先入れ先出し) メモリーや多段のラッチ回路などにより構成される。なお、遅延回路 312 における蓄積および読出は、走査制御回路 20 によって制御される。

【0025】

境界検出部 302 は、本実施形態においては、検出部 304 と判別部 306 とを有する。このうち、検出部 304 は、第 1 に、映像信号 Vid-in で示されるフレーム画像を解析して、階調範囲 a にある画素と階調範囲 b にある画素とが垂直または水平方向で隣接する部分があるか否かを判別し、第 2 に、隣接する部分があると判別したとき、その隣接部分である境界（エッジ）を検出する。

なお、ここでいう境界とは、あくまでも階調範囲 a にある暗画素と階調範囲 b にある明画素とが隣接する部分をいう。このため、例えば階調範囲 a にある画素と、階調範囲 a でもなく階調範囲 b でもない別の階調範囲 d にある画素とが隣接する部分や、階調範囲 b にある画素と階調範囲 d にある画素とが隣接する部分については、境界として扱わない。

【0026】

判別部 306 は、遅延して出力された映像信号 Vid-d で示される画素が検出部 304 で検出された境界に接している暗画素であるか否かを判別して、その判別結果が「Yes」である場合に出力信号のフラグ Q を例えば「1」とし、その判別結果が「No」であれば「0」とする。

なお、検出部 304 は、ある程度の映像信号を蓄積してからでないと、表示すべき画像

10

20

30

40

50

における垂直または水平方向にわたって境界を検出することができない。このため、上位装置からの映像信号 Vid-in の供給タイミングを調整する意味で、遅延回路 312 が設けられている。

上位装置から供給される映像信号 Vid-in のタイミングと、遅延回路 312 から供給される映像信号 Vid-d のタイミングとは異なるので、厳密に言えば、両者の水平走査期間等については一致しないことになるが、以降については特に区別しないで説明する。

また、検出部 304 において供給を検出するための映像信号 Vid-in の蓄積は、走査制御回路 20 によって制御される。

【0027】

補正部 314 は、判別部 306 から供給されるフラグ Q が「1」である場合に、映像信号 Vid-d で指定される階調レベルが c よりも暗いレベルを指定していれば、階調レベル c の映像信号に置換して、映像信号 Vid-out として出力するものである。

なお、補正部 314 は、判別部 306 から供給されるフラグ Q が「1」である場合であっても、映像信号 Vid-d で指定される階調レベルが c 以上の明るいレベルを指定しているとき、および、フラグ Q が「0」であるとき、映像信号 Vid-d で指定される階調レベルを補正することなく映像信号 Vid-out として出力する。

【0028】

D/A 変換器 316 は、デジタルデータである映像信号 Vid-out を、アナログのデータ信号 Vx に変換する。

液晶 105 に直流成分が印加されるのを防止するため、データ信号 Vx の電圧は、ビデオ振幅中心である電圧 Vcnt に対して高位側の正極性電圧と低位側の負極性電圧とに例えばフレーム毎に交互に切り替えられる。

なお、コモン電極 108 に印加される電圧 LCcom は、電圧 Vcnt とほぼ同電圧と考えてよいが、n チャンネル型の TFT 116 のオフリーク等を考慮して、電圧 Vcnt よりも低位となるように調整されることがある。

【0029】

この映像処理回路 30 によれば、映像信号 Vid-d で示される画素が境界に接する暗画素であって、かつ、その階調レベルが、c よりも暗いレベルを指定している場合に、本実施形態では、フラグ Q が「1」となるので、当該映像信号 Vid-d で示される画素の階調レベルは、c に置換されて、映像信号 Vid-out として出力される。

一方、映像信号 Vid-d で示される画素が境界に接している暗画素でない場合、または、接している場合であっても、その階調レベルが c 以上の明るいレベルを指定している場合に、本実施形態ではフラグ Q が「0」となるので、階調レベルが補正されることなく、映像信号 Vid-d が、映像信号 Vid-out として出力される。

【0030】

液晶表示装置 1 の表示動作について説明すると、上位装置からは、映像信号 Vid-in が、フレームにわたって 1 行 1 列 ~ 1 行 n 列、2 行 1 列 ~ 2 行 n 列、3 行 1 列 ~ 3 行 n 列、...、m 行 1 列 ~ m 行 n 列の画素の順番で、供給される。映像処理回路 30 は、映像信号 Vid-in を遅延・置換等の処理をして映像信号 Vid-out として出力する。

ここで、1 行 1 列 ~ 1 行 n 列の映像信号 Vid-out が出力される水平有効走査期間 (Ha) でみたときに、処理された映像信号は、D/A 変換器 316 によって、図 5 の (b) で示されるように正極性または負極性のデータ信号 Vx に、ここでは例えば正極性に変換される。このデータ信号 Vx は、データ線駆動回路 140 によって 1 ~ n 列目のデータ線 114 にデータ信号 X1 ~ Xn としてサンプリングされる。

一方、1 行 1 列 ~ 1 行 n 列の映像信号 Vid-out が出力される水平走査期間では、走査制御回路 20 が走査線駆動回路 130 に対し走査信号 Y1 だけを H レベルとなるように制御する。走査信号 Y1 が H レベルであれば、1 行目の TFT 116 がオン状態になるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある TFT 116 を介して画素電極 118 に印加される。これにより、1 行 1 列 ~ 1 行 n 列の液晶素子には、それぞれ映像信号 Vid-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

10

20

30

40

50

続いて、2行1列～2行n列の映像信号 Vid-in は、同様に映像処理回路 30 によって処理されて、映像信号 Vid-out として出力されるとともに、D/A 変換器 316 によって正極性のデータ信号に変換された上で、データ線駆動回路 140 によって1～n列目のデータ線 114 にサンプリングされる。

2行1列～2行n列の映像信号 Vid-out が出力される水平走査期間では、走査線駆動回路 130 によって走査信号 Y2 だけが H レベルとなるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある2行目の TFT 116 を介して画素電極 118 に印加される。これにより、2行1列～2行n列の液晶素子には、それぞれ映像信号 Vid-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

以下同様な書込動作が3、4、…、m行目に対して実行され、これにより、各液晶素子に、映像信号 Vid-out で指定された階調レベルに応じた電圧が書き込まれて、映像信号 Vid-in で規定される透過像が作成されることとなる。

次のフレームでは、データ信号の極性反転によって映像信号 Vid-out が負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0031】

図5の(b)は、映像処理回路30から、水平走査期間(H)にわたって1行1列～1行n列の映像信号 Vid-out が出力されたときのデータ信号 Vx の一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号 Vx は、正極性であれば、基準電圧 Vcnt に対し、映像処理回路30によって処理された階調レベルに応じた分だけ高位側の電圧(図において で示す)になり、負極性であれば、基準電圧 Vcnt に対し、階調レベルに応じた分だけ低位側の電圧(図において で示す)になる。

詳細には、データ信号 Vx の電圧は、正極性であれば、白に相当する電圧 Vw(+) から黒に相当する電圧 Vb(+) までの範囲で、一方、負極性であれば、白に相当する電圧 Vw(-) から黒に相当する電圧 Vb(-) までの範囲で、それぞれ基準電圧 Vcnt から階調に応じた分だけ偏位させた電圧となる。

電圧 Vw(+) および電圧 Vw(-) は、電圧 Vcnt を中心に互いに対称の関係にある。電圧 Vb(+) および Vb(-) についても電圧 Vcnt を中心に互いに対称の関係にある。

なお、図5の(b)は、データ信号 Vx の電圧波形を示すものであって、液晶素子 120 に印加される電圧(画素電極 118 とコモン電極 108 との電位差)とは異なる。また、図5の(b)におけるデータ信号の電圧の縦スケールは、(a)における走査信号等の電圧波形と比較して拡大してある。

【0032】

第1実施形態に係る映像処理回路30による処理の具体例について説明する。

映像信号 Vid-in で示されるフレーム画像(の一部)が例えば図6の(1)に示されるように、白画素を背景として黒画素の窓領域を表示した画像である場合、検出される境界は、図6の(2)に示される。

映像処理回路30は、検出した境界に接する暗画素に対して階調レベル c よりも暗いレベルが指定されていたときに、階調レベル c の映像信号に置換する。したがって、図6の(1)で示される画像は、映像処理回路30によって図6の(3)に示されるように補正される。

【0033】

このため、黒画素の窓領域がいずれの方向に1画素移動しても、白画素に隣接した黒画素が白画素へと直接的に変化する部分は存在しないことになる。例えば図15の(b)に示されるように、黒画素の窓領域が左方向に1画素移動しても、映像信号 Vid-in において白画素に隣接する黒画素は、一旦階調レベル c (印加電圧 Vc) に変化した後に、白画素に変化する。

したがって、本実施形態によれば、リバーチルトドメインが発生しやすい状態の領域が、黒画素の移動に伴って連続的となることを防止することが可能となる。さらに、映像信号 Vid-in で規定される画像のうち、境界に接する暗画素の階調レベルが局所的に置換

10

20

30

40

50

されるので、当該置換による表示画像の補正がユーザーに知覚される可能性も小さい。くわえて、本実施形態では、液晶パネル100の構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【0034】

<第1実施形態の応用・変形例>

上述した第1実施形態では、種々の応用・変形が可能である。

【0035】

<その1>

第1実施形態では、映像信号Vid-inで示される画像において暗画素と明画素とが隣接するとき、これら2つの画素のうち、印加電圧Vcが下回る方の1画素（ノーマリーブラックモードでは暗画素）を、階調レベルcに補正して電圧Vcを印加する構成としたが、置換する画素については2以上であってもよい。

例えば、映像信号Vid-inで示される画像が例えば図6の(1)に示されるような場合であって、検出される境界が、図6の(2)に示されるような場合に、境界に接する暗画素と、当該暗画素に対し境界とは反対方向に隣接する暗画素とが、それぞれ階調レベルcよりも暗いレベルが指定されていたとき、図7の(a)に示されるように、階調レベルcの映像信号に置換してもよい。

【0036】

このように2つの画素の階調レベルを置換する構成とした場合、黒画素の窓領域がいずれの方向に1画素移動したときに、階調レベルcとなる期間が2フレームとなる。

例えば図15の(c)に示されるように、黒画素の窓領域が左方向に1画素移動したとき、映像信号Vid-inにおいて白画素に隣接する黒画素は、フレーム毎に（黒レベル）階調レベルc 階調レベルc 白レベルという順序で遷移する。このため、液晶分子に初期傾斜角が与えられる期間が2フレームとなり、第1実施形態と比較して倍になるので、リバースチルトドメインを抑制する効果を大きくすることが可能となる。

また、置換する画素の候補数については、「2」に限られず、「3」以上であってもよい。例えば後述する第2実施形態のように「6」でもよい。

【0037】

<その2>

第1実施形態では、暗画素と明画素とが垂直または水平方向で隣接する部分を境界として検出したが、この理由は、黒画素の領域の移動方向がいずれであっても良いように対処するためである。

ただし、例えばカーソルのような移動を考えると、黒（暗）画素領域の移動方向として、水平（X）方向のみを想定すれば十分である場合がある。特に、映像信号Vid-inは、1行1列～1行n列、2行1列～2行n列、3行1列～3行n列、…、m行1列～m行n列の画素の順番で供給されるので、移動方向として水平方向のみを想定すれば、次に説明する第2実施形態のように境界検出部302の構成を簡易化することができる余地がある。

【0038】

なお、暗画素の移動方向として水平方向のみを想定するときには、第2実施形態のほかにも、検出される境界のうち、垂直方向の成分に着目して、当該垂直成分の境界に接する暗画素（およびこれに隣接する暗画素）を補正候補とすればよい。

例えば映像信号Vid-inで示されるフレーム画像が図6の(1)に示されるような場合であって、検出される境界が、図6の(2)に示されるような場合に、垂直方向の境界に接する暗画素に対して階調レベルcよりも暗いレベルが指定されていたときに、階調レベルcの映像信号に置換すれば良い（図7の(b)参照）。また、垂直方向の境界に接する暗画素およびこれに隣接する暗画素に対して階調レベルcよりも暗いレベルが指定されていたときに、階調レベルcの映像信号に置換しても良い（図7の(c)参照）。

【0039】

10

20

30

40

50

< 第 2 実施形態 >

次に、第 2 実施形態に係る映像処理回路について説明する。この第 2 実施形態では、ノーマリーブラックモードにおいて、暗画素と明画素とが水平方向に隣接する部分の境界を検出して、その境界に接する暗画素と、その暗画素とは境界に対して反対方向で連続する 5 つの暗画素との計 6 つの暗画素を補正候補とするものである。

【 0 0 4 0 】

図 8 は、第 2 実施形態に係る映像処理回路 3 0 の構成を示すブロック図であり、境界検出部 3 0 2 について、境界の検出について特化するように変更したものである。

この図において、遅延回路 (D) 3 0 8 は、上位装置から供給される映像信号 Vid-in を、ドットクロック信号 Clk の 1 周期分だけ、すなわち 1 画素分だけ遅延させた映像信号 D1 を出力するものである。遅延回路 (D) 3 0 9 は、映像信号 D1 を、ドットクロック信号 Clk の 1 周期分だけ遅延させた映像信号 D2 を出力するものである。したがって、映像信号 D1 は、映像信号 D2 に対して時間的に 1 画素分だけ先行する関係となる。

なお、本例において、遅延回路 3 1 2 は、映像信号 Vid-in をドットクロック信号 Clk の 8 周期分 (8 画素分) だけ遅延させた映像信号 D8 を出力する。

【 0 0 4 1 】

判別部 3 1 0 は、映像信号 D1 の階調レベルと映像信号 D2 の階調レベルとを比較して、

(1) 映像信号 D1 の階調レベルが階調範囲 a にあり、かつ、映像信号 D2 の階調レベルが階調範囲 b にある第 1 の場合、または、その反対に、

(2) 映像信号 D1 の階調レベルが階調範囲 b にあり、かつ、映像信号 D2 の階調レベルが階調範囲 a にある第 2 の場合、

をそれぞれ境界であると判別して、Hレベルの判別信号 Jdg を出力するものである。

なお、判別部 3 1 0 は、第 2 の場合を判別すると、判別信号 Jdg をその検出時から H レベルとするが、第 1 の場合を検出したときには、判別信号 Jdg を、その判別時からドットクロック信号 Clk の 6 周期分 (補正候補とする画素数) だけ遅延させて H レベルとする。

【 0 0 4 2 】

カウンター 3 1 1 は、判別信号 Jdg が H から L レベルの立ち下がったときにカウント値 Pc を「 0 」にリセットし、その後、カウント値 Pc をドットクロック Clk でアップカウントするものである。

補正部 3 1 5 は、カウント値 Pc が有効値である場合であって、映像信号 D8 の階調レベルが階調レベル c を下回っているときに、階調レベル c に置換するものである。なお、補正部 3 1 5 は、カウント値 Pc の有効値を、この例では「 0 」から「 5 」までとする。

【 0 0 4 3 】

次に、第 2 実施形態に係る映像処理回路の動作について図 9 乃至図 1 1 を参照して説明する。ここでは、映像信号 Vid-in で示される画像のうち、あるラインの表示内容が図 9 の (1) で示される内容、詳細には、a から d までの列で白画素であり、e から v までの列で黒画素、w から z までの列で白画素であるものとする。なお、図 9 では省略しているが、a 列の左側でも白画素が連続し、m および n 列の間においても黒画素が連続し、z 列の右側でも黒画素が連続しているものとする。

このような画像では、境界が、d および e 列の間と、v および w 列の間との 2 箇所で検出される。このため、補正候補となる画素は、時間的な供給順序で見たときに、d および e 列の間の境界では後側 (空間的な配列で見ると境界の右側) となるに対し、v および w 列の間の境界では前側 (空間的な配列で見ると境界の左側) となる。

そして、この例では、図 9 の (2) に示されるように、境界から補正候補とする画素数を「 6 」としたものである。

【 0 0 4 4 】

図 1 0 は、境界の後側が補正候補となる場合の動作を示す図であり、図 1 1 は、境界の前側が補正候補となる場合の動作を示す図である。

まず、図 1 0 を参照して、境界の後側が補正候補となる場合の動作について説明する。

映像信号 Vid-in は、ドットクロック信号 Clk にしたがって、a、b、c、...、列の順

10

20

30

40

50

で供給される。

映像信号 D1 は、遅延回路 308 によって映像信号 Vid-in に対してドットクロック信号 Clk の 1 周期分 (1 画素分) だけ遅延し、映像信号 D2 は、遅延回路 309 によって当該映像信号 D1 に対し、さらに 1 画素分だけ遅延する。

このように遅延した映像信号 D1、D2 において、映像信号 D1 の e 列は階調範囲 a にあり、映像信号 D2 の d 列は階調範囲 b にあるので、判別部 310 は、これを第 1 の場合の境界と判別する。したがって、判別信号 Jdg は、この境界を判別したタイミングから 6 画素分遅延したタイミング、すなわち、映像信号 D8 で示される画素が境界の前側で接する d 列となるタイミングにて H レベルとなる。カウンタ 311 は、判別信号 Jdg が L レベルにたち下がってから、補正候補とする 6 画素分の期間においてカウント値 Pc を「0」から「5」までアップカウントする。

【0045】

このため、補正部 315 では、映像信号 D8 のうち、d 列の次の e 列から j 列までの 6 画素が補正候補となる。補正候補となった e 列から j 列までの 6 画素において階調レベルが c を下回れば、階調レベル c に置き換わり、c 以上であれば、映像信号 D8 の階調レベルが置き換わることはない。

なお、補正部 315 から出力される映像信号 Vid-out は、置換を考慮して映像信号 D8 に対して 1 画素分だけ遅延して出力される。

【0046】

次に、図 11 を参照して、境界の前側が補正候補となる場合の動作について説明する。

映像信号 Vid-in は、ドットクロック信号 Clk にしたがって、...、x、y、z 列の順で供給される。

映像信号 D1 は、映像信号 Vid-in に対して 1 画素分だけ遅延し、映像信号 D2 は、遅延回路 309 によって当該映像信号 D1 に対し、さらに 1 画素分だけ遅延する。このように遅延した映像信号 D1、D2 において、映像信号 D1 の w 列は階調範囲 b にあり、映像信号 D2 の v 列は階調範囲 a にあるので、判別部 310 は、これを第 2 の場合の境界と判別する。したがって、判別信号 Jdg は、この境界を判別したタイミング、すなわち、映像信号 D8 で示される画素が第 2 の場合の境界から 7 画素前の p 列となるタイミングにて H レベルとなる。

カウンタ 311 は、判別信号 Jdg が L レベルにたち下がってから、補正候補とする 6 画素分の期間においてカウント値 Pc を「0」から「5」までアップカウントするので、補正部 315 では、映像信号 D8 のうち、p 列の次の q 列から v 列までの 6 画素が補正候補となる。補正候補となった q 列から v 列までの 6 画素において階調レベルが c を下回れば、階調レベル c に置き換わり、c 以上であれば、映像信号 D8 の階調レベルが置き換わることはない。

【0047】

第 1 実施形態のように暗画素と明画素とが水平または垂直方向に隣接する部分を境界として検出する構成では、同行で隣接する画素同士、および、同列で隣接する画素同士と比較するので、特に境界検出部 302 の回路規模が大きくなりやすい。また、遅延回路 312 の遅延量もについても複数ライン分だけ必要となる。

これに対して、第 2 実施形態のように暗画素と明画素とが水平方向に隣接する部分を境界として検出する構成では、同行で隣接する画素同士を比較すればよく、遅延量もこの例では 8 画素分で済むので、回路規模を小さくすることが容易となる。

【0048】

< 第 2 実施形態の応用・変形例 >

上述した第 2 実施形態では、補正候補とする画素数を「6」としたが、これに限られず、例えば図 9 の (3) に示されるように「1」としても良い。補正候補とする画素数を「1」とする場合、例えば補正部 315 では、カウント値 Pc の有効値を「0」のみとし、判別部 310 では、第 2 の場合の境界を判別したときに、判別信号 Jdg を、その判別時からドットクロック信号 Clk の 5 周期分だけ遅延させて H レベルとする構成とする。

10

20

30

40

50

このような構成において、境界の後側が補正候補となる場合、図 12 に示されるように、判別信号 Jdg は、映像信号 D8 が d 列となるタイミングにて H レベルとなるので、カウント値 Pc は、映像信号 D8 が境界の後側で接する e 列となるタイミングにて「0」となる。このため、補正部 315 では、映像信号 D8 のうち、d 列の次の e 列の画素のみが補正候補となる。

一方、境界の前側が補正候補となる場合、図 13 に示されるように、判別信号 Jdg は、映像信号 D8 が u 列となるタイミングにて H レベルとなるので、カウント値 Pc は、映像信号 D8 が境界の前側で接する v 列となるタイミングにて「0」となる。このため、補正部 315 では、映像信号 D8 のうち、u 列の次の v 列の画素のみが補正候補となる。

なお、補正候補となった e または v 列は、その階調レベルが c を下回れば、階調レベル c に置き換わり、c 以上であれば、映像信号 D8 の階調レベルが置き換わることはない。

補正候補とする画素数については「1」、「6」以外に適宜設定可能である。

【0049】

上述した各実施形態において、映像信号 Vid-in は、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしても良い。映像信号 Vid-in が液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすれば良い。

【0050】

各実施形態において、液晶素子 120 は、透過型に限られず、反射型であっても良い。さらに、液晶素子 120 は、ノーマリーブラックモードに限られず、例えば TN 方式として、電圧無印加時において液晶素子 120 が白状態となるノーマリーホワイトモードとしてもよい。ノーマリーホワイトモードとしたとき、液晶素子 120 の印加電圧と透過率との関係は、図 4 の (b) に示されるような V-T 特性で表され、印加電圧が高くなるにつれて透過率が減少する。横電界の影響を受ける画素は、印加電圧が低い方の画素であることに変わりはないので、電圧 Vc を下回る画素への印加電圧を Vc に置換する点は同様である。

【0051】

< 電子機器 >

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル 100 をライトバルブとして用いた投射型表示装置（プロジェクター）について説明する。図 14 は、このプロジェクターの構成を示す平面図である。

この図に示されるように、プロジェクター 2100 の内部には、ハロゲンランプ等の白色光源からなるランプユニット 2102 が設けられている。このランプユニット 2102 から射出された投射光は、内部に配置された 3 枚のミラー 2106 および 2 枚のダイクロイックミラー 2108 によって R（赤）色、G（緑）色、B（青）色の 3 原色に分離されて、各原色に対応するライトバルブ 100R、100G および 100B にそれぞれ導かれる。なお、B 色の光は、他の R 色や G 色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ 2122、リレーレンズ 2123 および出射レンズ 2124 からなるリレーレンズ系 2121 を介して導かれる。

【0052】

このプロジェクター 2100 では、液晶パネル 100 を含む液晶表示装置が、R 色、G 色、B 色のそれぞれに対応して 3 組設けられる。ライトバルブ 100R、100G および 100B の構成は、上述した液晶パネル 100 と同様である。R 色、G 色、B 色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ 100R、100G および 100B がそれぞれ駆動される構成となっている。ライトバルブ 100R、100G、100B によってそれぞれ変調された光は、ダイクロイックプリズム 2112 に 3 方向から入射する。そして、このダイクロイックプリズム 2112 において、R 色および B 色の光は 90 度に屈折する一方、G 色の光は直進する。したがって、各原色の画像が合成された後、スクリーン 2120 には、投射レンズ群 2114 によってカラー画像が投射されることとなる。

10

20

30

40

50

【0053】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロミックミラー2108によって、R色、G色、B色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像は、ダイクロミックプリズム2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる水平走査方向は、ライトバルブ100Gによる水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

【0054】

電子機器としては、図14を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニタ直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

10

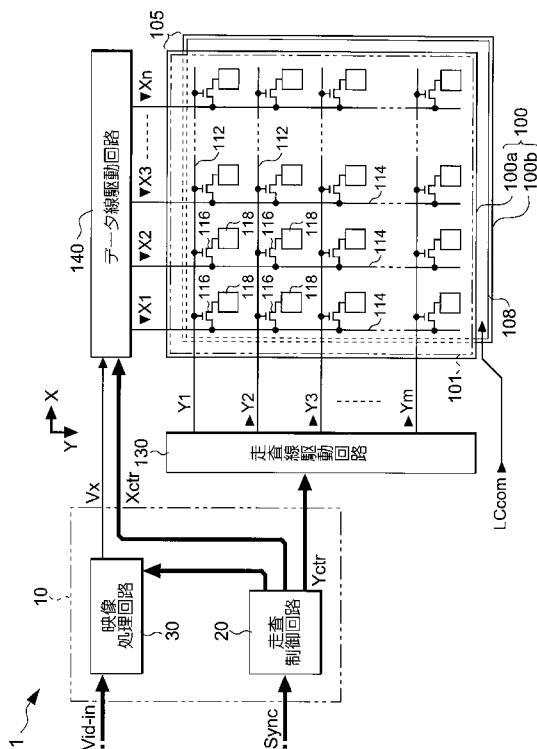
【符号の説明】

【0055】

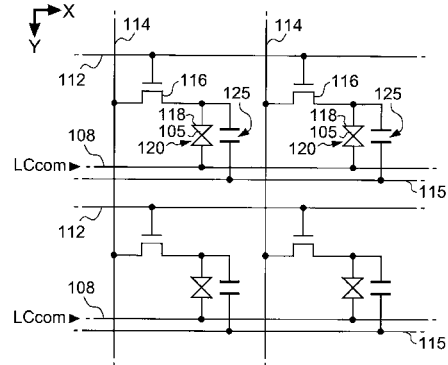
1...液晶表示装置、30...映像処理回路、100...液晶パネル、100a...素子基板、100b...対向基板、105...液晶、108...コモン電極、118...画素電極、120...液晶素子、302...境界検出部、314、315...補正部、316...D/A変換器、2100...プロジェクター。

20

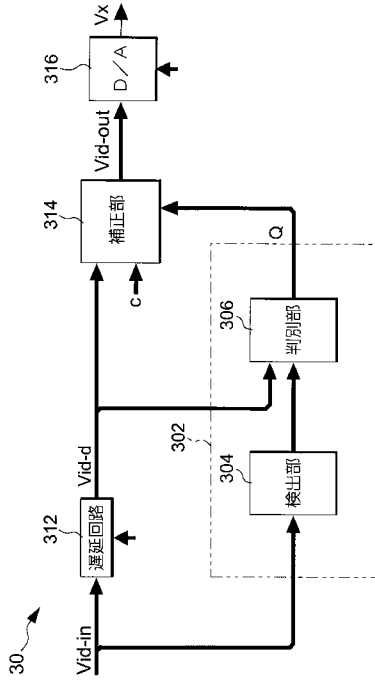
【図1】



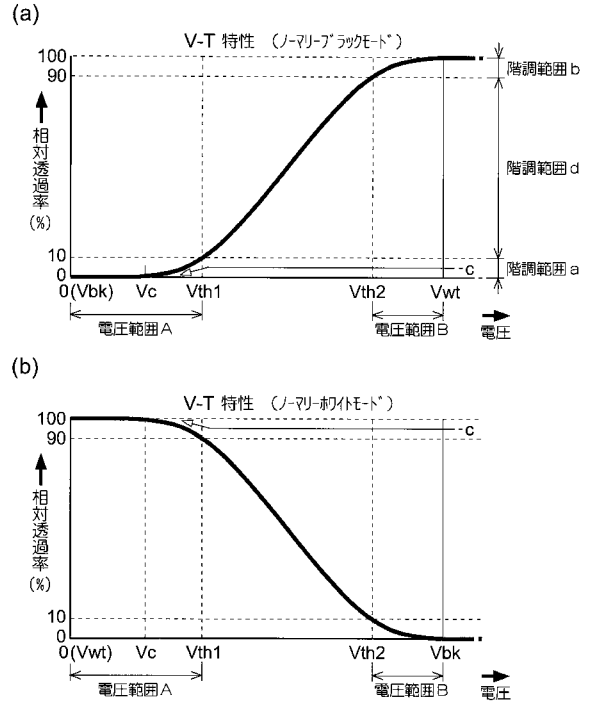
【図2】



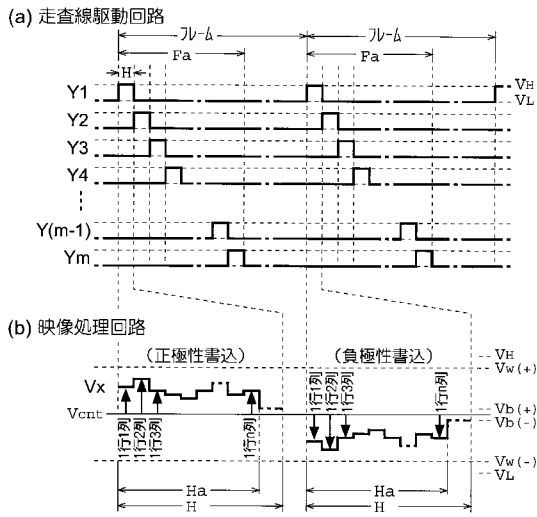
【 図 3 】



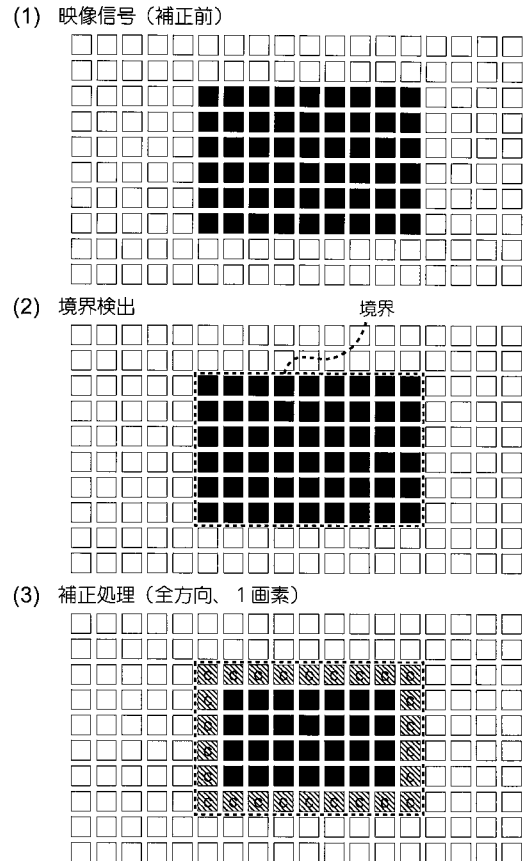
【 図 4 】



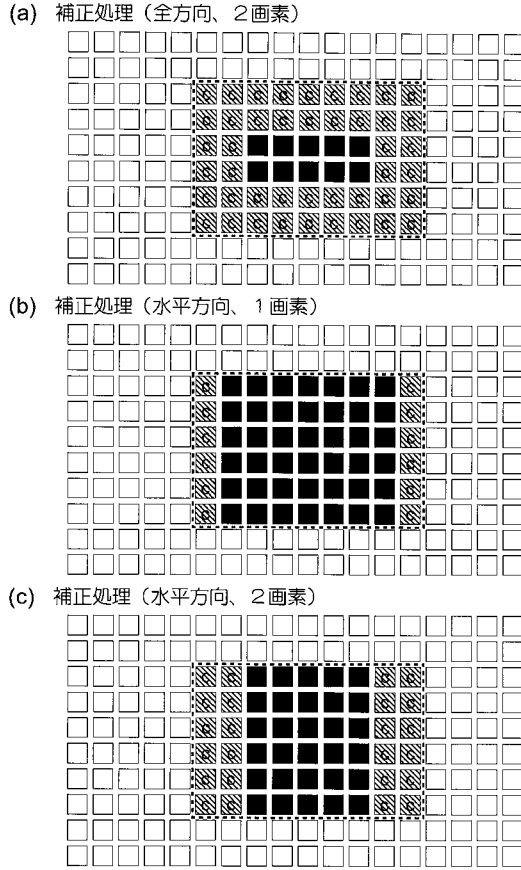
【 図 5 】



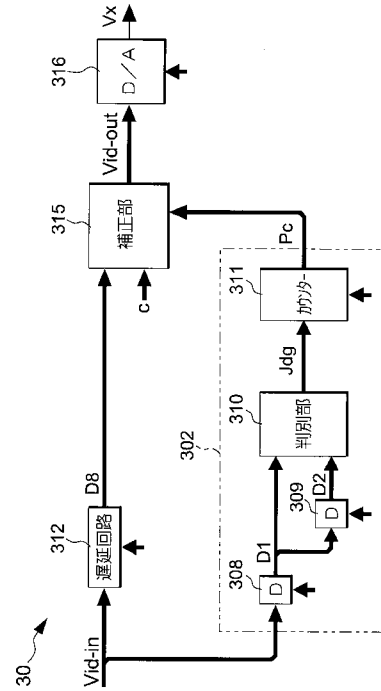
【 図 6 】



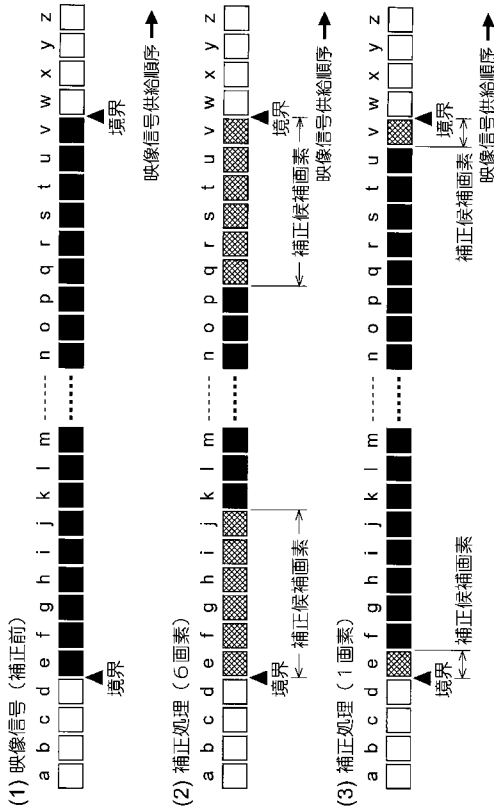
【图 7】



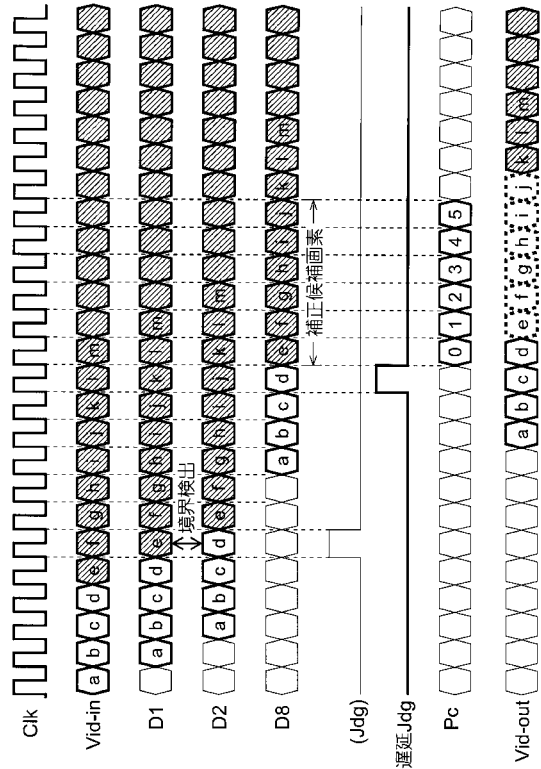
【图 8】



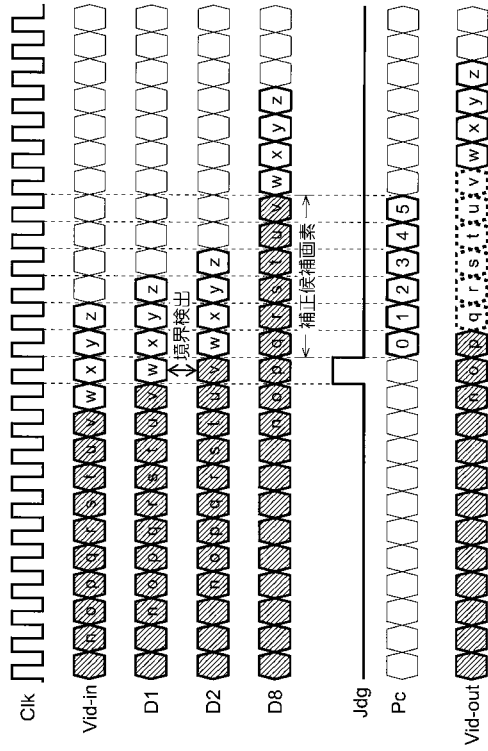
【图 9】



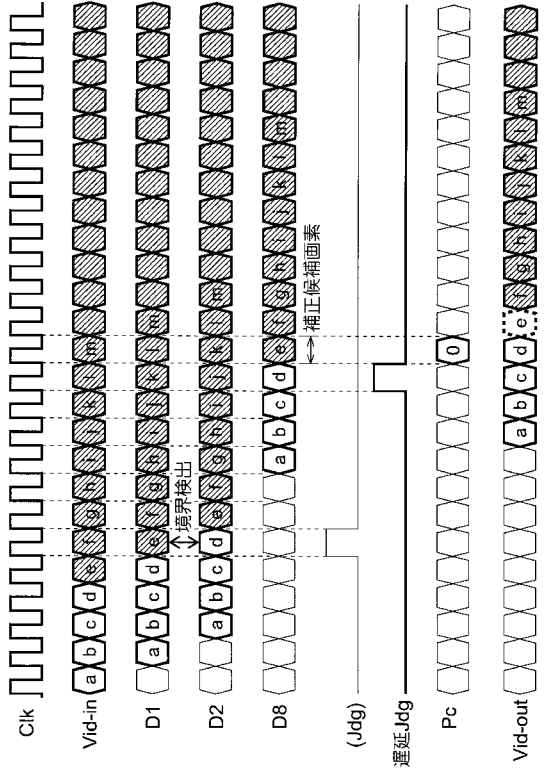
【图 10】



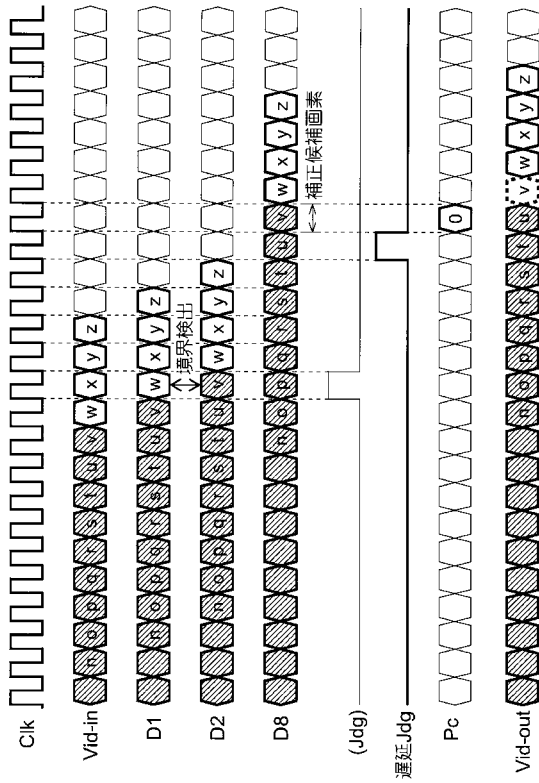
【 図 1 1 】



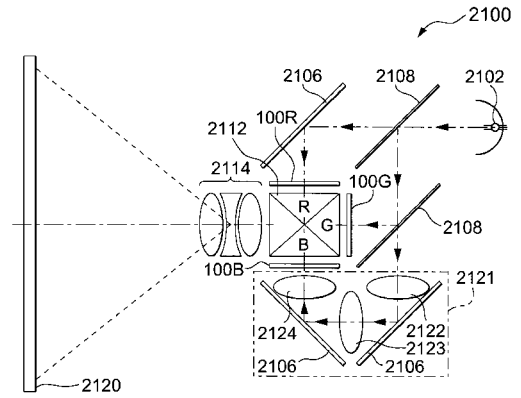
【 図 1 2 】



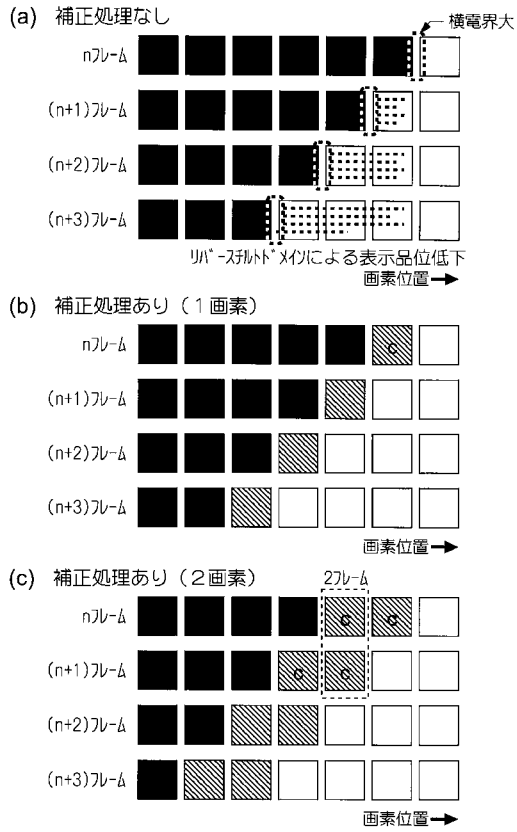
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



专利名称(译)	图像处理电路，其处理方法，液晶显示装置和电子设备		
公开(公告)号	JP2014219686A	公开(公告)日	2014-11-20
申请号	JP2014137469	申请日	2014-07-03
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	保坂宏行 飯坂英仁		
发明人	保坂 宏行 飯坂 英仁		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.641.C G09G3/20.612.U G09G3/20.641.P G09G3/20.650.M G09G3/20.642.A G09G3/20.642.C G09G3/20.611.D G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZH23 2H193/ZH53 5C006/AA16 5C006/AA22 5C006/AB01 5C006/AC11 5C006/AC21 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF83 5C006/BA19 5C006/BB16 5C006/BC12 5C006/BF04 5C006/BF07 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF42 5C006/EC11 5C006/FA16 5C006/FA22 5C006/FA25 5C006/FA36 5C006/FA41 5C006/FA54 5C006/GA03 5C006/GA04 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD06 5C080/DD10 5C080/DD14 5C080/DD22 5C080/EE23 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/KK07 5C080/KK20 5C080/KK23 5C080/KK43		
代理人(译)	宫坂和彦 渡边和明		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由于横向电场的影响而导致的显示质量下降。液晶面板100具有液晶元件，在该液晶元件中，液晶105被设置在元件基板100a上的像素电极118和设置在对置基板100b上的公共电极108夹在中间。图像处理电路30在常黑模式下包括：暗像素，其中，与由视频信号Vid-in指定的灰度等级相对应的液晶元件的施加电压低于阈值Vth1；以及亮像素，其等于或大于阈值Vth2。在检测边界时，当与检测到的边界接触的暗像素的施加电压低于电压Vc时，从对应于视频信号所指定的灰度级的施加电压，暗像素的施加电压，电压Vc被替换。[选型图]图1

