

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-83677

(P2012-83677A)

(43) 公開日 平成24年4月26日(2012.4.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 624B	2H193
G02F 1/1368 (2006.01)	G09G 3/20 680H	5C006
G02F 1/133 (2006.01)	G09G 3/20 641C	5C080
	G09G 3/20 611D	

審査請求 未請求 請求項の数 3 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2010-232088 (P2010-232088)
 (22) 出願日 平成22年10月15日 (2010.10.15)

(71) 出願人 308036402
 株式会社 JVCケンウッド
 神奈川県横浜市神奈川区守屋町3丁目12番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 樋口 潤
 神奈川県横浜市神奈川区守屋町3丁目12番地
 Fターム(参考) 2H092 GA59 JA23 JB22 JB31 JB43
 JB63 KA03 KA10 NA25 PA06
 2H193 ZA03 ZA08 ZB30 ZD23 ZE40

最終頁に続く

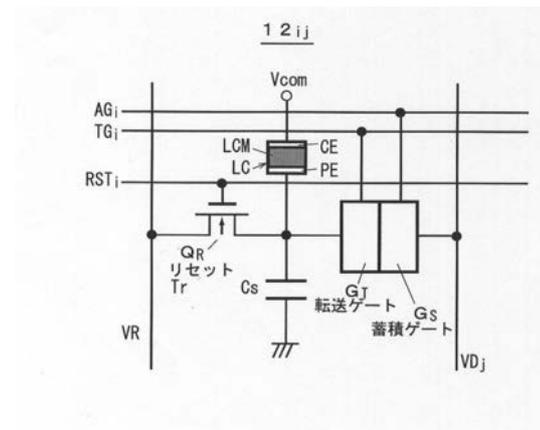
(54) 【発明の名称】 液晶表示素子及びその駆動方法

(57) 【要約】

【課題】ランプ信号を用いることなくDA変換を行う構造とすることでランプ信号の波形の変形による表示画像の不具合を解消する。

【解決手段】1H内において、表示する映像信号の画素値と一定周期のクロックを計数するカウンタのカウンタ値とを比較し、画素値とカウンタ値とが一致した時に、データ線VD_jの電位がそれまでのaからbに変化する。蓄積ゲートG_Sは、ゲート線AG_iの電圧が、電位aよりも低い電位cから電位よりも高い電位dに変化した時に、VD_jから一定量の電荷を転送されて蓄積する。転送ゲートG_Tは、ゲート線TG_iの電圧が、電位cよりも低い電位eから電位cよりも高い電位fに変化した時に、上記の蓄積電荷を保持容量C_Sに転送して保持させる。データ線VD_jの電位がbに変化するまで、上記の蓄積と転送の動作を巡回的に繰り返す、その繰り返し回数に応じた電荷量を保持容量C_Sに保持する。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

3本のゲート線を一組とする複数組のゲート線と複数本のデータ線とがそれぞれ交差する交差部に設けられた画素を構成しており、

対向する画素電極と共通電極との間に液晶層が挟持された液晶素子と、

前記画素電極に一端が接続された保持容量と、

前記3本のゲート線のうち第1のゲート線を介して印加される第1のゲート電圧が、前記データ線の所定の電位よりも低い第1の電位から前記所定の電位よりも高い第2の電位に変化した時に、前記データ線から一定量の電荷を転送して蓄積する蓄積ゲートと、

前記3本のゲート線のうち第2のゲート線を介して印加される第2のゲート電圧が、前記第1の電位よりも低い第3の電位から前記第1の電位よりも高い第4の電位に変化した時に、前記蓄積ゲートに蓄積された前記電荷を前記保持容量に転送して保持させる転送ゲートと、

前記3本のゲート線のうち第3のゲート線を介して印加されるゲート電圧により、1水平走査期間の始めに前記保持容量の電荷をリセットするトランジスタと

を備えることを特徴とする液晶表示素子。

【請求項 2】

前記蓄積ゲートは、

基板上に形成された第1の拡散層と、前記基板上に前記第1の拡散層に隣接して前記第1の拡散層よりも不純物濃度が低く形成された第2の拡散層と、前記第1及び第2の拡散層の上方に絶縁膜を介して形成され、かつ、前記第1のゲート線に接続された第1のゲート電極とよりなり、

前記転送ゲートは、

前記基板上に前記第1の拡散層に隣接して前記第2の拡散層よりも不純物濃度が低く形成された第3の拡散層と、前記第3の拡散層の上方に絶縁膜を介して形成され、かつ、前記第2のゲート線に接続された第2のゲート電極とよりなる

ことを特徴とする請求項1記載の液晶表示素子。

【請求項 3】

3本のゲート線を一組とする複数組のゲート線と複数本のデータ線とがそれぞれ交差する交差部に設けられた画素を構成しており、

対向する画素電極と共通電極との間に液晶層が挟持された液晶素子と、

前記画素電極に一端が接続された保持容量と、

前記3本のゲート線のうち第1のゲート線を介して印加される第1のゲート電圧が、前記データ線の所定の電位よりも低い第1の電位から前記所定の電位よりも高い第2の電位に変化した時に、前記データ線から一定量の電荷を転送して蓄積する蓄積ゲートと、

前記3本のゲート線のうち第2のゲート線を介して印加される第2のゲート電圧が、前記第1の電位よりも低い第3の電位から前記第1の電位よりも高い第4の電位に変化した時に、前記蓄積ゲートに蓄積された前記電荷を前記保持容量に転送して保持させる転送ゲートと、

前記3本のゲート線のうち第3のゲート線を介して印加されるゲート電圧により、1水平走査期間の始めに前記保持容量の電荷をリセットするトランジスタと

を備える液晶表示素子に対して、

前記保持容量の電荷のリセット後に、表示する映像信号の画素値と一定周期のクロックを計数するカウンタのカウント値とを比較し、前記画素値と前記カウント値とが一致した時に、前記第2の電位よりも高い電位の一致パルスを実データ線へ出力する一致パルス出力ステップと、

前記第1のゲート電圧を前記クロックに同期して前記第1の電位及び前記第2の電位に交互に変化させると共に、前記第1のゲート電圧が前記第1の電位に変化した直後に前記第4の電位に変化するように、前記第2のゲート電圧を前記クロックに同期して前記第3の電位及び前記第4の電位に交互に変化させるゲート電圧発生ステップと

10

20

30

40

50

を含み、前記データ線の電位が前記所定の電位から前記一致パルスの電位に変化するまで、前記蓄積ゲートによる一定量の電荷の蓄積と前記転送ゲートによる前記電荷の前記保持容量への転送とを巡回的に繰り返し、その繰り返し回数に応じた電荷量を前記保持容量に保持することを特徴とする液晶表示素子の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示素子及びその駆動方法に係り、特にデジタル映像信号をアナログ映像信号に変換して液晶素子により表示するアクティブマトリクス型の液晶表示素子及びその駆動方法に関する。

10

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品としてLCO S (Liquid Crystal on Silicon) 型の液晶表示装置が多く用いられている。このLCO S型の液晶表示装置は、透明電極(共通電極)、液晶層、マトリクス状に配置された反射電極(画素電極)、及びシリコン基板上に液晶駆動回路が形成された液晶表示素子などが重なった構造を有している。

【0003】

従来の液晶表示装置では、複数本のデータ線(列信号線)と複数本のゲート線(行走査線)との各交差部にそれぞれ設けられた画素が、ゲート線を介して入力される行走査信号により選択される。この液晶表示装置では、外部から入力される表示されるべきデジタル映像信号を、内部のDA変換回路によりデジタル・アナログ変換(DA変換)して得たアナログの映像信号電圧を、データ線と選択された画素内にある垂直方向の画素選択トランジスタとを經由して保持容量に書き込んだ後、液晶素子の画素電極に印加する。

20

【0004】

液晶素子は、互いに対向して設けられた画素電極と共通電極との間に液晶層が挟持された構造であり、共通電極には固定電位が印加される。これにより、液晶表示装置は、画素電極を上記のような映像の画素値に対応したアナログ映像信号電圧に応じて駆動することにより、液晶層の光透過率を制御し、映像として表示する。

【0005】

30

上記のDA変換回路を備えた液晶表示装置として、例えばランプ信号を用いてデジタル映像信号を画素単位でアナログ映像信号に変換して液晶素子を駆動する液晶表示装置が知られている(例えば、特許文献1参照)。

【0006】

この特許文献1記載の従来の液晶表示装置では、黒レベルから白レベルまでの全階調のレベルが1水平走査期間(1H)周期で単調的に変化する傾斜波信号であるランプ信号を複数(水平方向の画素数と同じ数)設けられたビデオスイッチに共通に供給すると共に、そのランプ信号に同期したクロックでカウンタをカウントアップすることで、ランプ信号の階調値に応じたカウント値を出力させる。なお、上記の複数のビデオスイッチは水平走査期間の開始毎に一斉にオンとされる。そして、このカウント値とラインバッファにラッチされているデジタル映像信号の水平方向の画素値とを、水平方向の画素数と同じ数設けられたコンパレータにより画素単位で比較し、カウント値が上記のラインバッファにラッチされた画素値と同じ値となったコンパレータから一致パルスを出力させて、その画素に対応するビデオスイッチをオフとし、このときのランプ信号の電圧をオフとされたビデオスイッチにデータ線を介して接続された画素に供給することでアナログ映像信号への変換が行われる。

40

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭64-86197号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、上記の従来の液晶表示装置は、水平走査期間の始めに全てのビデオスイッチをオンとしてから、デジタル映像信号の画素値に応じたランプ信号の電圧をビデオスイッチをオフとしてサンプルホールドし、画素に供給する構成であるため、デジタル映像信号の絵柄によって複数のビデオスイッチが同時にオフとなったり、オフとなるタイミングが異なるため、ランプ信号に対する負荷状態が大きく変化することがある。

【0009】

例えば、ランプ信号が黒レベルから白レベルまで漸次増加する波形であり、デジタル映像信号が黒又は黒に近い階調の画素が多い場合、ランプ信号の立ち上がりの初期に多数のビデオスイッチが同時にオフとなってしまう。ビデオスイッチがオフとなった場合、ランプ信号をビデオスイッチに供給するためのランプ信号線とデータ線とが切断されてしまう。ビデオスイッチがオンの場合はデータ線がランプ信号線の負荷として作用しているため、上記のような多数のビデオスイッチが同時にオフとなることで上記の切断が生じると、ランプ信号線側から見た負荷容量が大幅に小さくなり、そうでない場合に対してランプ信号の立ち上がりが早くなるような波形の変形を生じる。このように立ち上がりが早くなるようなランプ信号波形の変形が生じた場合は、変形が生じない場合よりも画面が明るくなってしまふという不具合が発生したり、表示画像に所謂ストリーキングと称されるノイズが発生し、画質を劣化させる。

【0010】

本発明は以上の点に鑑みなされたもので、ランプ信号を用いることなくD/A変換を行う構造とすることでランプ信号の波形の変形による表示画像の不具合を解消し得る液晶表示素子及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記の目的を達成するため、本発明の液晶表示素子は、3本のゲート線を一組とする複数組のゲート線と複数本のデータ線とがそれぞれ交差する交差部に設けられた画素を構成しており、対向する画素電極と共通電極との間に液晶層が挟持された液晶素子と、画素電極に一端が接続された保持容量と、3本のゲート線のうち第1のゲート線を介して印加される第1のゲート電圧が、データ線の所定の電位よりも低い第1の電位から所定の電位よりも高い第2の電位に変化した時に、データ線から一定量の電荷を転送して蓄積する蓄積ゲートと、3本のゲート線のうち第2のゲート線を介して印加される第2のゲート電圧が、第1の電位よりも低い第3の電位から第1の電位よりも高い第4の電位に変化した時に、蓄積ゲートに蓄積された電荷を保持容量に転送して保持させる転送ゲートと、3本のゲート線のうち第3のゲート線を介して印加されるゲート電圧により、1水平走査期間の始めに保持容量の電荷をリセットするトランジスタとを備えることを特徴とする。

【0012】

また、上記の目的を達成するため、本発明の液晶表示素子は、蓄積ゲートは、基板上に形成された第1の拡散層と、基板上に第1の拡散層に隣接して第1の拡散層よりも不純物濃度が低く形成された第2の拡散層と、第1及び第2の拡散層の上方に絶縁膜を介して形成され、かつ、第1のゲート線に接続された第1のゲート電極とよりなり、

転送ゲートは、基板上に第1の拡散層に隣接して第2の拡散層よりも不純物濃度が低く形成された第3の拡散層と、第3の拡散層の上方に絶縁膜を介して形成され、かつ、第2のゲート線に接続された第2のゲート電極とよりなることを特徴とする。

【0013】

また、上記の目的を達成するため、本発明の液晶表示素子の駆動方法は、3本のゲート線を一組とする複数組のゲート線と複数本のデータ線とがそれぞれ交差する交差部に設けられた画素を構成しており、対向する画素電極と共通電極との間に液晶層が挟持された液晶素子と、画素電極に一端が接続された保持容量と、3本のゲート線のうち第1のゲート

線を介して印加される第 1 のゲート電圧が、データ線の所定の電位よりも低い第 1 の電位から所定の電位よりも高い第 2 の電位に変化した時に、データ線から一定量の電荷を転送して蓄積する蓄積ゲートと、3 本のゲート線のうち第 2 のゲート線を介して印加される第 2 のゲート電圧が、第 1 の電位よりも低い第 3 の電位から第 1 の電位よりも高い第 4 の電位に変化した時に、蓄積ゲートに蓄積された電荷を保持容量に転送して保持させる転送ゲートと、3 本のゲート線のうち第 3 のゲート線を介して印加されるゲート電圧により、1 水平走査期間の始めに保持容量の電荷をリセットするトランジスタとを備える液晶表示素子に対して、

保持容量の電荷のリセット後に、表示する映像信号の画素値と一定周期のクロックを計数するカウンタのカウント値とを比較し、画素値とカウント値とが一致した時に、第 2 の電位よりも高い電位の一致パルスデータをデータ線へ出力する一致パルス出力ステップと、第 1 のゲート電圧をクロックに同期して第 1 の電位及び第 2 の電位に交互に変化させると共に、第 1 のゲート電圧が第 1 の電位に変化した直後に第 4 の電位に変化するように、第 2 のゲート電圧をクロックに同期して第 3 の電位及び第 4 の電位に交互に変化させるゲート電圧発生ステップとを含み、データ線の電位が所定の電位から一致パルスの電位に変化するまで、蓄積ゲートによる一定量の電荷の蓄積と転送ゲートによる電荷の保持容量への転送とを巡回的に繰り返し、その繰り返し回数に応じた電荷量を保持容量に保持することを特徴とする。

【発明の効果】

【0014】

本発明によれば、同じ行の各画素において、画素単位で画素値とカウント値とが一致するまで、蓄積ゲートによる一定量の電荷の蓄積と転送ゲートによる電荷の保持容量への転送とを巡回的に繰り返し、その繰り返し回数に応じた電荷量を保持容量に保持するようにしたため、他の列のデータ線の電位変動など周囲の影響を受け難く、安定した D A 変換が可能となり、その結果表示品質を向上させることができる。

【図面の簡単な説明】

【0015】

【図 1】本発明の液晶表示素子を備えた液晶表示装置の一実施の形態の全体構成図である。

【図 2】図 1 中の H ドライバの一実施の形態のブロック図である。

【図 3】本発明の液晶表示素子の一実施の形態の等価回路図である。

【図 4】本発明の液晶表示素子の一実施の形態の構造断面図である。

【図 5】図 1 の動作説明用タイミングチャートである。

【図 6】図 4 の各部のポテンシャルの変化の一例を示す図である。

【発明を実施するための形態】

【0016】

以下、図面を用いて本発明の実施の形態について詳細に説明する。

【0017】

図 1 は、本発明になる液晶表示素子を備えた液晶表示装置の一実施の形態の全体構成図を示す。同図において、液晶表示装置 10 は、水平駆動回路である H ドライバ 11 と、n 本 (n は 2 以上の自然数) の列信号線 (データ線) $V D 1 \sim V D n$ と、3 本のゲート線 A G、T G、R S T を一組とする m 組 (m は 2 以上の自然数) のゲート線 (A G 1 ~ A G m、T G 1 ~ T G m、R S T 1 ~ R S T m) とがそれぞれ交差する交差部にそれぞれ設けられた $n \cdot m$ 個の画素 $1 2_{11} \sim 1 2_{mn}$ と、垂直駆動回路である垂直シフトレジスタ回路 13 とから構成されている。また、接続線 V R は、全部の画素 $1 2_{11} \sim 1 2_{mn}$ に共通に接続されている。垂直シフトレジスタ回路 13 は、m 組のゲート線 (A G 1 ~ A G m、T G 1 ~ T G m、R S T 1 ~ R S T m) にそれぞれ第 1 ~ 第 3 のゲート信号を、トランスファクロック T C K に同期して出力する。

【0018】

図 2 は、図 1 中の H ドライバ 11 の一例のブロック図を示す。同図に示すように、H ド

ライバ 1 1 は、各々水平方向の画素数と同じ数である n 個ずつ、画素単位に設けられた、水平シフトレジスタ（以下、HSR） $1 1 1_1 \sim 1 1 1_n$ 、ラッチ $1 1 2_1 \sim 1 1 2_n$ 、コンパレータ $1 1 3_1 \sim 1 1 3_n$ 、D型フリップフロップ（以下、DFF） $1 1 5_1 \sim 1 1 5_n$ 、及びセクタ $1 1 6_1 \sim 1 1 6_n$ と、 n 個のコンパレータ $1 1 3_1 \sim 1 1 3_n$ に共通にカウント値を供給する単一のカウンタ $1 1 4$ とより構成されている。

【0019】

HSR $1 1 1_1 \sim 1 1 1_n$ は、表示すべきデジタル映像信号（画像データ）である DATA がシリアルに供給されて 1 ライン分の n 画素の画素値をシフトして一時保持する。ラッチ $1 1 2_1 \sim 1 1 2_n$ は、HSR $1 1 1_1 \sim 1 1 1_n$ から出力される 1 ライン分の n 画素の各画素値（ここでは 10 ビット）をラッチする。コンパレータ $1 1 3_1 \sim 1 1 3_n$ は、ラッチ $1 1 2_1 \sim 1 1 2_n$ から別々に供給される画素値と、カウンタ $1 1 4$ から共通に供給されるカウント値とを画素単位で比較し、両者が一致した時一致パルスを出力する。

10

【0020】

カウンタ $1 1 4$ は、画像データ DATA と同期して入力されるカウンタクロック CLK をカウントして得たカウント値を、コンパレータ $1 1 3_1 \sim 1 1 3_n$ のそれぞれに供給する。なお、カウンタ $1 1 4$ は、1 水平走査期間（1 H）毎に一巡するカウント値を生成する。また、このカウント値は、最小階調の黒レベルから最大階調の白レベルまで単調的に変化する階調値を示す。

【0021】

DFF $1 1 5_1 \sim 1 1 5_n$ は、コンパレータ $1 1 3_1 \sim 1 1 3_n$ のうち、カウンタ $1 1 4$ から供給されるカウント値が、ラッチ $1 1 2_1 \sim 1 1 2_n$ から供給される画素値に一致するコンパレータから供給される所定論理値（例えば“H”）の一致パルスをラッチし、ラッチした値をセクタへ出力する。なお、DFF $1 1 5_1 \sim 1 1 5_n$ は、スタートパルス HST により各水平走査期間の始めにクリアされる。

20

【0022】

セクタ $1 1 6_1 \sim 1 1 6_n$ は、DFF $1 1 5_1 \sim 1 1 5_n$ のうち対応して設けられた DFF から初期状態の論理値（例えば“L”）が入力されるときは、データ線 $V D 1 \sim V D n$ のうち対応して設けられたデータ線へ第 1 の電圧 a を出力し、対応して設けられた DFF から一致パルスの所定論理値（例えば“H”）が入力されるときは、対応して設けられたデータ線へ第 2 の電圧 b を出力する。従って、データ線 $V D 1 \sim V D n$ には、各水平走査期間の始めでそれぞれ第 1 の電圧 a が一斉に出力され、その後画像データの画素値に対応したタイミングで、その画素に対応したデータ線に第 2 の電圧 b が画素単位で出力される。

30

【0023】

次に、本実施の形態の画素について説明する。

【0024】

図 1 中の画素 $1 2_{11} \sim 1 2_{mn}$ は、それぞれ同一構成で、本発明の液晶表示素子により構成されている。図 3 は、図 1 の i 行目（ $i = 1, 2, \dots, m$ ）、 j 列目（ $j = 1, 2, \dots, n$ ）の画素 $1 2_{ij}$ を構成する本発明の液晶表示素子の一実施の形態の等価回路図を示す。図 3 において、画素 $1 2_{ij}$ は、 N チャネル MOS 型電界効果トランジスタにより構成されたりセットトランジスタ Q_R と、保持容量 C_s と、転送ゲート G_T と、蓄積ゲート G_s と、液晶素子 LC とから構成されている。

40

【0025】

液晶素子 LC は、離間対向して設けられた画素電極 PE と共通電極 CE との間に液晶層 LCM が挟持された公知の構造である。共通電極 CE は共通電圧 V_{com} が印加される。リセットトランジスタ Q_R は、ドレインが接続線 VR に接続され、ソースが画素電極 PE と保持容量 C_s と転送ゲート G_T との共通接続点に接続され、ゲートがゲート線 RSTi に接続されている。また、転送ゲート G_T はゲート線 TGi に接続されている。また、蓄積ゲート G_s は、データ線 $V D j$ とゲート線 AGi にそれぞれ接続されると共に、転送ゲート G_T を介して保持容量 C_s に接続されている。

【0026】

50

図4は、画素 12_{ij} を構成する本発明の液晶表示素子の一実施の形態の構造断面図を示す。同図中、図3と同一構成部分には同一符号を付し、その説明を省略する。図4において、蓄積ゲート G_s は、p型の基板 20 上に隣接して設けられたn型拡散層 22 及び 23 と、それらの拡散層 22 及び 23 の上方に絶縁膜(図示せず)を介して設けられたポリシリコン製のゲート電極 27 とより構成される。この蓄積ゲート G_s は、拡散層 22 の不純物濃度(イオン注入量) n_2 を、拡散層 23 の不純物濃度(イオン注入量) n_3 より大きくすることで、電子を蓄積するための電位差を設けている。ゲート電極 27 は、ゲート線 AG_i に接続されている。

【0027】

また、転送ゲート G_T は、基板 20 上に設けられたn型拡散層 21 と、その拡散層 21 の上方に絶縁膜(図示せず)を介して設けられたポリシリコン製のゲート電極 28 とより構成される。ゲート電極 28 は、ゲート線 TG_i に接続されている。拡散層 21 は、保持容量 C_s に接続されるn型拡散層 26 と、上記n型拡散層 22 との間に形成されている。転送ゲート G_T は、蓄積ゲート G_s よりも低い電圧に設定する必要があるので、拡散層 21 の不純物濃度(イオン注入量) n_1 を、蓄積ゲート G_s の拡散層 22 の不純物濃度(イオン注入量) n_2 より小さくしている。

10

【0028】

また、蓄積ゲート G_s のゲート電極 27 と転送ゲート G_T のゲート電極 28 とは、蓄積ゲート G_s と転送ゲート G_T の間のスペースを広げないように、公知の2層ポリシリコンプロセスにより製造されている。ここでは、ゲート電極 27 を下層の第1ポリシリコン、ゲート電極 28 を上層の第2ポリシリコンとしている。

20

【0029】

リセットトランジスタ Q_R は、基板 20 上に設けられたn型拡散層 25 及び 26 と、それらの拡散層 25 及び 26 の上方に絶縁膜(図示せず)を介して設けられたポリシリコン製のゲート電極 29 とより構成される。ゲート電極 29 は、ゲート線 RST_i に接続されている。また、拡散層 25 は接続線 VR に接続されている。リセットトランジスタ Q_R は、CMOSプロセスで用いられる一般的なトランジスタ製造方法により製造される。なお、基板 20 上のn型拡散層 23 の外側に隣接して設けられてデータ線 VD_j に接続されるn型拡散層 24 と、上記のn型拡散層 25 及び 26 の不純物濃度(イオン注入量)は、前述した不純物濃度(イオン注入量) $n_1 \sim n_3$ よりもはるかに大に設定されている。

30

【0030】

次に、図1～図3に示した本実施の形態の動作について、図5のタイミングチャート及び図6のポテンシャル図を併せ参照して説明する。ここでは、代表して画素 12_{ij} の動作について説明する。

【0031】

まず、垂直シフトレジスタ回路 13 からゲート線 RST_i に、時刻 T_1 から $1H$ よりも極めて短い所定期間の間、図5(D)に示すようにハイレベルのリセット信号が出力される。これにより、リセットトランジスタ Q_R がその期間オン状態とされ、接続線 VR の電圧 V_R がリセットトランジスタ Q_R のドレイン、ソースを通して保持容量 C_s に印加され、保持容量 C_s を接続線 VR の電圧にリセットする。また、カウンタ 114 が図5(A)に示すように、水平クロック HCK のカウントを開始する。

40

【0032】

上記のリセットに続いて、図2の $DFF115_1 \sim 115_n$ は、スタートパルス HST が入力されてクリアされ、Hドライバ 11 内のセクタ 116_i からデータ線 VD_j へ図5(F)に示すように、時刻 T_2 以降出力される電位 a の電圧を選択させる。このとき、垂直シフトレジスタ回路 13 からゲート線 AG_i へ出力されるゲート信号の電位は図5(B)に示すように低電位 c であり、また、垂直シフトレジスタ回路 13 からゲート線 TG_i へ出力されるゲート信号の電位は同図(C)に示すように低電位 e である。

【0033】

これにより、画素 12_{ij} は、図6(A)に示すように、ゲート線 AG_i から供給される

50

ゲート信号による蓄積ゲート G_S の電位 c がデータ線 VD_j の電位 a よりも高く、また、ゲート線 TG_i から供給されるゲート信号による転送ゲート G_T の電位 e が蓄積ゲート G_S の電位 c よりも高い状態となり、電子の移動は生じていない。なお、蓄積ゲート G_S は図 4 に示したように、拡散層 22 の不純物濃度（イオン注入量） n_2 が、拡散層 23 の不純物濃度（イオン注入量） n_3 より大きくされ、拡散層 23 の部分が拡散層 22 の部分よりも電位が高い電圧凹部（段差部）を有している。

【0034】

続いて、垂直シフトレジスタ回路 13 からゲート線 AG_i へ出力されるゲート信号の電位は図 5 (B) に示すように低電位 c から高電位 d へ変化した後、再び低電位 c に戻る。低電位 c から高電位 d へ変化した時、垂直シフトレジスタ回路 13 からゲート線 TG_i へ出力されるゲート信号の電圧は図 5 (C) に示すように低電位 e のままであり、データ線 VD_j の電圧も電位 a のままである。

10

【0035】

これにより、上記のゲート線 AG_i のゲート信号の電位が低電位 c から高電位 d へ変化した時に、蓄積ゲート G_S の電位 d がデータ線 VD_j の電位 a よりも高くなるため、図 6 (B) に 31 で模式的に示すように、データ線 VD_j から蓄積ゲート G_S の電圧凹部に電子が移動する。続いて、ゲート線 AG_i のゲート信号の電位が高電位 d から低電位 c へ戻ると、図 6 (B) に 31' で模式的に示すように、蓄積ゲート G_S の電圧凹部に電子が残る。この時、転送ゲート G_T の電位は待機状態の電位 e のままであり、蓄積ゲート G_S の電位 c より低い電位なので余った電子はデータ線 VD_j に戻る。

20

【0036】

ゲート線 AG_i へ出力されるゲート信号の電圧が図 5 (B) に示すように高電位 d から低電位 c へ戻った直後に、垂直シフトレジスタ回路 13 からゲート線 TG_i へ出力されるゲート信号の電圧は図 5 (C) に示すように低電位 e から高電位 f に変化する。すると、転送ゲート G_T の電位 f が蓄積ゲート G_S の電位 c よりも高くなるため、図 6 (C) に矢印 32 で模式的に示すように、蓄積ゲート G_S の電圧凹部に蓄えられていた電子が転送ゲート G_T を通じて保持容量 C_S へ移動する。この時移動する電子の電荷量を Q とすると、保持容量 C_S の電圧は、この電子の移動で電圧 V_R から電圧 $\{V_R - (Q / C_S)\}$ へ変化する。ただし、この数式中 C_S は保持容量 C_S の容量値である。

30

【0037】

続いて、ゲート線 TG_i へ出力されるゲート信号の電圧は図 5 (C) に示すように高電位 f から低電位 e に戻る。また、ゲート線 AG_i へ出力されるゲート信号の電圧が図 5 (B) に示すように低電位 c から高電位 d へ変化する。ゲート線 AG_i 及び TG_i へ出力されるゲート信号は、トランスファクロック TC に同期している。

【0038】

以下、上記と同様の動作が、ゲート線 AG_i 及び TG_i へ出力されるゲート信号の電位変化に同期して変化するカウンタ 114 のカウンタ値が、コンパレータ 113_i において 1 ラインの i 番目の 10 ビットの画素値と一致して、図 5 (E) に示すように一致パルスが出力される時刻 T_3 まで巡回的に繰り返される。一致パルスが出力されると、その値をラッチする DF 115_i からの出力信号により、セクタ 116_i がデータ線 VD_j へ図 5 (F) に示すように、時刻 T_3 で電位 b の電圧を選択出力する。

40

【0039】

上記の電位 b は、図 6 (D) に模式的に示すように、蓄積ゲート G_S の電位 d よりも高いため、時刻 T_3 以降電子の移動は生じない。従って、 i 番目の列の保持容量 C_S の電位は時刻 T_3 以降、次にリセットされるまでの間変化せず、図 6 (D) に模式的に示す値に保持される。なお、画素値が 10 ビットの場合、カウンタ 114 は 10 ビットのカウント値を出力するため、カウント値が 10 進数で「1024」になった時点で停止して、 DA 変換動作が終了する。

【0040】

保持容量 C_S の電圧は、1 回の電子転送動作で前述したように「 $-(Q / C_S)$ 」だけ変

50

化する。従って、画素値が10ビットの場合、保持容量 C_s の電圧は、最大1024回の転送動作が行われる結果、最も変動した場合、「 $-(Q/C_s) \times 1024$ 」だけ変化する。1ラインの各列の画素の各保持容量 C_s の電圧は、1H期間の電子転送動作の回数で決められ、その回数は、画素値によって決定される。

【0041】

なお、上記の蓄積ゲート G_s の電位を $c \rightarrow d \rightarrow c$ (待機状態)と1サイクル変化させた時に電圧凹部に蓄積される電子数 Q を650個、保持容量 C_s の容量値を30fFとすると、1回の電子転送動作で保持容量 C_s の電圧は3.5mV変化する。従って、画素値が10ビットの場合、保持容量 C_s の電圧は、最大で3.6V(=3.5mV×1024)変化する。この値は液晶素子LCを変調するには十分な値である。また、蓄積ゲート G_s で650個の電子を運ぶことは特に問題なく実施できる。

10

【0042】

このように、本実施の形態の液晶表示素子によれば、1回の電子転送動作で転送される電子数は、蓄積ゲート G_s 内の電位差によって決められ、データ線 $VD_1 \sim VD_n$ の電圧変動などの外因の影響を受けない。従って、本実施の形態の液晶表示素子によれば、他の列の画素値の影響を受けて表示電圧が変わったりすることがなく、従来の液晶表示装置で問題となっていたランプ信号の波形変形によって画素の保持電圧が変わってしまい、表示画像中にストリーキングが発生するような問題が発生せず、表示画質を改善することができる。

【0043】

なお、本発明は上記の実施の形態に限定されるものではなく、例えば画素は図4の断面構成に限定されるものではなく、p型とn型とを変更してもよい。

20

【符号の説明】

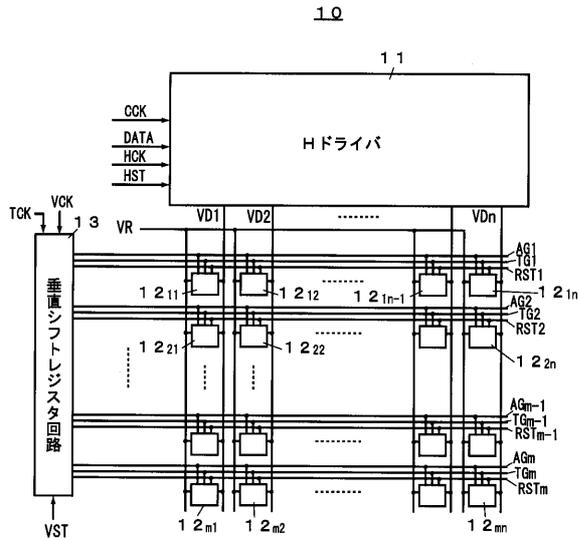
【0044】

- 10 液晶表示装置
- 11 Hドライバ
- 12₁₁ ~ 12_{mn} 画素
- 13 垂直シフトレジスタ回路
- 20 基板
- 21 ~ 26 n型拡散層
- 27 蓄積ゲート電極
- 28 転送ゲート電極
- 29 リセットゲート電極
- 111₁ ~ 111_n 水平シフトレジスタ(HSR)
- 112₁ ~ 112_n ラッチ
- 113₁ ~ 113_n コンパレータ
- 114 カウンタ
- 115₁ ~ 115_n D型フリップフロップ(DFP)
- 116₁ ~ 116_n セレクタ
- G_s 蓄積ゲート
- G_T 転送ゲート
- Q_R リセットトランジスタ
- C_s 保持容量
- VR 接続線
- $VD_1 \sim VD_n$ データ線
- $AG_1 \sim AG_n$ 、 $TG_1 \sim TG_n$ 、 $RST_1 \sim RST_n$ ゲート線

30

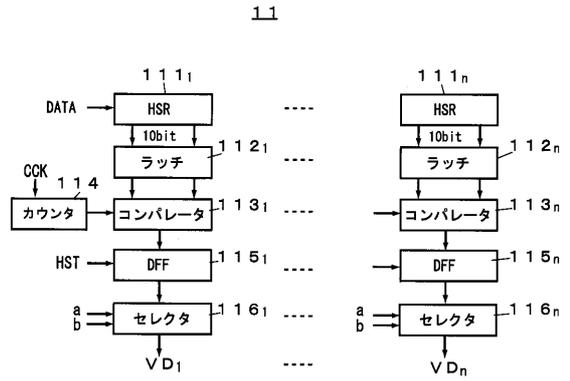
40

【 図 1 】

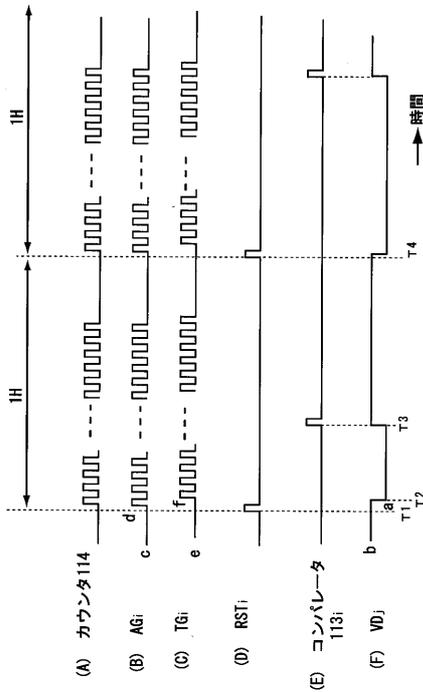


1 2 11 ~ 1 2 m n : 画素

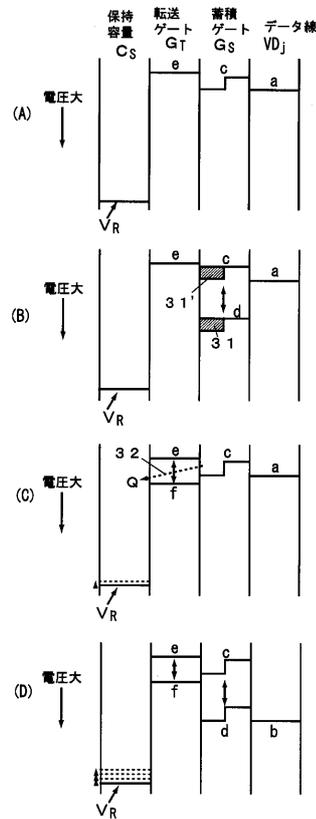
【 図 2 】



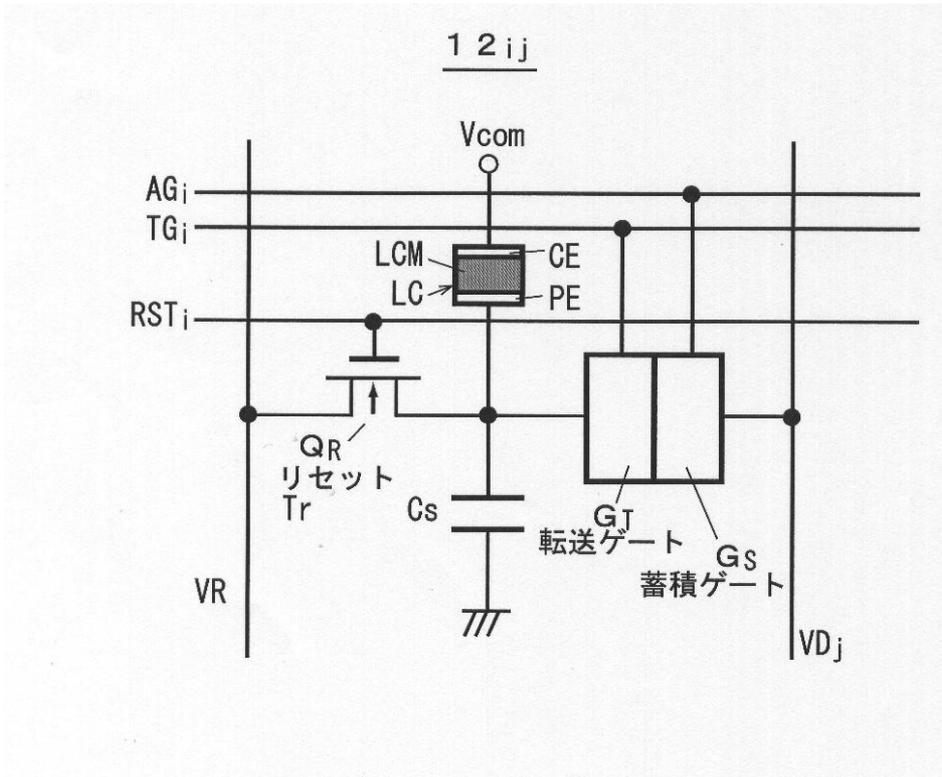
【 図 5 】



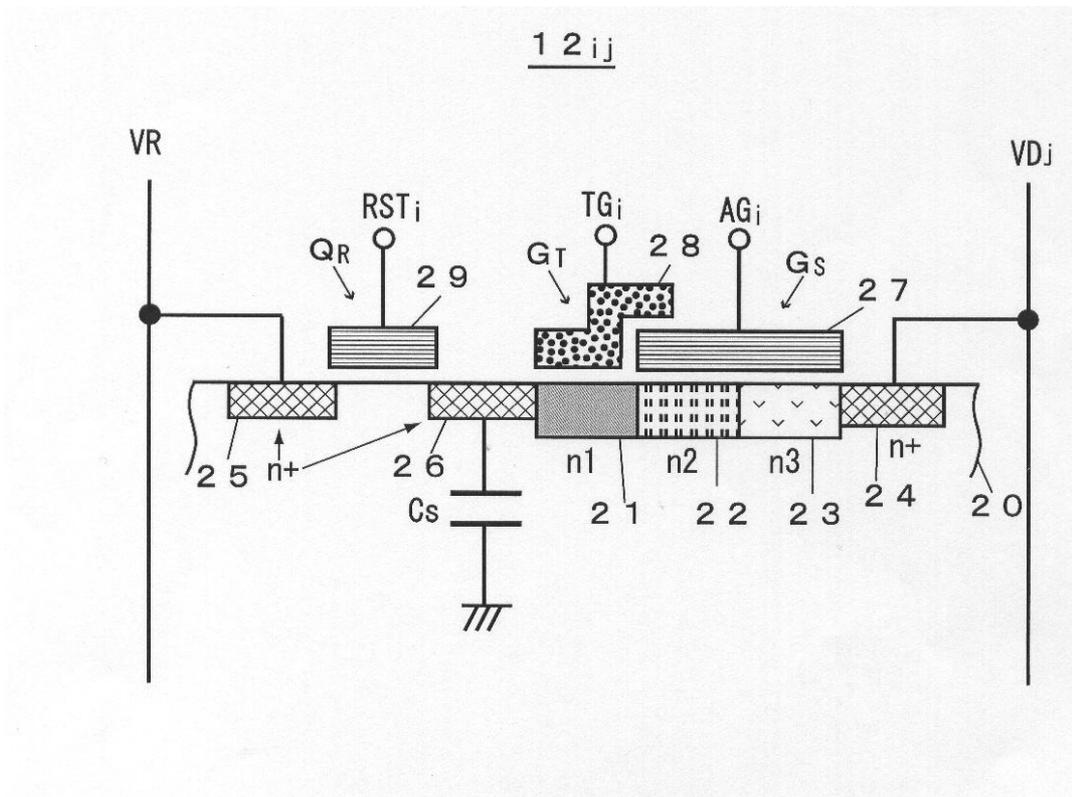
【 図 6 】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 4 1 P
G 0 2 F 1/1368
G 0 2 F 1/133 5 5 0
G 0 9 G 3/20 6 2 4 C
G 0 9 G 3/20 6 2 2 C
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 3 D

Fターム(参考) 5C006 AA16 AB03 AF42 AF43 AF45 AF51 AF52 AF53 AF82 AF85
BB16 BC03 BC05 BC11 BC20 BF03 BF04 BF14 BF22 BF34
BF37 EB05 EC11 FA26
5C080 AA10 BB05 CC03 DD01 DD09 DD10 EE29 EE30 FF11 JJ02
JJ03 JJ04 JJ05 JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2012083677A	公开(公告)日	2012-04-26
申请号	JP2010232088	申请日	2010-10-15
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	樋口 潤		
发明人	樋口 潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.680.H G09G3/20.641.C G09G3/20.611.D G09G3/20.641.P G02F1/1368 G02F1/133.550 G09G3/20.624.C G09G3/20.622.C G09G3/20.622.D G09G3/20.623.D		
F-TERM分类号	2H092/GA59 2H092/JA23 2H092/JB22 2H092/JB31 2H092/JB43 2H092/JB63 2H092/KA03 2H092/KA10 2H092/NA25 2H092/PA06 2H193/ZA03 2H193/ZA08 2H193/ZB30 2H193/ZD23 2H193/ZE40 5C006/AA16 5C006/AB03 5C006/AF42 5C006/AF43 5C006/AF45 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF82 5C006/AF85 5C006/BB16 5C006/BC03 5C006/BC05 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF22 5C006/BF34 5C006/BF37 5C006/EB05 5C006/EC11 5C006/FA26 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD09 5C080/DD10 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H192/AA24 2H192/CB12 2H192/CB22 2H192/CB24 2H192/CB26 2H192/CC24 2H192/DA42 2H192/FB09 2H192/GD03 2H192/GD61		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过采用在不使用斜坡信号的情况下执行DA转换的结构来解决由于斜坡信号的波形的变形引起的显示图像的问题。A中的1H，要显示与计数器，用于计算包含视频信号的像素值之间的预定时间段的时钟的计数值进行比较的情况下，像素值和计数器值的数据线VD_j匹配将其潜力从a改为b。存储栅极G_s取值中，当栅极线AG_i的电压I_a从一个潜在的低级C₁比电位C₂高的电位d，VD_j累积一定量的电荷转移。转移栅极G_t，栅极线TG_i的电压I_b是，当从比所述电位C₁的电位下向在更高的电势的变化F₁比电位C₂，的将存储的电荷转移到保持电容C_s并保持。直到数据线VD的电位V_d被改变为b，并且与存储的转移操作循环重复，保持电容C_s取值对应于重复数的电荷量。点域

