

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-12122

(P2019-12122A)

(43) 公開日 平成31年1月24日(2019.1.24)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/139 (2006.01)	G02F 1/139	2H088
G02F 1/13 (2006.01)	G02F 1/13 500	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H192
G02F 1/1368 (2006.01)	G02F 1/1368	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	
審査請求 未請求 請求項の数 6 O L (全 20 頁)		

(21) 出願番号 特願2017-127439 (P2017-127439)
 (22) 出願日 平成29年6月29日 (2017. 6. 29)

(71) 出願人 000002886
 D I C株式会社
 東京都板橋区坂下3丁目35番58号
 (74) 代理人 100177471
 弁理士 小川 眞治
 (74) 代理人 100163290
 弁理士 岩本 明洋
 (74) 代理人 100149445
 弁理士 大野 孝幸
 (74) 代理人 100159293
 弁理士 根岸 真
 (72) 発明者 佐々木 剛
 埼玉県北足立郡伊奈町大字小室4472-1
 D I C株式会
 社 埼玉工場内

最終頁に続く

(54) 【発明の名称】 液晶組成物および液晶表示素子

(57) 【要約】

【課題】本発明は、フリッカーが低減・抑制される液晶表示素子を提供することを目的とする。

【解決手段】 第一の基板および第二の基板が対向して設けられる一対の基板と、

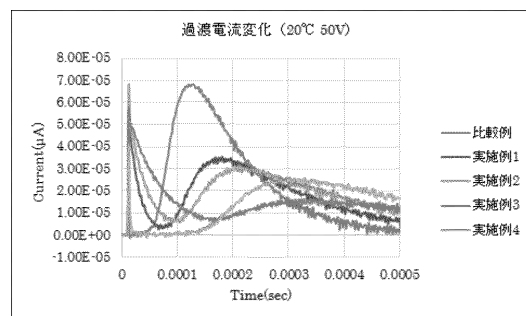
前記第一の基板と第二の基板と間に挟持された液晶層と、

前記第一の基板または第二の基板の少なくとも一方に設けられた画素電極と、

前記第一の基板または第二の基板の少なくとも一方に設けられた共通電極と、を有する液晶表示素子であって、

前記液晶層には、ホメオトロピック配向状態で電圧を印加したときに生じる最初の過渡電流値を I_{p1} とし、2回目の過渡電流値を I_{p2} とした場合、前記液晶層の過渡電流値 I_{p1} が前記液晶の過渡電流値 I_{p2} より大きな液晶層を用いることを特徴とする液晶表示素子。

【選択図】図12



【特許請求の範囲】

【請求項 1】

第一の基板および第二の基板が対向して設けられる一対の基板と、
前記第一の基板と第二の基板と間に挟持された液晶層と、
前記第一の基板または第二の基板の少なくとも一方に設けられた画素電極と、
前記第一の基板または第二の基板の少なくとも一方に設けられた共通電極と、を有する
液晶表示素子であって、

前記液晶層には、ホメオトロピック配向状態で電圧を印加したときに生じる最初の過渡電流値を I_{p1} とし、2 回目の過渡電流値を I_{p2} とした場合、前記液晶層の過渡電流値 I_{p1} が前記液晶の過渡電流値 I_{p2} より大きな液晶層を用いることを特徴とする液晶表示素子。

10

【請求項 2】

前記画素電極および前記共通電極は、前記第一の基板上に設けられる、請求項 1 に記載の液晶表示素子。

【請求項 3】

前記画素電極および前記共通電極は、前記第一の基板上に設けられ、かつ前記画素電極は前記共通電極より液晶側に設けられる請求項 1 に記載の液晶表示素子。

【請求項 4】

前記画素電極および前記共通電極は、前記第一の基板上に設けられ、かつ前記共通電極は前記画素電極より液晶側に設けられる請求項 1 に記載の液晶表示素子。

20

【請求項 5】

電極基板間に充填される液晶層に含まれる液晶組成物であって、
前記電極基板間に電圧を印加した際に最初に生じる過渡電流値 I_{p1} が、2 回目に生じる過渡電流値 I_{p2} より大きいことを特徴とする誘電率異方性が負の液晶組成物。

【請求項 6】

前記液晶層に含まれる液晶組成物は、誘電率異方性が負の液晶化合物および誘電率異方性が正の液晶化合物を含む、請求項 5 に記載の誘電率異方性が負の液晶組成物。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は液晶組成物および液晶表示素子に関する。

【背景技術】

【0002】

時計、電卓、各種測定機器、自動車用パネル、プリンター、コンピューター、テレビ、時計および広告表示板等に用いられるようになっている液晶表示素子の表示方式としては、代表的なものに TN（ツイステッド・ネマティック）型、STN（スーパー・ツイステッド・ネマティック）型、TFT（薄膜トランジスタ）を用いた VA（以下、垂直配向とも称する）型や IPS（イン・プレーン・スイッチング）型、FFS（フリンジ・フィールド・スイッチング）型等がある。PC モニターなどで広く用いられている液晶表示素子としては、TN 型、STN 型が挙げられ、液晶 TV などでも広く用いられる液晶表示素子の表示方式としては、VA 型、IPS 型が挙げられ、スマートフォンやタブレットなどで広く用いられる液晶表示素子の表示方式としては、IPS 型、FFS 型が挙げられる。これら全ての駆動方式において低電圧駆動、高速応答、広い動作温度範囲を示す液晶表示素子が求められている。

40

【0003】

なかでも低電圧駆動の一つテーマとして、低消費電力で駆動する液晶表示素子が昨今の省エネルギー推進の社会事情やスマートフォンなどの普及から注目されている。現在のところ、低消費電力化を図る手段として、液晶表示素子の駆動周波数を標準状態より低減する低周波駆動や、1 フレーム期間の書き込みを行った後に休止期間を設ける間欠駆動が提案されている。しかしながら、書き込み期間から休止期間への切り替わり時に電圧が大き

50

く変化して画素電位が大きく変動するため、休止期間における表示輝度と次フレーム期間の書き込み期間における表示輝度との差が大きくなることに起因して、特にフレーム期間の切り替わり時にフリッカーが生じ、表示品位が低下する問題が生じることが確認されている。

【 0 0 0 4 】

液晶表示素子は、液晶層に長時間直流電圧を印加すると、チャージアップにより表示特性に経時的変化が生じるため、1フレーム毎に正負極性を反転させるフレーム反転駆動が一般的である。画素電極と共通電極との間の電位差にのみ基づいて液晶分子の配向状態を制御することが理想であるが、実際には、画素電極の端部に強電界が作用するため液晶分子が逆分極し、電界の極性を反転したときこの分極が瞬時に反応するため輝度変動によりフリッカーが発生する。この逆分極はフレクソ分極とも呼ばれる。この逆分極によるフリッカーの発生は、特に F F S 型の液晶表示素子において顕著な技術的課題とされている。

10

【 0 0 0 5 】

さらには、人のフリッカー視覚感知は、周波数に依存し、同振幅の輝度変動でも周波数が低くなるほどフリッカーが視認されることが知られているため、低消費電力駆動と、フリッカー低減とはトレードオフの関係になる。

【 0 0 0 6 】

かかる問題を解決する技術として、特許文献 1 がある。当該特許文献 1 では、液晶表示素子に使用される液晶の極性化合物において、符号の異なる液晶化合物を混合することでフリッカーを低減できると開示されている。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 国際公開 2 0 1 5 / 1 3 3 1 9 4 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

上記特許文献 1 では、フリッカーの発生原因は特に触れられておらず、液晶組成物の成分を適切に選択することにより抑制できるとされている（段落「 0 0 4 1 」）。特に符号の異なる極性化合物を混合して用いた場合にフリッカー抑制効果が認められるようであるが、どのような設計指標により符号の異なる極性化合物を混合すればフリッカー抑制効果の高い液晶組成物が得られるのかは一切記載がない。

30

【 0 0 0 9 】

そこで、本発明の態様は、液晶組成物の回転粘性測定時に観測される過渡電流値の關係に着目して、フリッカーの低減・抑制が可能となる液晶組成物や液晶表示素子の提供を目的とするものである。

【 課題を解決するための手段 】

【 0 0 1 0 】

そこで本発明者らは鋭意検討し、以下の手段により上記課題を解決する。

【 0 0 1 1 】

40

(1) 本発明の第一は、第一の基板および第二の基板が対向して設けられる一対の基板と、前記第一の基板と第二の基板と間に挟持された液晶層と、前記第一の基板または第二の基板の少なくとも一方に設けられた画素電極と、前記第一の基板または第二の基板の少なくとも一方に設けられた共通電極と、を有する液晶表示素子であって、

前記液晶層には、ホメオトロピック配向状態で電圧を印加したときに生じる最初の過渡電流値を I_{p1} とし、2 回目の過渡電流値を I_{p2} とした場合、前記液晶層の過渡電流値 I_{p1} が前記液晶の過渡電流値 I_{p2} より大きな液晶層を用いることを特徴とする液晶表示素子である。

【 0 0 1 2 】

(2) 前記画素電極および前記共通電極は、前記第一の基板上に設けられる、(1) に

50

記載の液晶表示素子である。

【 0 0 1 3 】

(3) 前記画素電極および前記共通電極は、前記第一の基板上に設けられ、かつ前記画素電極は前記共通電極より液晶側に設けられる (1) に記載の液晶表示素子である。

【 0 0 1 4 】

(4) 前記画素電極および前記共通電極は、前記第一の基板上に設けられ、かつ前記共通電極は前記画素電極より液晶側に設けられる (1) に記載の液晶表示素子である。

【 0 0 1 5 】

(5) 電極基板間に充填される液晶層に含まれる液晶組成物であって、前記電極基板間に電圧を印加した際に最初に生じる過渡電流値 I_{p1} が、2回目に生じる過渡電流値 I_{p2} より大きいことを特徴とする誘電率異方性が負の液晶組成物である。

10

【 0 0 1 6 】

(6) 前記液晶層に含まれる液晶組成物は、誘電率異方性が負の液晶化合物および誘電率異方性が正の液晶化合物を含む、(5) に記載の誘電率異方性が負の液晶組成物である。

【 発明の効果 】

【 0 0 1 7 】

本発明に係る液晶組成物を用いた液晶表示素子によれば、フリッカーが低減・抑制することができる。

【 図面の簡単な説明 】

20

【 0 0 1 8 】

【 図 1 】 本発明の液晶表示素子 (液晶表示部) の構成の一例を模式的に示す図である。

【 図 2 】 液晶表示部の電極層 3 の構造を模式的に示す図であり、画素部分を等価回路で示した模式図である。

【 図 3 】 液晶表示部の電極層 3 の構造を模式的に示す図であり、画素電極の形状の一例を示す模式図である。

【 図 4 】 液晶表示部の電極層 3 の構造を模式的に示す図であり、画素電極の形状の一例を示す模式図である。

【 図 5 】 液晶表示部の電極層 3 の構造を模式的に示す図であり、画素電極の形状の一例を示す模式図である。

30

【 図 6 】 図 3 または図 4 における $III - III$ 線方向に図 1 に示す液晶表示素子を切断した断面図の他の例である。

【 図 7 】 図 5 における $III - III$ 線方向に図 1 に示す IPS 型の液晶表示部を切断した断面図である。

【 図 8 】 垂直配向型の液晶表示素子の液晶表示部の構成を模式的に示す図である。

【 図 9 】 図 8 における基板上に形成された薄膜トランジスタを含む電極層 3 (または薄膜トランジスタ層 3 とも称する。) の II 線で囲まれた領域を拡大した平面図である。

【 図 10 】 図 10 は、図 9 における $III - III$ 線方向に図 8 に示す液晶表示素子を切断した断面図である。

【 図 11 】 本発明の実験例および比較例を示す図である。

40

【 図 12 】 本発明の実験例および比較例を示す図である。

【 図 13 】 本発明の実験例および比較例を示す図である。

【 発明を実施するための形態 】

【 0 0 1 9 】

本発明の第一は、第一の基板および第二の基板が対向して設けられる一対の基板と、前記第一の基板と第二の基板と間に挟持された液晶層と、前記第一の基板または第二の基板の少なくとも一方に設けられた画素電極と、前記第一の基板または第二の基板の少なくとも一方に設けられた共通電極と、を有する液晶表示素子であって、前記液晶層には、ホメオトロピック配向状態で電圧を印加したときに生じる最初の過渡電流値を I_{p1} とし、2回目の過渡電流値を I_{p2} とした場合、前記液晶層の過渡電流値 I_{p1} が前記液晶の過

50

渡渡電流値 I_{p2} より大きな液晶層を用いることを特徴とする液晶表示素子である。

【0020】

液晶分子がホメオトロピック配向状態で電圧を印加したときに生じる最初の過渡電流値 I_{p1} と、2回目の過渡電流値を I_{p2} とを測定した場合、実際の液晶表示素子に設けられている液晶層の配向状態（ホメオトロピック配向またはホモジニアス配向）に依存することなく、ホメオトロピック配向状態の液晶で測定した過渡電流値 I_{p1} が、ホメオトロピック配向状態の液晶組成物で測定した過渡電流値 I_{p2} より大きい液晶層を用いることでフリッカーが低減・抑制することができることを確認した。

【0021】

本発明の液晶層は、負の誘電率異方性を示すことが好ましい。本発明では、液晶層に用いる液晶組成物をホメオトロピック配向状態で電圧を印加したときに生じる最初の過渡電流値 I_{p1} と、2回目の過渡電流値を I_{p2} とを測定しているが、このように2つの過渡電流値が発現する手段としては、誘電率異方性が負の液晶化合物および誘電率異方性が正の液晶化合物を含む誘電率異方性が負の液晶組成物を液晶層に用いることが好ましい。液晶層全体は、負の誘電率異方性を示すが、当該液晶層に誘電率異方性が正の液晶化合物を含むことで2つの過渡電流値が発現することが確認された。ここで「液晶組成物がホメオトロピック配向状態で電圧を印加したときに生じる最初の過渡電流値を I_{p1} とし」とは、電圧無印加においてホメオトロピック配向している液晶分子に対して電圧印加した際に生じる最初の過渡電流値を言い、「2回目の過渡電流値を I_{p2} とし」とは、前記最初の過渡電流値後に生じる過渡電流値を言う。また、本明細書では、「最初の過渡電流値 I_{p1} 」は、第一の過渡電流を I_{p1} とも称し、「2回目の過渡電流値」とは、第二の過渡電流を I_{p2} とも称する。

【0022】

従来の液晶組成物では第一の過渡電流 I_{p1} は観察できない。当該第一の過渡電流 I_{p1} は、添加した誘電率異方性が正の液晶化合物の作用によるものであると考えられる。具体的には、一旦液晶セル中に充電された電荷を相殺するように、内部の液晶分子が分極することで発生すると考えられる。つまり、液晶分子の誘電分極による作用であると考えられるが、この場合は、主成分である誘電率異方性が負の液晶組成物に対して、添加した誘電率異方性が正の液晶化合物が沿うように垂直配向している。（電場の向きの説明を追加）ここで誘電率異方性が負の液晶組成物の過渡電流を測定するためには、一対の対向電極を持つ液晶セルに対して、ホメオトロピック配向している液晶セルを用いる。つまり液晶セルに印加される電場の方向と誘電率異方性が正の液晶化合物の分極方向が一致した状態となっている。この状態における誘電率異方性が正の液晶化合物の分極は、一旦液晶セルに充電された電荷を相殺する方向に働くと考えられる。この誘電率異方性が正の液晶化合物の誘電分極の過程が、第一の過渡電流 I_{p1} の緩和過程に現れており、誘電分極の早さが第一の過渡電流の緩和時間と一致する。

【0023】

換言すると、フリッカーの発生原因の一つとして、画素電極の端部に強電界が作用するため液晶分子が逆分極し、電圧の印加時や電界の極性を反転したときこの分極が瞬時に反応するため輝度変動が生じると考えられている。主成分である誘電率異方性が負の液晶組成物に対して誘電率異方性が真逆であり、かつダイレクターの方向と分極方向が一致する正の液晶化合物を（少量）添加することで、負の誘電率異方性を示す液晶化合物の逆分極を正の誘電率異方性を示す液晶化合物が緩和または低減することでフリッカーを抑制していると考えられる。そのため、実際の液晶表示素子における電圧印加時の電界の方向が基板に水平または電圧印加時の電界方向が基板に垂直に関わらず、主成分である誘電率異方性が負の液晶組成物と正の誘電率異方性を示す液晶化合物との誘電率異方性およびダイレクターの方向関係が変わらない。また、電圧無印加時の液晶分子の配向方向がホメオトロピック配向状態またはホメオトロピック配向状態に関わらず主成分である誘電率異方性が負の液晶組成物と正の誘電率異方性を示す液晶化合物との誘電率異方性およびダイレクターの方向関係が変わらない。

10

20

30

40

50

【 0 0 2 4 】

そのため、正の誘電率異方性を示す液晶化合物と負の誘電率異方性を示す液晶化合物とを含む誘電率異方性が負の液晶組成物においては、負の誘電率異方性を示す液晶化合物の逆分極を正の誘電率異方性を示す液晶化合物が緩和または低減する効果を奏すると考えられる。

【 0 0 2 5 】

さらに、上述したように、第一（最初）の過渡電流 I_{p1} は誘電率異方性が正の液晶化合物に起因し、第二（2回目）の過渡電流 I_{p1} は誘電率異方性が負の液晶化合物に起因すると考えられる。そのため、ホメオトロピック配向状態の液晶（負の誘電率異方性を示す液晶組成物であり、かつ誘電率異方性が正の液晶化合物を含む）に対して電圧を印加することで生じる過渡電流値の大小関係を、ホモジニアス配向の液晶（負の誘電率異方性を示す液晶組成物であり、かつ誘電率異方性が正の液晶化合物を含む）に対して電圧を印加する F F S 型や I P S 型の液晶表示素子に適用できると考えられ、実際にそのような実験結果（後述）が得られている。

【 0 0 2 6 】

一般に、過渡電流値については、液晶組成物の回転粘性率 γ_1 を算出するために過渡電流値を用いて測定する方法が知られている。後述の実験結果の説明の際に回転粘性率 γ_1 と過渡電流との関係の詳細を説明するが、電圧を印加した際の液晶分子のダイレクター（長軸方向）の変化により電気容量が変わるため、当該変化した電気容量に対応する過渡電流値を測定することで当該電気容量の変化率（過渡電流値）とダイレクター回転の関係式から回転粘性率 γ_1 （回転粘性とも称する）を算出している。

【 0 0 2 7 】

例えば、液晶層が正の誘電率異方性を示す液晶組成物を使用している場合の回転粘性率 γ_1 の測定は、アンチパラレルで水平配向（ホモジニアス配向）させる配向膜を表面に備えた一对の対向電極間に液晶層を充填し、対向電極に電圧を印加させることで、液晶分子を基板に対して水平配向（ホモジニアス配向）から垂直配向（ホメオトロピック配向）に傾斜させることに起因するダイレクターの変化を測定している。一方、液晶層が負の誘電率異方性を示す液晶組成物を使用している場合の回転粘性率 γ_1 の測定は、垂直配向（ホメオトロピック配向）させる配向膜を表面に備えた一对の対向電極間に液晶層を充填して、対向電極に電圧を印加させることで、液晶分子を垂直配向（ホメオトロピック配向）から水平配向（ホモジニアス配向）に傾斜させることに起因するダイレクターの変化を測定している。そのため、測定原理および測定装置の関係上の理由でも、ホメオトロピック配向状態の液晶（負の誘電率異方性を示す液晶組成物であり、かつ誘電率異方性が正の液晶化合物を含む）に対して電圧を印加することで生じる過渡電流値の大小関係を、ホモジニアス配向の液晶（負の誘電率異方性を示す液晶組成物であり、かつ誘電率異方性が正の液晶化合物を含む）に対して電圧を印加する F F S 型や I P S 型の液晶表示素子に適用している。

【 0 0 2 8 】

なお、電気容量は液晶分子の長軸方向の誘電率と短軸方向の誘電率との比率に依存するため、ダイレクターの向きが変わらないインプレーン（面内変化）では電気容量が変化しない。

【 0 0 2 9 】

以下、本発明に係る液晶表示素子の好ましい実施形態について図を用いて説明する。

【 0 0 3 0 】

本発明に係る液晶表示素子は、液晶表示部（いわゆる液晶パネル）と、表示処理部とを有することが好ましい。前記液晶表示部は、後述の図 1 ～ 7 などの説明するように、画素毎に画素電極および薄膜トランジスタを含む駆動回路が配設された駆動基板と、対向基板との間に液晶層を封止したものである。

【 0 0 3 1 】

また、表示処理部は、映像信号に対してフレームレート変換などの処理を行い、その処

10

20

30

40

50

理結果に応じてバックライトおよび液晶表示部を制御するものである。

【 0 0 3 2 】

以下、本発明に係る液晶表示素子の液晶表示部の説明を行った後、図面に基づいて表示処理部の動作および作用を説明する。

【 0 0 3 3 】

本発明に係る液晶表示素子の液晶表示部の一実施形態を説明する。図 1 は、液晶表示素子の液晶表示部の構成を模式的に示す図である。図 1 では、説明のために便宜上各構成要素を離間して記載している。本発明に係る液晶表示素子 10 は、図 1 に記載するように、対向に配置された第 1 の（透明絶縁）基板（透明基板とも称する）2 と、第 2 の（透明絶縁）基板 7 との間に挟持された液晶組成物（または液晶層 5）を有する液晶表示素子である。第 1 の（透明絶縁）基板 2 は、液晶層 5 側の面に電極層 3 が形成されている。また、液晶層 5 と、第 1 の（透明絶縁）基板 2 及び第 2 の（透明絶縁）基板 7 のそれぞれの間に、配向膜 4 が設けられており、当該配向膜 4 により電圧無印加時に該液晶組成物中の液晶分子が記基板 2, 7 に対して所定方向に配向することができる。さらに図 1 では、電極層 3 として画素電極と共通電極とが第 1 の基板 2 側に設けられているが、画素電極を第 1 の基板 2 に設け、共通電極を第 2 の基板 7 に設けてもよい。

【 0 0 3 4 】

図 1 では、一对の偏光板 1, 8 により前記第 2 の基板 7 および前記第 1 の基板 2 を挟持した形態を記載しているが、偏光板 1, 8 を設ける位置はこの図に限定される訳ではない。さらに、図 1 では、前記第 2 の基板 7 と配向膜 4 との間にカラーフィルタ 6 が設けられている。なお、本発明に係る液晶表示素子の形態としては、いわゆるカラーフィルタオンアレイ（COA）であってもよく、電極層 3 と液晶相 5 の間にカラーフィルタ 6 を設けても、または当該電極層 3 と第 1 の基板 2 との間にカラーフィルタを設けてもよい。また、必要により、オーバコート層（図示せず）を、カラーフィルタ層 6 を覆って設けることで、カラーフィルタ層に含まれる物質が液晶層へ流出することを防止してもよい。

【 0 0 3 5 】

図 1 ~ 10 では説明上、本発明の液晶表示素子の好適な実施形態として、液晶層 5 と第 1 の基板 2 との間および液晶層 5 と前記第 2 の基板 7 との間にそれぞれの第 1 の基板および第 2 の基板上に配向膜 4 が形成された例を記載しているが、本発明の液晶表示素子は、第 1 の基板 2 または第 2 の基板 7 上の少なくとも一方に配向膜 4 が形成されていればよい。例えば、液晶層 5 と第 1 の基板 2 との間に配向膜 4 が前記第 1 の基板 2 上に液晶層 5 と当接するように形成されている場合、他方の液晶層 5 と第 2 の基板 7 との間には、配向膜を設けなくてもよい。

【 0 0 3 6 】

すなわち、本発明に係る液晶表示素子 10 は、第 1 の基板 2 と、電極層 3 と、配向膜 4 と、液晶組成物を含む液晶層 5 と、配向膜 4 と、カラーフィルタ 6 と、第 2 の基板 7 と、が順次積層された構成を含むことが好ましい。

【 0 0 3 7 】

第 1 の基板 2 と第 2 の基板 7 はガラス又はプラスチックの如き柔軟性をもつ材料を用いることができ、少なくとも一方は透明な材料であり、他方は透明な材料であっても、金属やシリコン等の不透明な材料でも良い。2 枚の基板は、周辺領域に配置されたエポキシ系熱硬化性組成物等のシール材及び封止材によって貼り合わされていて、その間には基板間距離を保持するために、例えば、ガラス粒子、プラスチック粒子、アルミナ粒子等の粒状スペーサーまたはフォトリソグラフィー法により形成された樹脂からなるスペーサー柱が配置されていてもよい。

【 0 0 3 8 】

図 2 ~ 図 5 は、液晶表示部の電極層 3 の構造図の模式図を表し、より詳細には図 2 は、画素部分を等価回路で示した模式図であり、図 3 および図 4 は画素電極の形状の一例を示す模式図である。また、図 3 ~ 図 4 では、本実施形態の一例として、網目状に配置された画素を含む液晶表示部を備える FFS 型の液晶表示素子である。当該液晶表示部に対して

背面側から照明する照明手段としてバックライトを設けることで液晶表示装置として駆動する。当該バックライトの光源としては、発光ダイオードや冷陰極管を利用したものが挙げられる。

【0039】

当該図2において、本発明に係る電極層3は、共通電極および複数の画素電極を備えている。画素電極は、絶縁層（例えば、窒化シリコン（SiN）など）を介して共通電極上に配置されている。画素電極は表示画素毎に配置され、スリット状の開口部が形成されている。共通電極と画素電極とは、例えばITO（Indium Tin Oxide）によって形成された透明電極であり、電極層3は、表示部において、複数の表示画素が配列する行に沿って延びるゲートバスラインGBL（GBL1、GBL2・・・GBLm）と、複数の表示画素が配列する列に沿って延びるソースバスラインSBL（SBL1、SBL2・・・SBLm）と、ゲートバスラインとソースバスラインとが交差する位置近傍に画素スイッチとして薄膜トランジスタを備えている。また、当該薄膜トランジスタのゲート電極は対応するゲートバスラインGBLと電氣的に接続されており、当該薄膜トランジスタのソース電極は対応する信号線SBLと電氣的に接続されている。さらに、薄膜トランジスタのドレイン電極は、対応する画素電極と電氣的に接続されている。

10

【0040】

電極層3は、複数の表示画素を駆動する駆動手段として、ゲートドライバとソースドライバとを備えており、前記ゲートドライバおよび前記ソースドライバは、液晶表示部の周囲に配置されている。また、複数のゲートバスラインはゲートドライバの出力端子と電氣的に接続され、複数のソースバスラインはソースドライバの出力端子と電氣的に接続されている。

20

【0041】

ゲートドライバは複数のゲートバスラインにオン電圧を順次印加して、選択されたゲートバスラインに電氣的に接続された薄膜トランジスタのゲート電極にオン電圧を供給する。ゲート電極にオン電圧が供給された薄膜トランジスタのソース・ドレイン電極間が導通する。ソースドライバは、複数のソースバスラインのそれぞれに対応する出力信号を供給する。ソースバスラインに供給された信号は、ソース・ドレイン電極間が導通した薄膜トランジスタを介して対応する画素電極に印加される。ゲートドライバおよびソースドライバは、液晶表示素子の外部に配置された表示処理部（制御回路とも称する）により動作を制御される。

30

【0042】

本発明に係る表示処理部は、通常駆動のほかに駆動電力低減のために低周波駆動の機能または間欠駆動の機能を備えていることが好ましく、TF T液晶パネルのゲートバスラインを駆動するためのLSIであるゲートドライバの動作およびTF T液晶パネルのソースバスラインを駆動するためのLSIであるソースドライバの動作を制御するものである。また、共通電極に共通電圧 V_{COM} を供給し、バックライトの動作も制御している。

【0043】

液晶表示素子の駆動周波数を標準状態より低減する低周波駆動や、1フレーム期間の書き込みを行った後に休止期間を設ける間欠駆動は、書き込み期間から休止期間への切り替わり時に電圧が大きく変化して画素電位が大きく変動するため、休止期間における表示輝度と次フレーム期間の書き込み期間における表示輝度との差が大きくなることに起因して、特にフレーム期間の切り替わり時にフリッカーが生じ、表示品位が低下する問題が生じることが確認されている。人のフリッカー視覚感知は、周波数に依存し、同振幅の輝度変動でも周波数が低くなるほどフリッカーが視認され易いことが知られているため、低消費電力駆動と、フリッカー低減とはトレードオフの関係になる。そのため、本発明に係る液晶表示素子が低周波駆動または間欠駆動を備えた場合に、フリッカー低減効果を発揮するため好ましい。

40

【0044】

図3は、画素電極の形状の一例として楕形の画素電極を示した図であり、図1における

50

基板 2 上に形成された電極層 3 の I I 線で囲まれた領域を拡大した平面図である。図 3 に示すように、第 1 の基板 2 の表面に形成されている薄膜トランジスタを含む電極層 3 は、走査信号を供給するための複数のゲートバスライン 2 6 と表示信号を供給するための複数のソースバスライン 2 5 とが、互いに交差してマトリクス状に配置されている。当該複数のゲートバスライン 2 6 と当該複数のソースバスライン 2 5 とにより囲まれた領域により、液晶表示装置の単位画素が形成され、該単位画素内には、画素電極 2 1 及び共通電極 2 2 が形成されている。ゲートバスライン 2 6 とソースバスライン 2 5 が互いに交差している交差点近傍には、ソース電極 2 7、ドレイン電極 2 4 およびゲート電極 2 8 を含む薄膜トランジスタが設けられている。この薄膜トランジスタは、画素電極 2 1 に表示信号を供給するスイッチ素子として、画素電極 2 1 と連結している。また、ゲートバスライン 2 6 と並行して、共通ライン 2 9 が設けられる。この共通ライン 2 9 は、共通電極 2 2 に共通信号を供給するために、共通電極 2 2 と連結している。

10

【0045】

画素電極 2 1 の背面には絶縁層 1 8 (図示せず)を介して共通電極 2 2 が一面に形成されている。そして、隣接する共通電極と画素電極との最短離間距離は配向層同士の最短離間距離より短い。前記画素電極の表面には保護絶縁膜及び配向膜層によって被覆されていることが好ましい。なお、前記複数のゲートバスライン 2 6 と複数のソースバスライン 2 5 とに囲まれた領域にはソースバスライン 2 5 を介して供給される表示信号を保存するストレージキャパシタ 2 3 を設けてもよい。

20

【0046】

また、図 4 は、図 3 の変形例であり、画素電極の形状の一例としてスリット状の画素電極を示した図である。当該図 4 に示す画素電極 2 1 は、略長方形の平板体の電極を、当該平板体の中央部および両端部が三角形の切欠き部でくり抜かれ、その他の部分は略矩形枠状の切欠き部でくり抜かれた形状である。なお、切欠き部の形状は特に制限されるものではなく、楕円、円形、長方形、菱形、三角形、または平行四辺形など公知の形状の切欠き部を使用できる。

【0047】

なお、図 3 および図 4 には、一画素における一对のゲートバスライン 2 6 及び一对のソースバスライン 2 5 のみが示されている。

30

【0048】

図 6 は、図 3 または図 4 における I I I - I I I 線方向に図 1 に示す液晶表示素子を切断した断面図の他の例である。配向層 4 および薄膜トランジスタを含む電極層 3 が表面に形成された第 1 の基板 2 と、配向層 4 が表面に形成された第 2 の基板 8 とが所定の間隔 G で配向層同士向かい合うよう離間しており、この空間に液晶組成物を含む液晶層 5 が充填されている。第 1 の基板 2 の表面の一部にゲート絶縁膜 1 2、共通電極 2 2、絶縁膜 1 8、画素電極 2 1 および配向層 4 の順で積層されている。

【0049】

薄膜トランジスタの構造の好適な一態様は、例えば、図 6 で示すように、基板 2 表面に形成されたゲート電極 1 1 と、当該ゲート電極 1 1 を覆い、且つ前記基板 2 の略全面を覆うように設けられたゲート絶縁層 1 2 と、前記ゲート電極 1 1 と対向するよう前記ゲート絶縁層 1 2 の表面に形成された半導体層 1 3 と、前記半導体層 1 3 の表面の一部を覆うように設けられた保護膜 1 4 と、前記保護層 1 4 および前記半導体層 1 3 の一方の側端部を覆い、かつ前記基板 2 表面に形成された前記ゲート絶縁層 1 2 と接触するように設けられたドレイン電極 1 6 と、前記保護膜 1 4 および前記半導体層 1 3 の他方の側端部を覆い、かつ前記基板 2 表面に形成された前記ゲート絶縁層 1 2 と接触するように設けられたソース電極 1 7 と、前記ドレイン電極 1 6 および前記ソース電極 1 7 を覆うように設けられた絶縁保護層 1 8 と、を有している。ゲート電極 1 1 の表面にゲート電極との段差を無くす等の理由により陽極酸化被膜 (図示せず)を形成してもよい。

40

【0050】

図 3 及び図 4 に示す実施の形態では、共通電極 2 2 はゲート絶縁層 1 2 上のほぼ全面に

50

形成された平板状の電極であり、一方、画素電極 2 1 は共通電極 2 2 を覆う絶縁保護層 1 8 上に形成された櫛形の電極である。すなわち、共通電極 2 2 は画素電極 2 1 よりも第 1 の基板 2 に近い位置に配置され、これらの電極は絶縁保護層 1 8 を介して互いに重なりあって配置される。画素電極 2 1 と共通電極 2 2 は、例えば、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、IZTO (Indium Zinc Tin Oxide) 等の透明導電性材料により形成される。画素電極 2 1 と共通電極 2 2 が透明導電性材料により形成されるため、単位画素面積で開口される面積が大きくなり、開口率及び透過率が増加する。

【0051】

また、画素電極 2 1 と共通電極 2 2 とは、これらの電極間にフリンジ電界を形成するために、画素電極 2 1 と共通電極 2 2 との間の電極間距離（最小離間距離とも称する） R が、第 1 の基板 2 と第 2 の基板 7 との間の液晶層 5 の厚さ G より小さくなるように形成される。ここで、電極間距離 R は各電極間の基板に水平方向の距離を表す。図 3 では、平板状の共通電極 2 2 と櫛形の画素電極 2 1 とが重なり合っているため、最小離間距離（または電極間距離）： $R = 0$ となる例が示されており、最小離間距離 R が第 1 の基板 2 と第 2 の基板 7 との間の液晶層の厚さ（セルギャップとも称される）： G よりも小さくなるため、フリンジの電界 E が形成される。したがって、FFS 型の液晶表示素子は、画素電極 2 1 の櫛形を形成するラインに対して垂直な方向に形成される水平方向の電界と、放物線状の電界を利用することができる。画素電極 2 1 の櫛状部分の電極幅： l 、及び、画素電極 2 1 の櫛状部分の間隙の幅： m は、発生する電界により液晶層 5 内の液晶分子が全て駆動され得る程度の幅に形成することが好ましい。また、画素電極と共通電極との最小離間距離 R は、ゲート絶縁膜 1 2 の（平均）膜厚として調整することができる。

【0052】

本発明に係る液晶表示素子の液晶表示部の FFS 型の変形例である IPS 型の液晶表示素子の例を図 1、図 5、図 7 を用いて説明する。IPS 型の液晶表示素子の構成は、上記図 1 の FFS 型と同様に片側の基板上に電極層 3（共通電極と画素電極と TFT を含む）が設けられた構造であり、第 1 の偏光板 1 と、第 1 の基板 2 と、電極層 3 と、配向膜 4 と、液晶組成物を含む液晶層 5 と、配向膜 4 と、カラーフィルタ 6 と、第 2 の基板 7 と、第 2 の偏光板 8 と、が順次積層された構成である。

【0053】

図 5 は、IPS 型の液晶表示部における図 1 の第 1 の基板 2 上に形成された電極層 3 の II 線で囲まれた領域の一部を拡大した平面図である。図 5 に示すように、走査信号を供給するための複数のゲートバスライン 2 6 と表示信号を供給するための複数のデータバスライン 2 5 とにより囲まれた領域内（単位画素内）で、櫛歯形の第 1 の電極（例えば、画素電極）2 1 と櫛歯形の第 2 の電極（例えば、共通電極）2 2 とが互いに遊嵌した状態（両電極が一定距離を保った状態で離間して噛み合った状態）で設けられている。該単位画素内には、ゲートバスライン 2 6 とソースバスライン 2 5 が互いに交差している交差点近傍には、ソース電極 2 7、ドレイン電極 2 4 およびゲート電極 2 8 を含む薄膜トランジスタが設けられている。この薄膜トランジスタは、第 1 の電極 2 1 に表示信号を供給するスイッチ素子として、第 1 の電極 2 1 と連結している。また、ゲートバスライン 2 6 と並行して、共通ライン（ V_{com} ）2 9 が設けられる。この共通ライン 2 9 は、第 2 の電極 2 2 に共通信号を供給するために、第 2 の電極 2 2 と連結している。

【0054】

図 7 は、図 5 における III - III 線方向に図 1 に示す IPS 型の液晶表示部を切断した断面図である。第 1 の基板 2 上には、ゲートバスライン 2 6（図示せず）を覆い、且つ第 1 の基板 2 の略全面を覆うように設けられたゲート絶縁層 3 2 と、ゲート絶縁層 3 2 の表面に形成された絶縁保護層 3 1 とが設けられ、絶縁保護層 3 1 上に、第 1 の電極（画素電極）2 1 及び第 2 の電極（共通電極）2 2 が離間して設けられる。絶縁保護層 3 1 は、絶縁機能を有する層であり、窒化ケイ素、二酸化ケイ素、ケイ素酸窒化膜等で形成される。

10

20

30

40

50

【 0 0 5 5 】

図 5 及び図 7 に示す実施の形態では、第 1 の電極 2 1 及び第 2 の電極 2 2 は、絶縁保護層 3 1 上に、すなわち同一の層上に形成された櫛形の電極であり、互いに離間して噛み合った状態で設けられている。IPS 型の液晶表示部では、第 1 の電極 2 1 と第 2 の電極 2 2 との間の電極間距離 G と、第 1 の基板 2 と第 2 の基板 7 との間の液晶層の厚さ（セルギャップ）： H は、 $G = H$ の関係を満たす。電極間距離： G とは、第 1 の電極 2 1 と第 2 の電極 2 2 との間の、基板に水平方向の最短距離を表し、図 5 及び図 7 で示す例においては、第 1 の電極 2 1 と第 2 の電極 2 2 とが遊嵌して交互に形成されたラインに対して、垂直方向の距離を表す。第 1 の基板 2 と第 2 の基板 7 との距離： H とは、第 1 の基板 2 と第 2 の基板 7 との間の液晶層の厚さを表し、具体的には、第 1 の基板 2 及び第 2 の基板 7 のそれぞれに設けられた配向膜 4（最表面）間の距離（すなわちセルギャップ）、液晶層の厚みを表す。

10

【 0 0 5 6 】

一方、先述の FFS 型の液晶表示部では、第 1 の基板 2 と第 2 の基板 7 との間の液晶層の厚さが、第 1 の電極 2 1 と第 2 の電極 2 2 との間の、基板に水平方向の最短距離未満であり、IPS 型の液晶表示部は、第 1 の基板 2 と第 2 の基板 7 との間の液晶層の厚さが、第 1 の電極 2 1 と第 2 の電極 2 2 との間の、基板に水平方向の最短距離以上である。したがって、IPS と FFS の違いは、第 1 の電極 2 1 及び第 2 の電極 2 2 の厚み方向の位置関係に依存しない。

【 0 0 5 7 】

20

IPS 型の液晶表示素子は、第 1 の電極 2 1 及び第 2 の電極 2 2 間に形成される基板面に対して水平方向の電界を利用して液晶分子を駆動させる。第 1 の電極 2 1 の電極幅： Q 、及び第 2 の電極 2 2 の電極幅： R は、発生する電界により液晶層 5 内の液晶分子が全て駆動され得る程度の幅に形成することが好ましい。

【 0 0 5 8 】

本発明に係る液晶表示素子は、FFS 型または IPS 型の液晶表示素子が好ましく、画素電極および共通電極は、第一の基板上に設けられることが好ましい。

【 0 0 5 9 】

本発明に係る液晶表示素子は、FFS 型の液晶表示素子がより好ましく、画素電極および共通電極は、前記第一の基板上に設けられ、かつ画素電極は共通電極より液晶側に設けられることが好ましい。

30

【 0 0 6 0 】

本発明に係る液晶表示素子は、FFS 型の液晶表示素子がより好ましく、画素電極および共通電極は、第一の基板上に設けられ、かつ共通電極は画素電極より液晶側に設けられることが好ましい。画素電極と共通電極との厚み方向の位置関係を逆転した形態である。

【 0 0 6 1 】

本発明の好ましい他の実施形態は、垂直配向型の液晶表示素子である。図 8 は、垂直配向型の液晶表示素子の液晶表示部の構成を模式的に示す図である。また、図 8 では、説明のために便宜上各構成要素を離間して記載している。図 9 は、当該図 8 における基板上に形成された薄膜トランジスタを含む電極層 3（または薄膜トランジスタ層 3 とも称する。）の II 線で囲まれた領域を拡大した平面図である。図 10 は、図 9 における III-III 線方向に図 1 に示す液晶表示素子を切断した断面図である。以下、図 8 ~ 10 を参照して、本発明に係る垂直配向型の液晶表示部を説明する。

40

【 0 0 6 2 】

本発明に係る液晶表示素子 10 の構成は、図 8 に記載するように透明導電性材料からなる透明電極（層）3'（または共通電極 3' とも称する。）を具備した第 2 の基板 7 と、画素電極および各画素に具備した前記画素電極を制御する薄膜トランジスタを形成した電極層 3 を含む第 1 の基板 2 と、前記第 1 の基板 2 と第 2 の基板 7 との間に挟持された液晶組成物（または液晶層 5）を有し、該液晶組成物中の液晶分子の電圧無印加時の配向が前記基板 2, 7 に対して略垂直である液晶表示素子であって、該液晶組成物として前記本発

50

明の液晶組成物を用いたことに特徴を有するものである。また図 8 および図 10 に示すように、前記第 1 の基板 2 および前記第 2 の基板 7 は、一对の偏光板 1, 8 により挟持されてもよい。さらに、図 8 では、前記第 2 の基板 7 と共通電極 3' との間にカラーフィルタ 6 が設けられている。またさらに、本発明に係る液晶層 5 と隣接し、かつ当該液晶層 5 を構成する液晶組成物と直接当接するよう一对の配向膜 4 を透明電極 (層) 3, 3' 表面に形成してもよい。

【0063】

図 9 は、画素電極 21 の形状の一例として逆 L 字型の画素電極を示した図であり、図 8 における基板 2 上に形成された電極層 3 の I I 線で囲まれた領域を拡大した平面図である。前記画素電極 21 は、上記図 3、4 と同様に、ゲートバスライン 26 とソースバスライン 25 とに囲まれた領域の略全面に逆 L 字型に形成されているが、画素電極の形状は限定されるものではない。

10

【0064】

垂直配向型の液晶表示素子の液晶表示部は、上記の IPS 型や FFS 型とは異なり、共通電極 22 (図示せず) が画素電極 21 と対向離間して形成されている。換言すると、画素電極 21 と、共通電極 22 とは別の基板上に形成されている。一方、先述の FFS や IPS 型の液晶表示素子は、画素電極 21 および共通電極 22 が同一基板上に形成されている。

【0065】

また、当該カラーフィルタ 6 は、光の漏れを防止する観点で、薄膜トランジスタおよびストレージキャパシタ 23 に対応する部分にブラックマトリックス (図示せず) を形成することが好ましい。

20

【0066】

図 10 は、図 9 おける I I I - I I I 線方向に図 8 に示す液晶表示素子を切断した断面図である。すなわち、本発明に係る液晶表示素子 10 は、第 1 の偏光板 1 と、第 1 の基板 2 と、薄膜トランジスタを含む電極層 (又は薄膜トランジスタ層とも称する) 3 と、配向膜 4 と、液晶組成物を含む層 5 と、配向膜 4 と、共通電極 3' と、カラーフィルタ 6 と、第 2 の基板 7 と、第 1 の偏光板 8 と、が順次積層された構成である。本発明に係る液晶表示素子の薄膜トランジスタの構造 (図 10 の I V の領域) の好適な一態様は、上述した通りであるためここでは省略する。

30

【0067】

続いて、以下本発明の好適な液晶表示素子の表示処理部の動作および作用に関して以下説明する。

【0068】

本発明に係る表示処理部は、通常駆動の他に駆動電力低減のために低周波駆動の機能または間欠駆動の機能を備えていることが好ましく、TFT 液晶パネルのゲートバスラインを駆動するための LSI であるゲートドライバおよび TFT 液晶パネルのソースバスラインを駆動するための LSI であるソースドライバを制御する機能を備える。また、共通電極に共通電圧 V_{COM} を供給し、バックライトの動作を制御する機能を備えてもよい。

【0069】

40

当該表示処理部において、上記液晶表示部の駆動を行っており、画素電極への画像信号のフレーム周波数を 60 Hz 以下 0.1 Hz 以上の範囲に制御し、前記画素電極への画像信号を書き換える周期 (= 書き換え周期) を延縮自在にすることが好ましい。すなわち、画素電極に画像信号 (電圧) を印加した後、次に当該画素電極に画像信号 (電圧) を印加するまでの時間を当該表示処理部により延縮自在に制御される。そのため、単位秒あたり一画面を走査する (書き換える) 回数であるフレーム周波数が表示処理部により延縮自在に制御される。

【0070】

換言すると、当該表示処理部は、前記画素電極への画像信号のフレーム周波数を 60 Hz 以下 0.1 Hz 以上の範囲に制御し、前記画像信号のフレーム周波数を延縮自在にする

50

ことが好ましい。

【0071】

画素電極への画像信号を書き換を行う周期を長くする態様（＝画像信号のフレーム周波数を長くする）としては、第1のフレーム周波数で駆動する第1の駆動モードから前記第1のフレーム周波数より低い第2のフレーム周波数で駆動する第2の駆動モードが挙げられる。例えば、フレーム周波数が30～60Hzの範囲の通常駆動（第1の駆動モード）から、フレーム周波数が0.1～15Hzの低周波駆動（第3の駆動モード）へ切り替える例が挙げられる。その他としては、フレーム周波数が30～60Hzの範囲の通常駆動（第1の駆動モード）から、1フレーム超に相当する休止期間を設ける間欠駆動（第2の駆動モード）へ切り替える例が挙げられる。

10

【0072】

本発明に係る液晶層を構成する液晶組成物は、誘電率異方性（ $\Delta\epsilon$ ）の絶対値が2超のポラー化合物と、誘電率異方性（ $\Delta\epsilon$ ）の絶対値が0以上2以下のノンポラー化合物とを含むことが好ましい。また、本発明に係る液晶組成物は、負の誘電率異方性を示し、ネマティック液晶組成物であることが好ましい。したがって、本発明に係る液晶層を構成する液晶組成物は、誘電率異方性（ $\Delta\epsilon$ が-2未満）の負の誘電異方性を示す液晶化合物を含む液晶成分と、中性の誘電率異方性（ $\Delta\epsilon$ が-2以上～2以下の範囲）を示すノンポラー化合物を含む液晶成分と、誘電率異方性（ $\Delta\epsilon$ が+2超）の正の誘電異方性を示す化合物を含む液晶成分と、を有するネマティック液晶組成物であることが好ましい。

20

【0073】

本発明に係る液晶表示素子において、ホメオトロピック配向状態で電圧を印加したときに生じる最初の過渡電流値 I_{p1} と、2回目の過渡電流値 I_{p2} との評価方法について、回転粘性との関係も合わせて以下説明する。

【0074】

液晶表示素子の応答速度は液晶組成物の粘性に依存することが知られている。特に回転粘性率（以降、 γ_1 とする）は、液晶表示素子の応答時間を決定する重要な材料物性値である。この回転粘性率を測定する方法としては、従来、液晶表示素子に磁場を印加し、発生するトルクを測定する磁場印加法が主流であった。しかし、測定に時間がかかることや、装置が大型になり、温度依存性の評価が困難であるという観点から、液晶セル中を流れる過渡電流を測定することによって、 γ_1 を容易に求める方法が今井等（文献名：M. Imai et al.: Jpn. Appl. Phys., 33, L119 (1994)）によって提案されている。このような過渡電流測定による γ_1 測定装置としては、例えば株式会社東陽テクニカより、LCM-2型装置として販売されており、当該装置は、液晶材料メーカーや液晶パネルメーカーにおける γ_1 測定装置として広く普及している。

30

【0075】

なお、本明細書においてはLCM-2型装置（株式会社東陽テクニカ）を用いて、上記過渡電流値 I_{p1} とおよび過渡電流値 I_{p2} を測定している。

【0076】

ここでLCM-2型を用いた γ_1 測定方法についての一例を説明する。例えば、誘電率異方性が負の液晶組成物の γ_1 を測定する場合には、対向電極間でホメオトロピック配向処理された評価セルを用いる。 γ_1 測定時の過渡電流は、液晶分子のダイレクターが変化することによる静電容量変化を用いるために、なるべく液晶組成物の状態を表わすためには、ダイレクターの変化に対して配向膜からの配向規制力の影響を受けない程度の厚いセルギャップの評価セルを用いることが望ましい。ただし、厚いセルギャップの場合には、ダイレクターを変化させるために高い印加電圧が必要となるために、具体的には5～20 μm 程度のセルギャップがよく、好適には10 μm のセルギャップの評価セルが好ましい。

40

【0077】

この評価セルを所望の温度に制御しながらステップ電圧を印加する。測定温度は、得たい γ_1 の測定温度に依存するが、測定温度により過渡電流変化が異なるために、本明細書

50

での測定温度は 20 として。またステップ電圧とは、 $t = 0$ 秒において瞬時に電圧が変化する波形を示し、印加する電圧が高いほど過渡電流の大きさが大きくなるが、ここでは 50 V とした。さらに印加するステップ電圧の印加幅は 5 msec とし、印加極性は正極とした。さらに、計測される突入電流のカットオフ時間は、10 μ sec とした。

【0078】

この γ 1 測定時の過渡電流は、通常のネマティック液晶であれば図 11 のような変化を示すことが知られている。 γ 1 測定においてステップ電圧を印加すると、始めに大きな突入電流が流れる。この突入電流は、評価セル容量分の充電に必要な電流値であって、通常の評価セルの容量であれば、通常 10 μ sec 以内に突入電流は収束する。その後、液晶分子のダイレクター変化に伴う静電容量が変化するために流れる過渡電流が観測される。この過渡電流は単一のピークを有することが知られている（文献名：液晶学会誌 第 14 巻 第 1 号 2010）。

10

【0079】

当該過渡電流は、ダイレクターの回転に起因するものであるため、液晶セルの電場応答におけるダイレクターの再配向過程や応答時間など、液晶表示素子の電気光学特性に対して重要な知見が得られることが示されている（文献名：液晶学会誌 第 14 巻 第 1 号 2010）。

【0080】

ここで発明者らの鋭意検討の結果、正の誘電率異方性を示す液晶化合物と負の誘電率異方性を示す液晶化合物とを含む特定の液晶組成物では、この過渡電流変化に 2 つのステップが存在することが分かった（最初（第一）の過渡電流を I_{p1} とし、2 回目（第二）の過渡電流を I_{p2} とする）。また、この過渡電流の 2 つのステップの大小関係により、フリッカーが効率的に抑制できる液晶組成物であるかどうかを判別可能であることを見出した。

20

【0081】

具体的には、第一の過渡電流 I_{p1} が、第二の過渡電流 I_{p2} よりも大きな場合に、フリッカーの抑制効果が高いことが分かった。この関係は、誘電率異方性が正の液晶化合物を添加した特定の誘電率異方性が負の液晶組成物の場合に観察できる現象である。また、上記した、2 つの過渡電流のピーク値が生じ、かつ、第一の過渡電流 I_{p1} が、第二の過渡電流 I_{p2} よりも大きな値を示す現象は、誘電率異方性が正の液晶化合物の構造にも関係するように考えられ、環数の大きな（例えば 4 環以上、好ましくは 4 環以上 5 環以下）誘電率異方性が正の液晶化合物の方が、大きな緩和時間を示す傾向を持つことが分かっている。

30

【0082】

次に、本発明に係る液晶表示素子についてのフリッカー率について説明する。液晶表示素子を透過する光をフォトダイオード等で受光し、この光強度の変化をオシロスコープ等で時間方向の変化として解析すると、図 13 のような光強度変化が観測される。この光強度変化の振幅（振れ幅）がフリッカー（光のちらつき）を表わしている。つまり光強度の平均値に対する振幅が大きなほどフリッカーが大きいと言える。フリッカー率は以下の式で表わすことができる。

40

【0083】

フリッカー率 = 振幅 / 平均輝度 (%)

また、フリッカー率の測定は、n 型 FFS モードのパネルを用いて測定を行った。この n 型 FFS パネルの構成は、ライン / スペースは 3 μ m / 4 μ m、層間絶縁膜の厚みは 500 nm、セルギャップは 3.5 μ m である。印加電圧は周波数 30 Hz の矩形波を入力し、印加電圧は最大透過率を示す電圧を 100 % とした場合の 23 % 相当の電圧を印加した場合の透過率変化を測定した。また、基準液晶組成物 ($\Delta n = 0.11$ 、 $\Delta \epsilon = -4.10$) に対して正の誘電率異方性を示す化合物 A ($\Delta \epsilon = 7.79$ 、 $\Delta n = 0.10$) または化合物 B ($\Delta \epsilon = 7.88$ 、 $\Delta n = 0.08$) を、表 1 に示す含有量それぞれ添加した組成物を製作し、各組成物の誘電率異方性、屈折率異方性を測定した。

50

【 0 0 8 4 】

図 1 2 および表 1 に過渡電流変化 (I_{p1} と I_{p2}) とフリッカー率を評価した結果を示す。この評価結果によると、誘電率異方性が負の液晶組成物の中に、特定の誘電率異方性が正の液晶化合物の添加量を可変して添加した場合において、最初の過渡電流 I_{p1} が、第 2 (2 回目) の過渡電流 I_{p2} よりも大きくなり、フリッカー率が小さくなることが分かった。

【 0 0 8 5 】

そのため、液晶層に含まれる液晶組成物は、誘電率異方性が負の液晶化合物および誘電率異方性が正の液晶化合物を含むことが好ましい。

【 0 0 8 6 】

誘電率異方性が正の液晶化合物の含有量の下限值は、液晶層の駆動電圧などにも関係するが、例えば 0 . 1 質量 % 以上、0 . 3 質量 % 以上、0 . 5 質量 % 以上、1 質量 % 以上、3 質量 % 以上、6 質量 % 以上、8 質量 % 以上、1 0 質量 % が好ましい。誘電率異方性が正の液晶化合物の含有量の上限值は、液晶層の駆動電圧などにも関係するが、例えば 2 5 質量 % 以下、2 4 質量 % 以下、2 3 質量 % 以下、2 2 質量 % 以下が好ましい。

【 0 0 8 7 】

以下の表 1 によれば、誘電率異方性が正の液晶化合物の添加量は 1 0 % 添加すると、比較例と比べて 8 1 % も低減できることが確認された。

【 0 0 8 8 】

【 表 1 】

Sample	誘電率異方性が正の液晶化合物	誘電率異方性が正の液晶化合物の添加量(wt%)	液晶組成物全体の $\Delta \epsilon$	液晶組成物全体の Δn	測定温度 20°C			
					I_{p1}	I_{p2}	$I_{p1}-I_{p2}$	フリッカー率(%)
比較例			-4.10	0.11	1.33E-05	6.80E-05	-5.47E-05	5.4%
実施例1	A	10	-3.37	0.11	5.61E-05	3.54E-05	2.07E-05	1.0%
実施例2	A	14	-3.83	0.12	6.63E-05	3.14E-05	3.50E-05	0.3%
実施例3	A	23	-3.69	0.12	5.70E-05	1.62E-05	4.08E-05	0.1%
実施例4	B	20	-4.38	0.13	4.19E-05	2.56E-05	1.64E-05	1.0%

【 0 0 8 9 】

これらの検討結果から、液晶組成物の過渡電流変化を観測し、2 つの過渡電流 I_{p1} と I_{p2} の大小関係を比較することで、液晶表示素子を作製することなくフリッカー抑制能力の高い液晶組成物を容易に判別できる。また、この液晶組成物を用いた液晶表示素子では、従来よりもフリッカーが低減された液晶表示素子を提供することが可能となる。

【 0 0 9 0 】

本発明は、V A、P S V A、F F S および / または I P S 等の液晶表示素子に適用できる。電圧保持率の低下に起因するフリッカーを低減する方法は、V A、P S V A、F F S および / または I P S 等のアクティブ駆動、特に低周波駆動において望まれている。さらに F F S や I P S の駆動形式は、通称の V A モードに比較し、電圧印加時に液晶へ強電場がかかるため、逆分極が起こりやすく、フリッカーが発生しやすい。そのため、F F S や I P S の駆動形式は、V A や P S V A モードに比較し、電圧保持率の低下に起因するフリッカーのみならず、逆分極に起因するフリッカーも低減する方法が望まれている。

【 0 0 9 1 】

したがって、本発明の液晶表示素子の好ましい態様は、液晶層と、第一の基板と第二の基板のそれぞれの間にホモジニアス配向を誘起する配向膜層を有し、前記第 1 の基板上に共通電極が配置されるものである。

【 0 0 9 2 】

特に、F F S 型の表示素子は、電極のエッジ部分近傍でフリンジ電界を発生するため、本発明の液晶表示素子の特に好ましい態様は、画素電極と共通電極との間の電極間距離 : R が前記第一の基板と第二の基板との距離 : G より小さく、前記画素電極と共通電極との

10

20

30

40

50

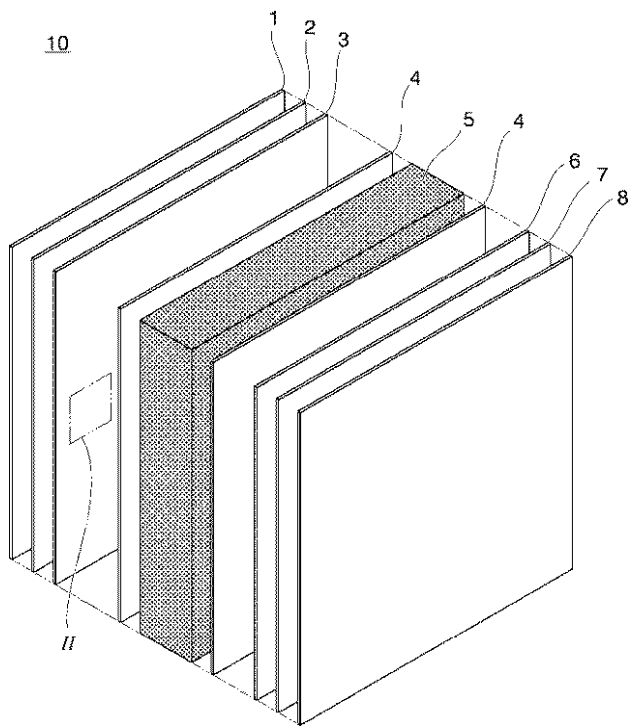
電極間にフリンジ電界を形成するものである。

【符号の説明】

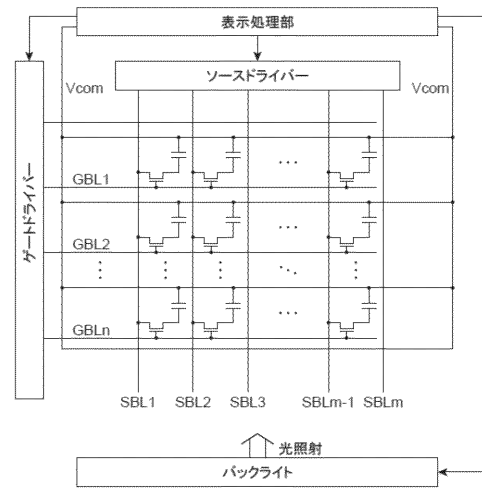
【0093】

1, 8	偏光板	
2	第1の基板	
3	電極層(第1の電極)	
3'	共通電極(第2の電極)	
4	配向膜	
5	液晶層	
6	カラーフィルタ	10
7	第2の基板	
11	ゲート電極	
12	ゲート絶縁膜	
13	半導体層	
14	絶縁層	
15	オーミック接触層	
16	ドレイン電極	
17	ソース電極	
18	絶縁保護層	
19b	ソース電極	20
21	画素電極	
22	共通電極	
23	ストレージキャパシタ	
24	ドレイン電極	
25	ソースバスライン	
26	ゲートバスライン	
27	ソース電極	
28	ゲート電極	
29	共通ライン	

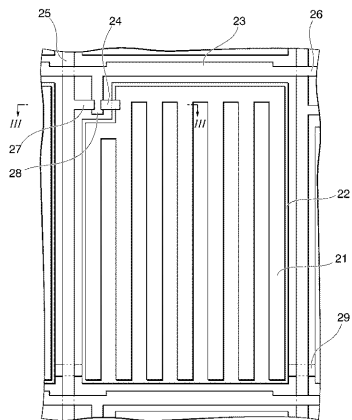
【図 1】



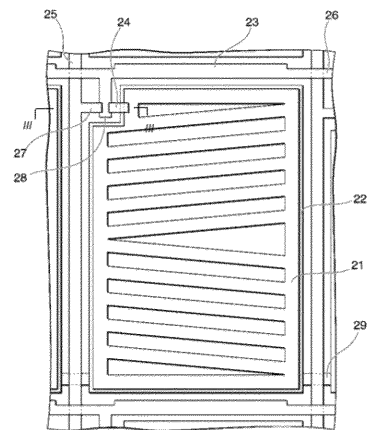
【図 2】



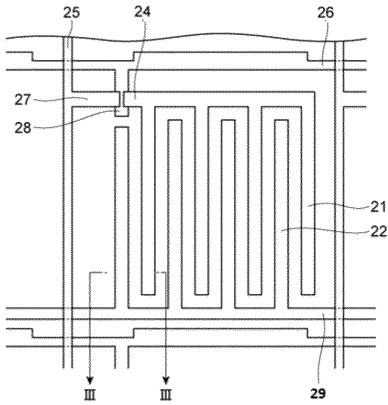
【図 3】



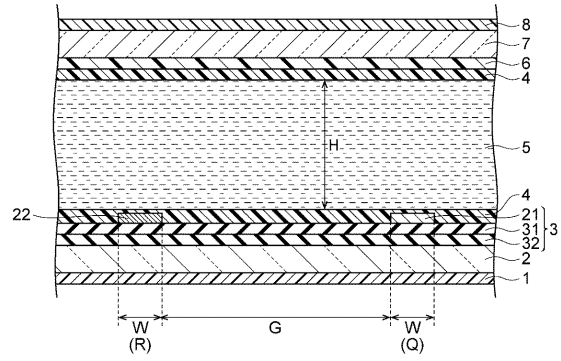
【図 4】



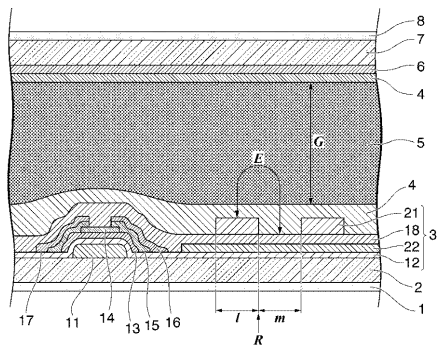
【図 5】



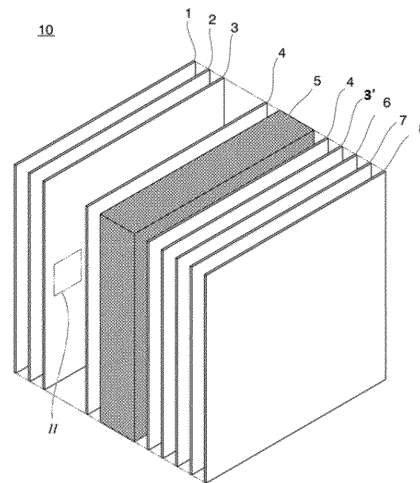
【図 7】



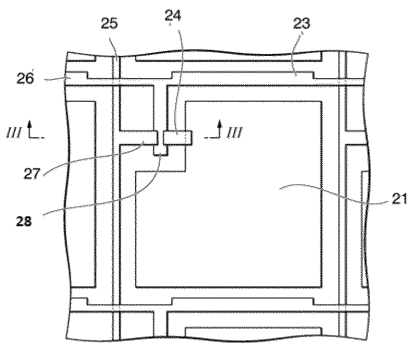
【図 6】



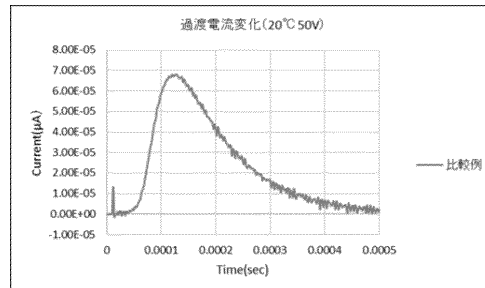
【図 8】



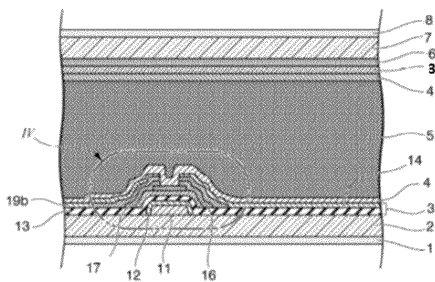
【図 9】



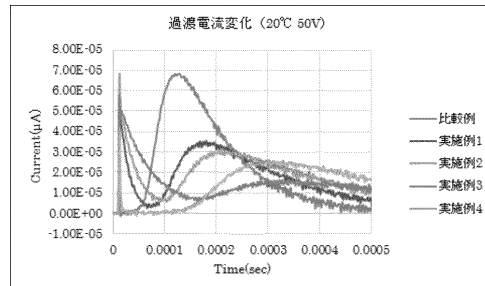
【図 11】



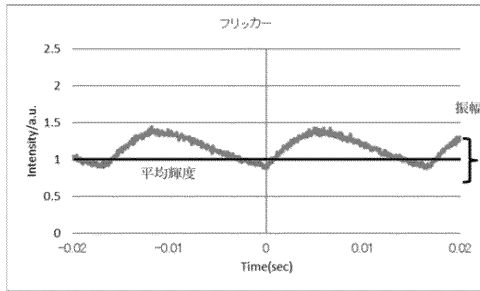
【図 10】



【図 12】



【図 13】



フロントページの続き

(72)発明者 丸山 和則

埼玉県北足立郡伊奈町大字小室4 4 7 2 - 1
内

D I C 株式会社 埼玉工場

(72)発明者 谷口 士朗

埼玉県北足立郡伊奈町大字小室4 4 7 2 - 1
内

D I C 株式会社 埼玉工場

F ターム(参考) 2H088 GA02 HA02 HA06 HA08 HA28 JA10 JA11 KA25 KA27 KA30
MA20
2H092 GA14 GA17 HA04 JA26 JB16 NA01 PA06 PA13 QA09
2H192 AA24 BB03 BB13 BB53 CB05 CC04 EA43 GD61 GD81 JA13
JA32
2H193 ZA04 ZC36 ZE03 ZG02 ZG12 ZG14 ZP03 ZP20 ZQ11 ZQ16

专利名称(译)	液晶组合物和液晶显示元件		
公开(公告)号	JP2019012122A	公开(公告)日	2019-01-24
申请号	JP2017127439	申请日	2017-06-29
[标]申请(专利权)人(译)	大日本油墨化学工业株式会社		
申请(专利权)人(译)	DIC公司		
[标]发明人	佐々木剛 丸山和則 谷口士朗		
发明人	佐々木 剛 丸山 和則 谷口 士朗		
IPC分类号	G02F1/139 G02F1/13 G02F1/1343 G02F1/1368 G02F1/133		
FI分类号	G02F1/139 G02F1/13.500 G02F1/1343 G02F1/1368 G02F1/133.550		
F-TERM分类号	2H088/GA02 2H088/HA02 2H088/HA06 2H088/HA08 2H088/HA28 2H088/JA10 2H088/JA11 2H088/KA25 2H088/KA27 2H088/KA30 2H088/MA20 2H092/GA14 2H092/GA17 2H092/HA04 2H092/JA26 2H092/JB16 2H092/NA01 2H092/PA06 2H092/PA13 2H092/QA09 2H192/AA24 2H192/BB03 2H192/BB13 2H192/BB53 2H192/CB05 2H192/CC04 2H192/EA43 2H192/GD61 2H192/GD81 2H192/JA13 2H192/JA32 2H193/ZA04 2H193/ZC36 2H193/ZE03 2H193/ZG02 2H193/ZG12 2H193/ZG14 2H193/ZP03 2H193/ZP20 2H193/ZQ11 2H193/ZQ16		
代理人(译)	小川 眞治 岩本晃弘 小野隆之 根岸信		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种减少和抑制了闪烁的液晶显示装置。一对具有彼此相对的第一基板和第二基板的基板，夹在第一基板和第二基板之间的液晶层，设置在第一基板或第二基板中的至少一个上的像素电极，一种液晶显示元件，其具有设置在第一基板或第二基板中的至少一个上的公共电极，当在垂直取向状态下施加电压时产生的第一瞬态电流值为I1，并且在液晶层中第二瞬态电流值为I2时，液晶层的瞬态为一种液晶显示装置，其特征在于，使用液晶层，该液晶层的电流值I1大于液晶的瞬态电流传输值I2。[选择图]图12

