

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-126080

(P2016-126080A)

(43) 公開日 平成28年7月11日(2016.7.11)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H192

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願2014-265270 (P2014-265270)
(22) 出願日 平成26年12月26日 (2014.12.26)

(71) 出願人 000103747
京セラディスプレイ株式会社
滋賀県野洲市市三宅641-1
(72) 発明者 市村 照彦
滋賀県野洲市市三宅641-1 京セラデ
ィスプレイ株式会社内
Fターム(参考) 2H192 AA24 BC31 CB05 CB45 CC17
CC24 CC33 CC42 CC62 EA04
EA15 EA22 EA43 EA67 GD61
JB02

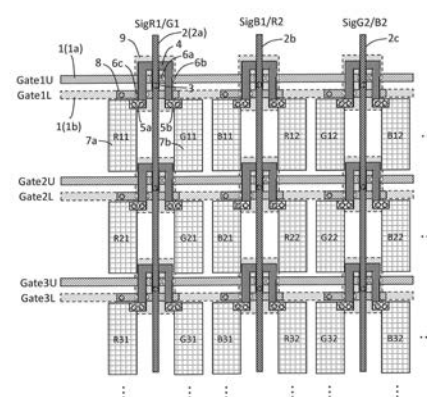
(54) 【発明の名称】 液晶表示装置

(57) 【要約】 (修正有)

【課題】画素部の開口率を高く維持した状態でTFT素子のチャンネル部及びその周囲に対する遮光性を向上させることができるLCDを提供する。

【解決手段】LCDは、1本の画像信号線2に対してゲート信号線1と画像信号線2の交差部の左側及び右側に、1本の画像信号線2に電氣的に接続された状態で形成されているチャンネル部6a～6cを有するTFT素子及び画素電極7a、7bと、を有しており、ゲート信号線1は、行方向に並んだ1群の画素電極7a、7bに対応して第1及び第2のゲート信号線1a、1bの2本が形成されているLCDであって、第1及び第2のゲート信号線1a、1bは、基板の上面に垂直な方向において互いに異なる位置にあるとともに基板に近い方が遠い方よりも幅広に形成されている。

【選択図】図1



【特許請求の範囲】

【請求項 1】

基板の上面の第 1 の方向に形成された複数本のゲート信号線と、前記第 1 の方向に交差する第 2 の方向に前記ゲート信号線と交差させて前記ゲート信号線の上方に形成された複数本の画像信号線と、1 本の前記画像信号線に対して前記ゲート信号線と前記画像信号線の交差部の左側及び右側に、それぞれ 1 本の前記画像信号線に電氣的に接続された状態で形成されているチャンネル部を有する薄膜トランジスタ素子及び画素電極と、を有しており、前記ゲート信号線は、前記第 1 の方向に並んだ 1 群の前記画素電極に対応して第 1 及び第 2 のゲート信号線の 2 本が平面視で近接して形成されており、前記第 1 のゲート信号線が前記右側の薄膜トランジスタ素子に対して 2 つのチャンネル部を形成するとともに前記右側の画素電極に画像信号を入力するように構成されており、前記第 2 のゲート信号線が前記左側の薄膜トランジスタ素子に対して 1 つのチャンネル部を形成するとともに前記左側の画素電極に画像信号を入力するように構成されている液晶表示装置であって、前記第 1 及び第 2 のゲート信号線は、前記基板の上面に垂直な方向において前記基板の上面の側に互いに異なる位置にあるとともに前記基板に近い方が遠い方よりも幅広に形成されている液晶表示装置。

10

【請求項 2】

前記第 1 及び第 2 のゲート信号線のうち前記基板に近い方は、平面視ですべての前記チャンネル部と重なる延出部を有している請求項 1 に記載の液晶表示装置。

【請求項 3】

20

前記第 1 及び第 2 のゲート信号線は、平面視で少なくとも部分的に重なっている請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】

前記ゲート信号線は、Al, Mo, Cr, Ti, Ta, W 及び Pd のうちの少なくとも一つを含む金属膜から成る請求項 1 乃至請求項 3 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像信号線（ソース信号線）の本数を削減して開口率を向上させ得るとともに、高輝度のバックライト装置を使用可能なように薄膜トランジスタ（Thin Film Transistor : TFT）素子のチャンネル部等を遮光する遮光膜を有する液晶表示装置（Liquid Crystal Display : LCD）に関するものである。

30

【背景技術】

【0002】

従来、LCD は、TFT 素子を含む画素部が多数形成されたアレイ側基板と、カラーフィルタ及びブラックマトリクスが形成されたカラーフィルタ側基板とを互いに対向させて、それらの基板を所定の間隔をもって貼り合わせ、それらの基板間に液晶を充填、封入させることによって作製される。また、一般的に、カラーフィルタ側基板は、TFT 素子及び画素電極に対向する側の面（液晶側の面）の全面に、画素電極との間で液晶に印加する垂直電界を形成するための共通電極が形成されている。また、LCD が画素電極と共通電極との間で液晶に印加する横電界を形成する IPS（In-Plane Switching）方式の LCD である場合、共通電極はアレイ側基板の画素電極と同じ面内に形成される。LCD が画素電極と共通電極との間で液晶に印加する端部電界を形成する FFS（Fringe Field Switching）方式の LCD である場合、共通電極はアレイ側基板の画素部に画素電極の上方または下方に絶縁層を挟んで形成される。また、カラーフィルタ側基板の液晶側の面には、それぞれの画素部に対応する赤（R）、緑（G）、青（B）のカラーフィルタが形成されており、それぞれの画素部を通過する光が相互に干渉することを防ぐブラックマトリクスがカラーフィルタの外周を囲むように形成されている。

40

【0003】

従来のアクティブマトリクス型の LCD の基本構成の 1 例を図 2 に示す。例えば IPS

50

方式のLCDの場合、TFT素子21を含む画素部P11, P12, P13~Pnmが多数形成されたTFTアレイ側基板は、その上の第1の方向(例えば、行方向)に形成された複数本のゲート信号線GL1, GL2, GL3~GLnと、第1の方向と交差する第2の方向(例えば、列方向)にゲート信号線GL1, GL2, GL3~GLnと交差させて形成された複数本の画像信号線(ソース信号線)SL1, SL2, SL3~SLmと、ゲート信号線GL1, GL2, GL3~GLnと画像信号線SL1, SL2, SL3~SLmの交差部に形成された、TFT素子21、画素電極PE11, PE12, PE13~PEnm及びその画素電極PE11, PE12, PE13~PEnmとの間で液晶に印加する横電界(水平電界)を形成するための共通電極(基準電極)を含む画素部P11, P12, P13~Pnmと、共通電極に共通電圧(Vcom)を供給する共通電圧線22と、を有する構成である。なお、図4において、23はゲート信号線GL1, GL2, GL3~GLnに順次ゲート信号を入力するゲート信号線駆動回路、24は画像信号線SL1, SL2, SL3~SLmに順次画像信号を入力する画像信号線駆動回路である。IPS方式のLCDは、垂直電界によってツイステッドネマチック(Twisted Nematic : TN)液晶を駆動するLCDと比較して、コントラスト、グレー反転、色ずれ等の視野角特性を高めることができる。その結果、広視野角を得ることができるので、大型のLCDに好適に用いられている。

【0004】

そして、図2のLCDにおける多数のTFT素子21及び画素電極のうち一部を拡大して示す拡大平面図を図3に示す。図3に示すように、ゲート信号線31(Gate1, Gate2, Gate3)と画像信号線32(SigR1, SigG1, SigB1, SigR2, SigG2, SigB2)との交差部に、TFT素子21及びインジウム錫酸化物(Indium Tin Oxide : ITO)等の透明電極から成る画素電極R11, G11, B11~B32が形成されている。TFT素子21は、画像信号線32にコンタクトホール等によって電氣的に接続されたソース電極33、ソース電極33からドレイン電極35にかけて形成されたn+型アモルファスシリコン(以下、n+型a-Siとも称する)、n+型多結晶シリコン(以下、n+型p-Siとも称する)等から成る半導体膜34、半導体膜34及び画素電極R11, G11, B11~B32にコンタクトホール等によって電氣的に接続されたドレイン電極35を含む。また、ゲート信号線31と半導体膜34との2つの交差部には、それぞれチャネル部36a, 36bがあり、ゲート信号線31にゲート信号が入力されてオン状態になったときにチャネル部36a, 36bが導通状態となる。チャネル部36a, 36bが導通状態のときに画像信号が入力されたら、画素電極R11, G11, B11~B32に所定の画素電圧が印加されて液晶を駆動し、画像表示が実行される。

【0005】

図4は、図3の画像信号線32a(SigR1), 32b(SigG1), 32c(SigB1), 32d(SigR2), 32e(SigG2), 32f(SigB2)に画像信号を入力するための画像信号入力部の回路図である。画像信号線32a~32fのそれぞれの画像信号入力部には、CMOSトランスファゲート素子40a, 40b, 40c, 40d, 40e, 40fがそれぞれ接続されており、CMOSトランスファゲート素子40a~40cの各ソース電極は画像信号入力線S1に共通接続され、CMOSトランスファゲート素子40d~40fの各ソース電極は画像信号入力線S2に共通接続されている。画像信号入力線S1, S2は、チップオンガラス(Chip On Glass : COG)方式で基板上に実装された画像信号線駆動用IC, LSI等から画像信号を入力するものである。また、CMOSトランスファゲート素子40a~40cの各ドレイン電極は、それぞれ画像信号線32a, 32b, 32cに接続され、CMOSトランスファゲート素子40d~40fの各ドレイン電極は、それぞれ画像信号線32d, 32e, 32fに接続されている。

【0006】

CMOSトランスファゲート素子40a~40fはそれぞれ、p型CMOSトランジスタとn型CMOSトランジスタが、それらのソース電極とドレイン電極が共通接続されて成り、p型CMOSトランジスタのゲート電極とn型CMOSトランジスタのゲート電極が制御入力電極とされている。即ち、p型CMOSトランジスタのゲート電極にロー(L)の信号が入力されるとともにn型CMOSトランジスタのゲート電極にハイ(H)の信号が入力されたときに、ソース電極とドレイン電極との間に電流が流れて画像信号が入力される。

。

10

20

30

40

50

【 0 0 0 7 】

また、MUX1，XMUX1，MUX2，XMUX2，MUX3，XMUX3は、画像信号線32a～32fを時分割駆動するための時分割信号入力線である。MUX1は、CMOSトランスファゲート素子40a，40dのn型CMOSトランジスタのゲート電極に接続され、XMUX1（MUX1の反転信号線）はCMOSトランスファゲート素子40a，40dのp型CMOSトランジスタのゲート電極に接続されており、MUX1にHの信号が入力されるとともにXMUX1にLの信号が入力されたときに、画像信号入力線S1，S2から入力された画像信号SigR1，SigR2が、画像信号線32a，32dを伝送される。MUX2は、CMOSトランスファゲート素子40b，40eのn型CMOSトランジスタのゲート電極に接続され、XMUX2（MUX2の反転信号線）はCMOSトランスファゲート素子40b，40eのp型CMOSトランジスタのゲート電極に接続されており、MUX2にHの信号が入力されるとともにXMUX2にLの信号が入力されたときに、画像信号入力線S1，S2から入力された画像信号SigG1，SigG2が、画像信号線32b，32eを伝送される。MUX3は、CMOSトランスファゲート素子40c，40fのn型CMOSトランジスタのゲート電極に接続され、XMUX3（MUX3の反転信号線）はCMOSトランスファゲート素子40c，40fのp型CMOSトランジスタのゲート電極に接続されており、MUX3にHの信号が入力されるとともにXMUX3にLの信号が入力されたときに、画像信号入力線S1，S2から入力された画像信号SigB1，SigB2が、画像信号線32c，32fを伝送される。

10

【 0 0 0 8 】

図5は、図3の画素電極R11，G11，B11を駆動するためのタイミングチャートである。ゲート信号線（Gate1）がオン状態のときであって、MUX1にHの信号が入力されるとともにXMUX1にLの信号が入力されたときに、画素電極R11に所定の画像信号が入力される。ゲート信号線（Gate1）がオン状態のときであって、MUX2にHの信号が入力されるとともにXMUX2にLの信号が入力されたときに、画素電極G11に所定の画像信号が入力される。ゲート信号線（Gate1）がオン状態のときであって、MUX3にHの信号が入力されるとともにXMUX3にLの信号が入力されたときに、画素電極B11に所定の画像信号が入力される。

20

【 0 0 0 9 】

また、他の従来例として、1本の信号線の両側に左側TF Tと右側TF Tを設け、左側TF Tにゲート信号を供給する第1走査線を設け、右側TF Tにゲート信号を供給する第2走査線を設け、2本の信号線に対し、4画素分の画像信号を供給する画像出力回路を設けることにより、制御線の数減らすことのできる液晶表示装置が提案されている（例えば、特許文献1を参照）。

30

【 0 0 1 0 】

図6は、上記構成と類似した構成のLCDにおける多数のTF T素子及び画素電極のうち一部を拡大して示す拡大平面図である。1本の画像信号線52の両側に左側TF T57aと右側TF T57bが設けられ、左側TF T57aと右側TF T57bのいずれか一方が選択的にオン状態になるように構成されている。1行の画素電極群R11，G11，B11，R12，G12，B12～に対して、上側ゲート信号線51a（Gate1U）及び下側ゲート信号線51b（Gate1L）から成る一対のゲート信号線が設けられている。上側ゲート信号線51a及び下側ゲート信号線51bがオン状態のときに、画素電極R11、画素電極B11が順次オン状態になり、上側ゲート信号線51aのみがオン状態のときに、画素電極G11、画素電極R12が順次オン状態になる。

40

【 0 0 1 1 】

上側ゲート信号線51a及び下側ゲート信号線51bがオン状態のときに、チャネル部56a，56cが導通状態になり、画像信号SigR1が、画像信号線52、半導体膜54、ドレイン電極55aを経由して画素電極R11に入力される。その直後、上側ゲート信号線51a及び下側ゲート信号線51bがオン状態のときに、同様にして画像信号SigB1が画素電極B11に入力される。次いで、上側ゲート信号線51aのみがオン状態のときに、チャネル部56a，56bが導通状態になり、画像信号SigG1が、画像信号線52、半導体膜54、ドレイン電極55bを経由して画素電極G11に入力される。その直後、上側ゲート信号線51aのみがオン状態のときに、同様にして画像信号SigR2が画素電極R12に入力される。

【 0 0 1 2 】

50

図 7 は、図 6 の画像信号線 52a (SigR1/G1) , 52b (SigB1/R2) , 52c (SigG2/B2) , 52d (SigR3/G3) (図 6 に図示せず) に画像信号を入力するための画像信号入力部の回路図である。画像信号線 52a ~ 52d のそれぞれの画像信号入力部には、CMOS トランスファゲート素子 60a , 60b , 60c , 60d がそれぞれ接続されており、CMOS トランスファゲート素子 60a , 60b の各ソース電極は画像信号入力線 S 1 に共通接続され、CMOS トランスファゲート素子 60c , 60d の各ソース電極は画像信号入力線 S 2 に共通接続されている。画像信号入力線 S 1 , S 2 は、チップオンガラス (Chip On Glass : COG) 方式で基板上に実装された画像信号線駆動用 IC , LSI 等から画像信号を入力するものである。また、CMOS トランスファゲート素子 60a , 60b の各ドレイン電極は、それぞれ画像信号線 52a , 52b に接続され、CMOS トランスファゲート素子 60c , 60d の各ドレイン電極は、それ

10

【 0 0 1 3 】

また、MUX1 , XMUX1 , MUX2 , XMUX2 は、画像信号線 52a ~ 52d を時分割駆動するための時分割信号入力線である。MUX1 は、CMOS トランスファゲート素子 60a , 60c の n 型 CMOS トランジスタのゲート電極に接続され、XMUX1 (MUX1 の反転信号線) は CMOS トランスファゲート素子 60a , 60c の p 型 CMOS トランジスタのゲート電極に接続されており、MUX1 に H の信号が入力されるとともに XMUX1 に L の信号が入力されたときに、画像信号入力線 S 1 , S 2 から入力された画像信号 SigR1/G1 , SigG2/B2 が、画像信号線 52a , 52c を伝送される。MUX2 は、CMOS トランスファゲート素子 60b , 60d の n 型 CMOS トランジスタのゲート電極に接続され、XMUX2 (MUX2 の反転信号線) は CMOS トランスファゲート素子 60b , 60d の p 型 CMOS トランジスタのゲート電極に接続されており、MUX2 に H の信号が入力されるとともに XMUX2 に L の信号が入力されたときに、画像信号入力線 S 1 , S 2 から入力された画像信号 SigB1/R2 , SigR3/G3 が、画像信号線 52b , 52d を伝送される。

20

【 0 0 1 4 】

図 8 は、図 6 の画素電極 R11 , G11 , B11 , R12 を駆動するためのタイミングチャートである。上側ゲート信号線 51a (Gate1U) 及び下側ゲート信号線 51b (Gate1L) がオン状態のときであって、MUX1 に H の信号が入力されるとともに XMUX1 に L の信号が入力されたときに画素電極 R11 に所定の画像信号が入力され、次いで MUX2 に H の信号が入力されるとともに XMUX2 に L の信号が入力されたときに画素電極 B11 に所定の画像信号が入力される。上側ゲート信号線 51a (Gate1U) がオン状態で下側ゲート信号線 51b (Gate1L) がオフ状態のときであって、MUX1 に H の信号が入力されるとともに XMUX1 に L の信号が入力されたときに画素電極 G11 に所定の画像信号が入力され、次いで MUX2 に H の信号が入力されるとともに XMUX2 に L の信号が入力されたときに画素電極 R12 に所定の画像信号が入力される。

30

【 先行技術文献 】

【 特許文献 】

【 0 0 1 5 】

【 特許文献 1 】 特開 2 0 0 6 - 2 0 1 3 1 5 号 公 報

【 特許文献 2 】 特開 2 0 0 3 - 2 2 9 5 7 8 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

40

【 0 0 1 6 】

しかしながら、図 6 に示した上記構成の従来の LCD においては、TFT 素子の裏面側から入射する光を遮光するために、チャネル部 56a , 56b , 56c 及びその周囲に平面視で重なるように遮光膜を形成した場合、高輝度のバックライト装置を用いた際に遮光性が不十分である場合があった (例えば、特許文献 2 を参照)。

【 0 0 1 7 】

また、遮光性を高めるためにゲート信号線 51a , 51b、画像信号線 52a , 52b , 52c に遮光性を付与することも考えられるが、画素部の開口率を高めるためにゲート信号線 51a , 51b、画像信号線 52a , 52b , 52c はかなり細線化されており、その結果、ゲート信号線 51a , 51b、画像信号線 52a , 52b , 52c によって遮光することが困難であった。

50

【 0 0 1 8 】

従って、本発明は、上記従来の問題点に鑑みて完成されたものであり、その目的は、画素部の開口率を高く維持した状態でTFT素子のチャネル部及びその周囲に対する遮光性を向上させることができるLCDとすることである。

【課題を解決するための手段】

【 0 0 1 9 】

本発明の液晶表示装置は、基板の上面の第1の方向に形成された複数本のゲート信号線と、前記第1の方向に交差する第2の方向に前記ゲート信号線と交差させて前記ゲート信号線の上に形成された複数本の画像信号線と、1本の前記画像信号線に対して前記ゲート信号線と前記画像信号線の交差部の左側及び右側に、それぞれ1本の前記画像信号線に電氣的に接続された状態で形成されているチャネル部を有する薄膜トランジスタ素子及び画素電極と、を有しており、前記ゲート信号線は、前記第1の方向に並んだ1群の前記画素電極に対応して第1及び第2のゲート信号線の2本が平面視で近接して形成されており、前記第1のゲート信号線が前記右側の薄膜トランジスタ素子に対して2つのチャネル部を形成するとともに前記右側の画素電極に画像信号を入力するように構成されており、前記第2のゲート信号線が前記左側の薄膜トランジスタ素子に対して1つのチャネル部を形成するとともに前記左側の画素電極に画像信号を入力するように構成されている液晶表示装置であって、前記第1及び第2のゲート信号線は、前記基板の上面に垂直な方向において前記基板の上面の側に互いに異なる位置にあるとともに前記基板に近い方が遠い方よりも幅広に形成されている構成である。

10

20

【 0 0 2 0 】

本発明の液晶表示装置は、好ましくは、前記第1及び第2のゲート信号線のうち前記基板に近い方は、平面視ですべての前記チャネル部と重なる延出部を有している。

【 0 0 2 1 】

また本発明の液晶表示装置は、好ましくは、前記第1及び第2のゲート信号線は、平面視で少なくとも部分的に重なっている。

【 0 0 2 2 】

また本発明の液晶表示装置は、好ましくは、前記ゲート信号線は、Al, Mo, Cr, Ti, Ta, W及びPdのうちの少なくとも一つを含む金属膜から成る。

30

【発明の効果】

【 0 0 2 3 】

本発明の液晶表示装置は、基板の上面の第1の方向に形成された複数本のゲート信号線と、第1の方向に交差する第2の方向にゲート信号線と交差させてゲート信号線の上に形成された複数本の画像信号線と、1本の画像信号線に対してゲート信号線と画像信号線の交差部の左側及び右側に、それぞれ1本の画像信号線に電氣的に接続された状態で形成されているチャネル部を有する薄膜トランジスタ素子及び画素電極と、を有しており、ゲート信号線は、第1の方向に並んだ1群の画素電極に対応して第1及び第2のゲート信号線の2本が平面視で近接して形成されており、第1のゲート信号線が右側の薄膜トランジスタ素子に対して2つのチャネル部を形成するとともに右側の画素電極に画像信号を入力するように構成されており、第2のゲート信号線が左側の薄膜トランジスタ素子に対して1つのチャネル部を形成するとともに左側の画素電極に画像信号を入力するように構成されている液晶表示装置であって、第1及び第2のゲート信号線は、基板の上面に垂直な方向において基板の上面の側に互いに異なる位置にあるとともに基板に近い方が遠い方よりも幅広に形成されていることから、以下のような効果を奏する。即ち、画像信号線の数を削減することができるので、画素部の開口率を向上させることができる。また、第1及び第2のゲート信号線は、基板の上面に垂直な方向において互いに異なる位置にあるので、それらのうちの少なくとも一方に遮光性を付与するために幅広に形成することが可能となる。その結果、画素部の開口率を高く維持した状態で薄膜トランジスタのチャネル部及びその周囲に対する遮光性を高めることができる。

40

【 0 0 2 4 】

50

本発明の液晶表示装置は、好ましくは、第１及び第２のゲート信号線のうち基板に近い方は、平面視ですべてのチャンネル部と重なる延出部を有していることから、延出部がチャンネル部に対する遮光膜として機能し、基板の裏面側、例えばバックライト装置側からチャンネル部に入り込む光を遮光することができる。

【００２５】

また本発明の液晶表示装置は、好ましくは、第１及び第２のゲート信号線は、平面視で少なくとも部分的に重なっていることから、第１及び第２のゲート信号線が１つの幅広い遮光膜として機能することとなる。また、画素部の開口率が低下することを抑えて遮光性を高めることができる。

【００２６】

また本発明の液晶表示装置は、好ましくは、ゲート信号線は、Ａｌ，Ｍｏ，Ｃｒ，Ｔｉ，Ｔａ，Ｗ及びＰｄのうちの少なくとも一つを含む金属膜から成ることから、基板の裏面側から照射される高輝度のバックライトの光を有効に遮光することができる。

【図面の簡単な説明】

【００２７】

【図１】図１は、本発明の液晶表示装置について実施の形態の１例を示す図であり、多数のＴＦＴ素子及び画素電極のうち一部を拡大して示す拡大平面図である。

【図２】図２は、従来の液晶表示装置の１例のブロック回路図である。

【図３】図３は、従来の液晶表示装置の１例について多数のＴＦＴ素子及び画素電極のうち一部を拡大して示す拡大平面図である。

【図４】図４は、図３の各画像信号線に画像信号を時分割で入力するための画像信号入力部の回路図である。

【図５】図５は、図３の各画素電極を時分割で駆動するためのタイミングチャートである。

【図６】図６は、従来の液晶表示装置の他例について多数のＴＦＴ素子及び画素電極のうち一部を拡大して示す拡大平面図である。

【図７】図７は、図６の各画像信号線に画像信号を時分割で入力するための画像信号入力部の回路図である。

【図８】図８は、図６の各画素電極を時分割で駆動するためのタイミングチャートである。

【発明を実施するための形態】

【００２８】

以下、本発明のＬＣＤの実施の形態について、図面を参照しながら説明する。但し、以下で参照する各図は、本発明のＬＣＤの主要な構成部材等を示している。従って、本発明のＬＣＤは、図に示されていない回路基板、配線導体、制御ＩＣ，ＬＳＩ等の周知の構成部材を備えていてもよい。

【００２９】

本発明のＬＣＤは、図１に示すように、ガラス基板等から成る基板の上面の第１の方向（例えば、行方向）に形成された複数本のゲート信号線１と、第１の方向に交差する第２の方向（例えば、列方向）にゲート信号線１と交差させてゲート信号線１の上方に形成された複数本の画像信号線２と、１本の画像信号線２に対してゲート信号線１と画像信号線２の交差部の左側及び右側に、それぞれ１本の画像信号線２に電氣的に接続された状態で形成されているチャンネル部６ａ，６ｂ，６ｃを有するＴＦＴ素子及び画素電極７ａ，７ｂと、を有しており、ゲート信号線１は、第１の方向に並んだ１群の画素電極７ａ，７ｂに対応して第１及び第２のゲート信号線１ａ，１ｂの２本が平面視で近接して形成されており、第１のゲート信号線１ａが右側のＴＦＴ素子に対して２つのチャンネル部６ａ，６ｂを形成するとともに右側の画素電極７ｂに画像信号を入力するように構成されており、第２のゲート信号線１ｂが左側のＴＦＴ素子に対して１つのチャンネル部６ｃを形成するとともに左側の画素電極７ａに画像信号を入力するように構成されているＬＣＤであって、第１及び第２のゲート信号線１ａ，１ｂは、基板の上面に垂直な方向において基板の上面の側

10

20

30

40

50

に互いに異なる位置にあるとともに基板に近い方が遠い方よりも幅広に形成されていることから、以下のような効果を奏する。即ち、画像信号線 2 の数を削減することができるので、画素部の開口率を向上させることができる。また、第 1 及び第 2 のゲート信号線 1 a , 1 b は、基板の上面に垂直な方向において互いに異なる位置にあるので、それらのうちの少なくとも一方に遮光性を付与するために幅広に形成することが可能となる。その結果、画素部の開口率を高く維持した状態で T F T 素子のチャネル部 6 a , 6 b , 6 c 及びその周囲に対する遮光性を高めることができる。第 1 及び第 2 のゲート信号線 1 a , 1 b のうちの少なくとも一方に遮光性を付与するために幅広に形成するとは、それらの少なくとも一方が幅広部としての延出部（遮光膜 9）を有するように形成すること、またそれらの少なくとも一方が幅広部としての延出部（遮光膜 9）を有するとともに線幅が他方よりも幅広になるように形成することを含む。

10

【0030】

図 1 に示すように、ゲート信号線 1 (1 a , 1 b) と画像信号線 2 (2 a , 2 b , 2 c) との交差部において、1 本の画像信号線 2 の左側及び右側にそれぞれ、その 1 本の画像信号線 2 に電氣的に接続された状態で T F T 素子及び I T O 等の透明電極から成る画素電極 R11 , G11 , B11 ~ B32 が形成されている。T F T 素子は、画像信号線 2 にコンタクトホール等によって電氣的に接続されたソース電極 3、ソース電極 3 からドレイン電極 5 a , 5 b にかけて形成された n + 型 a - S i , n + 型 p - S i 等から成る半導体膜 4、半導体膜 4 及び画素電極 R11 , G11 , B11 ~ B32 にコンタクトホール等によって電氣的に接続されたドレイン電極 5 a , 5 b を含む。また、ゲート信号線 1 と半導体膜 4 との 3 つの交差部には、それぞれチャネル部 6 a , 6 b , 6 c があり、ゲート信号線 1 にゲート信号が入力されてオン状態になったときにチャネル部 6 a , 6 b , 6 c が導通状態となる。チャネル部 6 a , 6 b , 6 c が導通状態のときに画像信号 SigR1/G1 , SigB1/R2 , SigG2/B2 が入力されたら、画素電極 R11 , G11 , B11 ~ B32 に所定の画素電圧が印加されて液晶を駆動し、画像表示が実行される。なお、駆動方法については、上述した図 6 ~ 図 8 に示した従来の L C D と同様であるので、その詳細な説明は省く。

20

【0031】

また、図 1 の L C D は、第 1 のゲート信号線 1 a 及び第 2 のゲート信号線 1 b のうち第 2 のゲート信号線 1 b が幅広部としての延出部（遮光膜 9）を有している。即ち、第 2 のゲート信号線 1 b が基板の上面に形成されるとともにその延出部である遮光膜 9 に連続している。チャネル部 6 c は、第 1 のゲート信号線 1 a と同層に形成された部分ゲート信号線 8 と半導体膜 4 との交差部にある。部分ゲート信号線 8 と第 2 のゲート信号線 1 b とはコンタクトホール等によって電氣的に接続されている。この場合、遮光膜 9 と第 2 のゲート信号線 1 b との間で光の反射が生じてチャネル部 6 a ~ 6 c へ光が入り込むことを抑えることができる。また、遮光膜 9 と第 2 のゲート信号線 1 b を 1 つの薄膜形成工程で形成することができるので、製造が容易になる。

30

【0032】

図 1 の L C D は、基板の上面に垂直な方向の積層構造は、例えば以下のようになっている。基板の上面に遮光膜 9 及び第 2 のゲート信号線 1 b が形成されており、その上に順次、絶縁層を介して第 1 のゲート信号線 1 a 及び部分ゲート信号線 8、他の絶縁層を介してソース電極 3、さらに他の絶縁層を介して半導体膜 4、さらに他の絶縁層を介して画素電極 7 a , 7 b、さらに他の絶縁層を介して画像信号線 2 が形成されている。画像信号線 2 とソース電極 3 はコンタクトホール等によって電氣的に接続され、ソース電極 3 と半導体膜 4 はコンタクトホール等によって電氣的に接続され、半導体膜 4 と画素電極 7 a , 7 b はコンタクトホール等によって電氣的に接続されている。

40

【0033】

ゲート信号線 1、画像信号線 2、ドレイン電極 5 a , 5 b、ソース電極 3 は、導電層から成り、例えばタンタル (T a)、タングステン (W)、チタン (T i)、モリブデン (M o)、アルミニウム (A l)、クロム (C r)、銀 (A g)、銅 (C u)、ネオジウム (N d) 等から選ばれた元素、それらの元素を主成分とする合金材料、窒化チタン、窒化

50

タンタル、窒化モリブデン等の金属窒化物等の導電性を有する材料から成ることがよい。導電層は、これらの材料の単層構造または複数層の積層構造とすることができる。積層構造とすることにより、低抵抗化を実現することができる。また、ゲート信号線 1、画像信号線 2、ドレイン電極 5 a、5 b、ソース電極 3 は、一般に遮光性を有している。また、画素電極 7 a、7 b は、透光性導電層から成り、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化珪素を添加したインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、リンやボロンが含まれるシリコン (Si) 等の導電性材料であって透光性を有する材料から成る。

【0034】

基板と導電層との間、また導電層間にある絶縁層は、単層構造または複数層の積層構造とすることができる。これらの絶縁層の材料としては、無機材料または有機材料を用いることができる。無機材料としては、酸化珪素 (SiO_2) または窒化珪素 (SiN_x) を用いることができる。有機材料としては、アクリル樹脂、ポリイミド、ポリアミド、ポリイミドアミド、ベンゾシクロブテン、シロキサン、ポリシラザンを用いることができる。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が形成される。その置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基、少なくとも水素を含む有機基とフルオロ基を用いてもよい。ポリシラザンは、珪素 (Si) と窒素 (N) の結合を有するポリマー材料を出発原料として形成される。これらの絶縁層の材料として有機材料を用いると、その表面の平坦性を高めることができ、好ましい。これらの絶縁層の材料として無機材料を用いると、半導体膜 4、ゲート信号線 1 の表面形状に沿うような表面を有するものとなる。また、この場合であっても、厚膜化することにより平坦性を有するものとなる。

【0035】

半導体膜 4 はアモルファスシリコン、多結晶シリコン等から成るが、その多結晶シリコンは低温多結晶シリコン (Low-temperature Poly Silicon : LTPS) である。そして、LTPS から成る半導体膜 4 は以下のようにして作製される。まず、ガラス基板等の基板上に、プラズマ CVD (Chemical Vapor Deposition) 法によって、アモルファスシリコン層を形成する。次に、アモルファスシリコン層を多結晶化するために、450 以下のガラス基板の温度でアモルファスシリコン層にエキシマレーザ光を照射する。エキシマレーザ光のエネルギーによってアモルファスシリコンは瞬間的に溶融し凝固する。その結果、平均粒径 $0.3\mu\text{m}$ 程度の LTPS 層に変化する。半導体膜 4 を構成する LTPS は、n 型 LTPS、p 型 LTPS のいずれであってもよいが、高い電荷 (電子等) の移動度が得られる点で n 型 LTPS が好ましい。

【0036】

遮光膜 9 は、スパッタリング法、CVD 法等の薄膜形成法等によって形成される。また、遮光膜 9 は金属、合金、金属酸化物、金属窒化物、黒色系樹脂等の遮光性のある材料から成ればよい。例えば、遮光膜 9 及びゲート信号線 1 は、アルミニウム (Al)、モリブデン (Mo)、クロム (Cr)、チタン (Ti)、タンタル (Ta)、タングステン (W) 及びパラジウム (Pd) のうちの少なくとも一つを含む金属膜から成ることが好ましい。遮光性を有する第 2 のゲート信号線 1 b も同様の材料から成ることがよい。この場合、ガラス基板の下方から照射される高輝度 (100 万カンデラ以上) のバックライト装置の光を有効に遮光することができる。従って、この遮光膜 9 を有する LCD は、ヘッドアップディスプレイ、プロジェクタ装置等の高輝度のバックライト装置を用いる LCD に最適なものである。

【0037】

遮光膜 9 の他の材料としては、銀 (Ag)、銅 (Cu)、ネオジウム (Nd) 等から選ばれた元素、またはそれらの元素を主成分とする合金材料、及び窒化チタン、窒化タンタル、窒化モリブデン等の金属窒化物等の導電性を有する材料を採用し得る。遮光膜 9 は、これらの材料から成る単層構造、または複数層の積層構造とすることができる。

【0038】

10

20

30

40

50

遮光膜 9 の厚みは、遮光膜 9 の光学濃度 (Optical Density : OD) 値が 3 程度以上となるような厚みであればよい。

【0039】

遮光膜 9 は、その平面視における形状が、長方形、角部を丸めた長方形、楕円形、長円形等の種々の形状とし得る。また遮光膜 9 は、その形状線 (アウトライン) とチャネル部 6 a ~ 6 c の形状線 (アウトライン) との間の平面視での距離が、いずれの方向においても光リーク電流発生抑止距離以上であることが好ましい。この光リーク電流発生抑止距離は、例えば 4 μm 以上である。4 μm 未満では、不活性状態のチャネル部 6 a ~ 6 c に光リーク電流が流れやすくなる。

【0040】

なお、チャネル部 6 a ~ 6 c は、n 型 LTPS から成る場合、ノンドープであるか、TFET 素子の閾値電圧を制御するためにリン (P) またはホウ素 (B) を $5 \times 10^{11} \sim 2 \times 10^{12} / \text{cm}^2$ 程度ドープしたものである。また、半導体膜 4 のチャネル部 6 a ~ 6 c の周りに、リーク電流低減のために低濃度ドープドレイン (Lightly Doped Drain : LDD) 部を形成してもよい。この LDD 部は、例えばリン (P) を $1 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ 程度ドープしたものである。半導体膜 4 のソース電極 3 の部位、ドレイン電極 5 a , 5 b の部位は、トランジスタの動作信頼性を高めるために、例えばリン (P) またはホウ素 (B) を $5 \times 10^{14} \sim 5 \times 10^{15} / \text{cm}^2$ 程度ドープしたものである。

【0041】

半導体膜 4 が LDD 部を有する場合、遮光膜 9 の形状線 (アウトライン) と LDD 部の形状線 (アウトライン) との間の平面視での距離が、いずれの方向においても光リーク電流発生抑止距離以上であることが好ましい。この光リーク電流発生抑止距離は、例えば 4 μm 以上である。

【0042】

また本発明の LCD は、第 1 のゲート信号線 1 a の線幅は 3 $\mu\text{m} \sim 10 \mu\text{m}$ 程度であり、線幅が細いために、光が第 1 のゲート信号線 1 a を回り込む等して遮光性が発現しにくくなっている。一方、第 2 のゲート信号線 1 b の線幅も 3 $\mu\text{m} \sim 10 \mu\text{m}$ 程度であるが、TFET 素子の下方 (基板側) にある遮光膜 9 が幅広部となっているために、光が部分ゲート信号線 8 及び第 1 のゲート信号線 1 a を回り込む等することを抑えて、チャネル部 6 a , 6 b , 6 c に対する遮光性が発現する。

【0043】

また本発明の LCD は、第 1 及び第 2 のゲート信号線 1 a , 1 b は、平面視で部分的に若しくは全体的に重なっていることが好ましい。この場合、第 1 及び第 2 のゲート信号線 1 a , 1 b の両方によってチャネル部 6 a , 6 b , 6 c に対する遮光性が発現するとともに、画素部の開口率が向上する。この場合、特にチャネル部 6 b , 6 c に対する遮光性が向上する。

【0044】

本発明の LCD は以下のようにして作製される。LCD は、TFET 素子を含む画素部が多数形成されたガラス基板等から成る TFET アレイ側基板と、カラーフィルタ及びブラックマトリクスが形成されたガラス基板等から成るカラーフィルタ側基板とを互いに対向させて、それらの基板を所定の間隔をもって貼り合わせ、それらの基板間に液晶を充填、封入することによって作製される。また、一般的に、カラーフィルタ側基板は、TFET 素子及び画素電極に対向する側の主面 (主面 a とする) の全面に、画素電極との間で液晶に印加する垂直電界を形成するための共通電極 (基準電極) が形成されている。この共通電極は、IPS (In-Plane Switching) 方式の LCD の場合、TFET アレイ側基板の画素部に画素電極と同じ面内に形成されることによって横電界を生じさせるものとなる。また共通電極は、FFS (Fringe Field Switching) 方式の LCD の場合、TFET アレイ側基板の画素部に画素電極の上方または下方に絶縁層を挟んで形成されることによって端部電界 (Fringe Field) を生じさせるものとなる。また、カラーフィルタ側基板の主面 a には、それぞれの画素に対応する赤 (R)、緑 (G)、青 (B) のカラーフィルタが形成され

10

20

30

40

50

ており、それぞれの画素を通過する光が相互に干渉することを防ぐブラックマトリクスがカラーフィルタの外周を囲むように形成されている。

【 0 0 4 5 】

なお、本発明のＬＣＤは、上記実施の形態に限定されるものではなく、適宜の設計的な変更、改良を含んでいてもよい。

【産業上の利用可能性】

【 0 0 4 6 】

本発明のアクティブマトリクス型のＬＣＤは各種の電子機器に適用できる。その電子機器としては、ヘッドアップディスプレイ、プロジェクタ装置、自動車経路誘導システム（カーナビゲーションシステム）、船舶経路誘導システム、航空機経路誘導システム、スマートフォン端末、携帯電話、タブレット端末、パーソナルデジタルアシスタント（ＰＤＡ）、ビデオカメラ、デジタルスチルカメラ、電子手帳、電子書籍、電子辞書、パーソナルコンピュータ、複写機、ゲーム機器の端末装置、テレビジョン、商品表示タグ、価格表示タグ、産業用のプログラマブル表示装置、カーオーディオ、デジタルオーディオプレイヤー、ファクシミリ、プリンター、現金自動預け入れ払い機（ＡＴＭ）、自動販売機、デジタル表示式腕時計などがある。

10

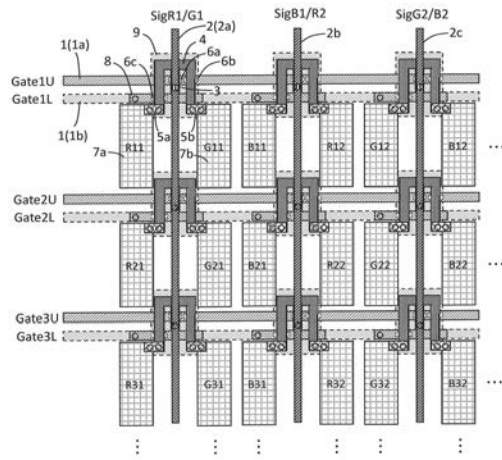
【符号の説明】

【 0 0 4 7 】

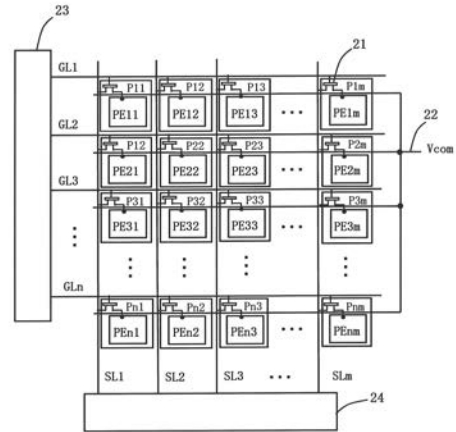
- 1 ゲート信号線
- 1 a 第 1 のゲート信号線
- 1 b 第 2 のゲート信号線
- 2 画像信号線（ソース信号線）
- 3 ソース電極
- 4 半導体膜
- 5 a , 5 b ドレイン電極
- 6 a , 6 b , 6 c チャネル部
- 7 a , 7 b 画素電極
- 8 部分ゲート信号線
- 9 遮光膜（延出部）

20

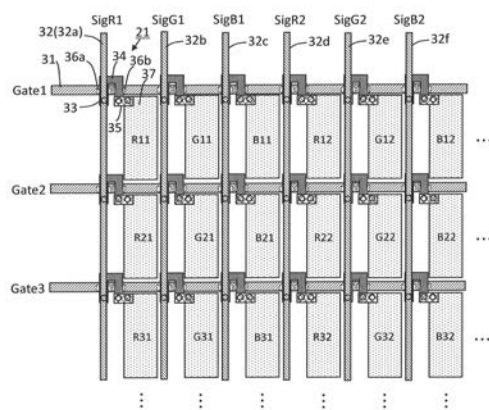
【図 1】



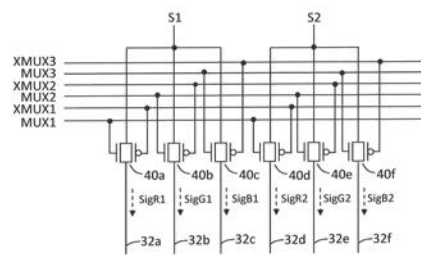
【図 2】



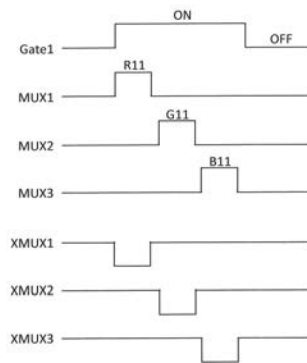
【図 3】



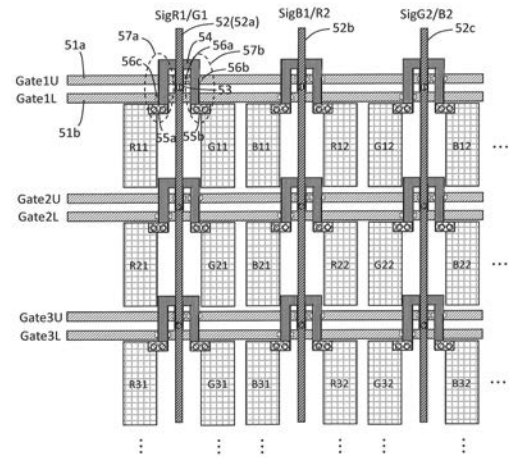
【図 4】



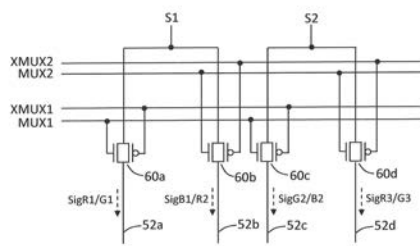
【図 5】



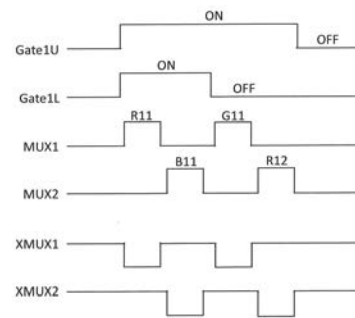
【図 6】



【図 7】



【図 8】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2016126080A	公开(公告)日	2016-07-11
申请号	JP2014265270	申请日	2014-12-26
[标]申请(专利权)人(译)	京瓷显示器株式会社		
申请(专利权)人(译)	京瓷显示器有限公司		
[标]发明人	市村照彦		
发明人	市村 照彦		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CC17 2H192/CC24 2H192/CC33 2H192/CC42 2H192/CC62 2H192/EA04 2H192/EA15 2H192/EA22 2H192/EA43 2H192/EA67 2H192/GD61 2H192/JB02		
外部链接	Espacenet		

摘要(译)

提供一种能够在保持像素部的高开口率的同时提高相对于TFT元件的沟道部及其周围的遮光性的LCD。LCD电连接到相对于一条图像信号线2在选通信号线1和图像信号线2的交点的左侧和右侧的一条图像信号线2。并且，TFT元件具有形成在其中的沟道部分6a至6c以及像素电极7a和7b，并且栅极信号线1对应于在行方向上布置的一组像素电极7a和7b。在形成有两条第一和第二栅极信号线1a和1b的LCD中，第一和第二栅极信号线1a和1b在垂直于基板的上表面的方向上彼此不同。它形成在更靠近基板并且比远离基板更宽的位置处。[选型图]图1

