

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-85294

(P2016-85294A)

(43) 公開日 平成28年5月19日(2016.5.19)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 631U	5C006
G02F 1/133 (2006.01)	G09G 3/20 641P	5C080
	G09G 3/20 623C	
	G09G 3/20 642J	
審査請求 未請求 請求項の数 5 O L (全 23 頁) 最終頁に続く		

(21) 出願番号	特願2014-216618 (P2014-216618)	(71) 出願人	000005049
(22) 出願日	平成26年10月23日 (2014.10.23)		シャープ株式会社
			大阪府大阪市阿倍野区長池町2番22号
		(74) 代理人	100101683
			弁理士 奥田 誠司
		(74) 代理人	100155000
			弁理士 喜多 修市
		(74) 代理人	100139930
			弁理士 山下 亮司
		(74) 代理人	100125922
			弁理士 三宅 章子
		(74) 代理人	100135703
			弁理士 岡部 英隆
		(74) 代理人	100184985
			弁理士 田中 悠
		最終頁に続く	

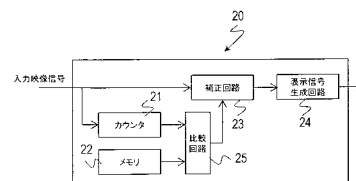
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】ソース配線に短絡が生じている場合でも表示品位の低下を効率的に抑制させることができる液晶表示装置を提供する。

【解決手段】液晶表示装置10は、液晶パネル1と、短絡したソース配線2を特定する座標情報を記憶しているメモリ22と、入力映像信号における1水平走査期間に含まれる映像信号の複数の階調値に対応した複数の画素の水平座標をカウントするカウンタ21と、座標情報と、カウント値とを比較する比較回路25と、座標情報により特定されるソース配線に接続されている各画素に対応した入力映像信号の各階調値を、1水平走査期間ごとに比較回路による比較結果に応じて補正し、補正映像信号を生成する補正回路23とを含むタイミングコントローラ20と、を備える。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数のソース配線を有する液晶パネルと、

少なくとも 1 組の隣接するソース配線の間で短絡が生じているとき、短絡している隣接するソース配線を特定する座標情報を記憶しているメモリと、

入力映像信号における 1 水平走査期間に含まれる映像信号の複数の階調値に対応した複数の画素の水平座標をカウントするカウンタと、

前記メモリに記憶されている前記座標情報と、前記カウンタのカウント値とを比較する比較回路と、

前記座標情報により特定されるソース配線に接続されている各画素に対応した前記入力映像信号の各階調値を、前記 1 水平走査期間ごとに前記比較回路による比較結果に応じて補正し、補正映像信号を生成する補正回路と、

前記短絡している隣接するソース配線の両者に供給する同レベルの表示信号を、前記補正映像信号の階調値に基づいて生成する表示信号生成回路と、
を含むタイミングコントローラと、
を備える、液晶表示装置。

10

【請求項 2】

前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに同極性であるとき、前記 1 水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した前記入力映像信号の両階調値を、前記両階調値の平均値に変換する、請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに異極性であるとき、前記 1 水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した前記入力映像信号の両階調値を、駆動時の共通電位に対応した値に変換する、請求項 1 に記載の液晶表示装置。

【請求項 4】

前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに同極性であるとき、前記 1 水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した入力映像信号の両階調値を、前記両画素と、前記両画素の両隣の画素とに対応した前記入力映像信号の 4 つの階調値の平均値に変換し、

30

前記補正回路は、前記 4 つの階調値の平均値に基づいて、前記両隣の画素の階調値を補正し、

前記補正回路は、前記両画素の一方の階調値が補正前の階調値と比べて大きくなるように前記両画素の一方の階調値を補正するとき、前記両画素の一方に隣接する前記両隣の画素の一方の階調値が小さくなるように前記両隣の画素の一方の階調値を補正し、前記両画素の他方の階調値が補正前の階調値と比べて小さくなるように前記両画素の他方の階調値を補正するとき、前記両画素の他方に隣接する前記両隣の画素の他方の階調値が大きくなるように前記両隣の画素の他方の階調値を補正する、請求項 1 に記載の液晶表示装置。

40

【請求項 5】

前記液晶パネルは、色が互いに異なる少なくとも 2 つの第 1 および第 2 のカラーフィルタが各々に配置された複数の画素を有し、

前記短絡している隣接するソース配線に接続されている両画素の一方は、前記第 1 のカラーフィルタが配置された画素であり、前記両画素の他方は、前記第 2 のカラーフィルタが配置された画素であり、

前記補正回路は、前記第 1 のカラーフィルタが配置された画素だけに着目したとき、前記両画素の一方および前記両画素の一方に隣接する 2 つの画素を含む第 1 の画素群中の階調値の平均値が、前記入力映像信号と前記補正映像信号との間で略一致するように前記第 1 の画素群内の各画素の階調値を補正し、かつ、前記第 2 のカラーフィルタが配置された

50

画素だけに着目したとき、前記両画素の他方および前記両画素の他方に隣接する２つの画素を含む第２の画素群中の階調値の平均値が、前記入力映像信号と前記補正映像信号との間で略一致するように前記第２の画素群内の各画素の階調値を補正する、請求項１に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置に関し、特に、補正映像信号に基づいて表示信号を生成する液晶表示装置に関する。

【背景技術】

10

【０００２】

近年、４Ｋ２Ｋテレビに代表されるように液晶表示装置の表示画素の高精細化が進んでいる。これに伴い、液晶表示装置の製造時において、配線等の欠陥をなくすことは困難となる。例えば、アクティブマトリクス型の液晶表示装置（液晶パネル）には、各画素に表示信号を供給する複数のソース配線が列毎に配列されている。表示画素の高精細化によりソース配線の数が増大し、隣接するソース配線の間隔はますます微小になる。その結果、隣接するソース配線の間には、ダストおよび実装不良などにより接触不良が起き易くなり、短絡が発生し易くなる。そこで、これらの短絡（欠陥）を正確に検出する検査が重要となる。例えば、特許文献１は、複数のソース配線を短絡するショートリング構造を利用して、隣接するソース配線の中に生じている短絡を検査する短絡検査方法を開示している。この検査方法によれば、短絡の有無を検査し、短絡の位置を特定することができる。

20

【先行技術文献】

【特許文献】

【０００３】

【特許文献１】特開平１１－１３３３７０号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

特許文献１は、短絡を検査する検査方法を開示している。しかしながら、特許文献１は、検査後における、短絡したソース配線を有する液晶パネルの取り扱いについては何ら言及していない。

30

【０００５】

上述したように、表示画素の高精細化により、製造時に、隣接するソース配線の両配線の中に短絡が生じてしまうことは避けられない。製品の歩留まりの観点から、液晶パネルにおいて両配線に短絡が生じている場合でも、そのパネルを破棄することなく、有効的に活用することが好ましい。ただし、短絡したソース配線を有する液晶パネルをそのまま利用すると、液晶パネルを駆動させるときに以下のような問題が生じる。

【０００６】

両配線が短絡していると、両配線の電位は平均化されて、各配線に供給される電位の間電位となり、かつ、高電位のソース配線から低電位のソース配線に大電流が流れる。その結果、外部から液晶表示装置に入力されるそのままの入力映像信号に基づいて、ソース配線に供給する表示信号を生成すると、短絡が生じている状態では大電流が流れてしまう。これは、ソース配線に表示信号を供給するソースドライバが故障する大きな要因となり得る。

40

【０００７】

また、表示画素の高精細化が進むほど、隣接するソース配線の中の短絡が表示に与える影響は無視できなくなる。短絡した両配線の電位は平均化されるので、それらのソース配線に接続された各画素はまるで欠陥画素のように振る舞い、その結果、表示品位が著しく低下する。高精細化が進むほど、表示品位の低下は顕著となる。

【０００８】

50

図 1 (a) から (c) は、短絡が表示に与える影響を説明するための液晶パネル 1 の模式図である。図 1 (a) は、液晶パネルの典型的な構造を模式的に示している。高精細の液晶パネル 1 は、実際には数百万個の画素を有しているが、図 1 (a) から (c) には、 4×4 のモノクロの画素 4 を有する液晶パネル 1 の構造を例示している。図 1 (b) は、短絡 5 が生じていない液晶パネル 1 に、黒地に斜めの白いラインが正常に表示されている様子を示している。図 1 (c) は、4 つのソース配線のうち、中央の隣接するソース配線の間に短絡 5 が生じているときに、黒地に斜めの白いラインを表示させる表示信号を各ソース配線に供給した場合の液晶パネル 1 の表示の様子を示している。

【 0 0 0 9 】

図 1 (c) に示されるように、短絡した隣接するソース配線に接続された各画素の各階調値が、行毎に両階調値の平均値となり、本来白または黒で表示すべき画素がそれらの中間色であるグレーで表示されることが分かる。このように、特に、斜めの白いラインを黒地に表示することができなくなり、短絡によって表示品位が低下してしまう。なお、階調値は「輝度値」とも称される。

【 0 0 1 0 】

本発明の目的は、短絡したソース配線を有する液晶パネルを備える液晶表示装置において、表示品位の低下を効率的に抑制させることである。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の実施形態による液晶表示装置は、複数のソース配線を有する液晶パネルと、少なくとも 1 組の隣接するソース配線の間で短絡が生じているとき、短絡している隣接するソース配線を特定する座標情報を記憶しているメモリと、入力映像信号における 1 水平走査期間に含まれる映像信号の複数の階調値に対応した複数の画素の水平座標をカウントするカウンタと、前記メモリに記憶されている前記座標情報と、前記カウンタのカウント値とを比較する比較回路と、前記座標情報により特定されるソース配線に接続されている各画素に対応した前記入力映像信号の各階調値を、前記 1 水平走査期間ごとに前記比較回路による比較結果に応じて補正し、補正映像信号を生成する補正回路と、前記短絡している隣接するソース配線の両者に供給する同レベルの表示信号を、前記補正映像信号の階調値に基づいて生成する表示信号生成回路と、を含むタイミングコントローラとを備える。

【 0 0 1 2 】

ある実施形態において、前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに同極性であるとき、前記 1 水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した前記入力映像信号の両階調値を、前記両階調値の平均値に変換する。

【 0 0 1 3 】

ある実施形態において、前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに同極性であるとき、前記 1 水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した前記入力映像信号の両階調値を、前記両階調値のうち大きい方の階調値および小さい方の階調値のいずれか一方に変換する。ただし、表示品位の低下の抑制という点では、入力映像信号の両階調値をその両階調値の平均値に変換することが好ましい。

【 0 0 1 4 】

ある実施形態において、前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに異極性であるとき、前記 1 水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した前記入力映像信号の両階調値を、駆動時の共通電位に対応した値に変換する。例えば、共通電位 V_{com} は 0 V であり、共通電位 V_{com} に対応した値（階調値）は「0」である。

【 0 0 1 5 】

ある実施形態において、前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに同極性であるとき、前記 1 水平走査期間

10

20

30

40

50

ごとに、前記隣接するソース配線に接続されている両画素に対応した入力映像信号の両階調値を、前記両画素と、前記両画素の両隣の画素と、に対応した前記入力映像信号の４つの階調値の平均値に変換する。

【００１６】

ある実施形態において、前記補正回路は、前記４つの階調値の平均値に基づいて、前記両隣の画素の階調値を補正する。

【００１７】

ある実施形態において、前記補正回路は、前記両画素の一方の階調値が補正前の階調値と比べて大きくなるように前記両画素の一方の階調値を補正するとき、前記両画素の一方に隣接する前記両隣の画素の一方の階調値が小さくなるように前記両隣の画素の一方の階調値を補正し、前記両画素の他方の階調値が補正前の階調値と比べて小さくなるように前記両画素の他方の階調値を補正するとき、前記両画素の他方に隣接する前記両隣の画素の他方の階調値が大きくなるように前記両隣の画素の他方の階調値を補正する。

10

【００１８】

ある実施形態において、前記補正回路は、前記隣接するソース配線に接続されている両画素の一方に隣接する画素の階調値に、前記両画素の一方の補正前後の階調値の差分を加算し、前記両画素の他方に隣接する画素の階調値に、前記両画素の他方の補正前後の階調値の差分を加算する。

【００１９】

ある実施形態において、前記液晶パネルは、色が互いに異なる少なくとも２つの第１および第２のカラーフィルタが各々に配置された複数の画素を有し、前記短絡している隣接するソース配線に接続されている両画素の一方は、前記第１のカラーフィルタが配置された画素であり、前記両画素の他方は、前記第２のカラーフィルタが配置された画素であり、前記補正回路は、前記第１のカラーフィルタが配置された画素だけに着目したとき、前記両画素の一方および前記両画素の一方に隣接する２つの画素を含む第１の画素群中の階調値の平均値が、前記入力映像信号と前記補正映像信号との間で略一致するように前記第１の画素群内の各画素の階調値を補正し、かつ、前記第２のカラーフィルタが配置された画素だけに着目したとき、前記両画素の他方および前記両画素の他方に隣接する２つの画素を含む第２の画素群中の階調値の平均値が、前記入力映像信号と前記補正映像信号との間で略一致するように前記第２の画素群内の各画素の階調値を補正する。

20

30

【発明の効果】

【００２０】

本発明の一実施形態によれば、表示品位の低下を効率的に抑制させることができる液晶表示装置が提供される。

【図面の簡単な説明】

【００２１】

【図１】（ａ）から（ｃ）は、短絡が表示に与える影響を説明するための液晶パネル１の模式図である。

【図２】第１の実施形態による液晶表示装置１０の構成を示す模式図である。

【図３】タイミングコントローラ２０の回路構成の模式図である。

40

【図４】垂直走査期間におけるタイミングコントローラ２０の動作フローチャートである。

【図５】ＡＣ駆動のときの、極性、階調値と、ソースドライバ４０の電位との関係の一例を示したグラフである。

【図６】（ａ）は、黒地に斜めの白色のラインを表す液晶パネル１の正常な表示の様子を示す模式図であり、（ｂ）は中央の隣接するソース配線２が短絡しているときの、補正映像信号に基づく液晶パネル１の表示の様子を示す模式図である。

【図７】（ａ）は、白地に斜めの黒色のラインを表す液晶パネル１の正常な表示の様子を示す模式図であり、（ｂ）は中央の隣接するソース配線２が短絡しているときの、補正映像信号に基づく液晶パネル１の表示の様子を示す模式図である。

50

【図 8】(a) は、黒地に斜めの白色のラインを表す液晶パネル 1 の正常な表示の様子を示す模式図であり、(b) は中央の隣接するソース配線 2 (B 列および C 列のソース配線) が短絡しているときに、元の入力映像信号に基づく液晶パネル 1 の表示の様子を示す模式図であり、(c) は、補正映像信号に基づく液晶パネル 1 の表示の様子を示す模式図である。

【図 9】(a) から (c) は、短絡したソース配線 2 に接続された画素の両隣の画素が暗い場合の階調値の計算方法の一例を説明するための図である。

【図 10】(a) は、白地に斜めの黒色のラインを表す液晶パネル 1 の正常な表示の様子を示す模式図であり、(b) は中央の隣接するソース配線 2 (B 列および C 列のソース配線) が短絡しているときに、元の入力映像信号に基づく液晶パネル 1 の表示の様子を示す模式図であり、(c) は、補正映像信号に基づく液晶パネル 1 の表示の様子を示す模式図である。

10

【図 11】(a) から (c) は、短絡したソース配線 2 に接続された画素の両隣の画素が明るい場合の階調値の計算方法の一例を説明するための図である。

【図 12】(a) は、黒地に斜めの白色のラインを表す液晶パネル 1 の正常な表示の様子を示す模式図であり、(b) は、隣接するソース配線 2 に供給される表示信号が互いに異極性であるとき、短絡したソース配線 2 に接続された両画素に対応した入力映像信号の各階調値を、第 3 の実施形態で説明した方法により補正した場合の液晶パネル 1 の表示の様子を示す模式図であり、(c) は、短絡したソース配線 2 に隣接するソース配線 2 に接続された画素も合わせて補正して表示する表示例を示す模式図である。

20

【図 13】(a) は、短絡したソース配線 2 の両画素に隣接した 2 つの画素の各階調値を第 5 の実施形態による計算方法を用いて補正する第 1 の補正例を説明するための図であり、(b) は、(a) と同様に、第 5 の実施形態による計算方法を用いた第 2 の補正例を説明するための図である。

【図 14】(a) は、カラー液晶表示において、黒地に斜めの白色のラインが正常に表示されている様子を示す模式図であり、(b) は、青 (B) 画素と、赤 (R) 画素とにそれぞれ接続されたソース配線 2 の間で短絡が生じているときに、元の入力映像信号に基づく液晶パネル 1 の表示の様子を示す模式図であり、(c) は、補正映像信号に基づく液晶パネル 1 の表示の様子を示す模式図である。

30

【図 15】(a) は、カラー液晶表示において、白地に斜めの黒色のラインが正常に表示されている様子を示す模式図であり、(b) は、青 (B) 画素と、赤 (R) 画素とにそれぞれ接続されたソース配線 2 の間で短絡が生じているときに、元の入力映像信号に基づく液晶パネル 1 の表示の様子を示す模式図であり、(c) は、補正映像信号に基づく液晶パネル 1 の表示の様子を示す模式図である。

【図 16】1 水平走査期間において、図 14 に示す中央の行 (上から 2 行目) の画素群を補正する例を説明するための図である。

【図 17】図 16 に示す補正例とは異なる補正例を説明するための図である。

【発明を実施するための形態】

【0022】

本発明の実施形態による液晶表示装置は、複数のソース配線を有する液晶パネルと、少なくとも 1 組の隣接するソース配線の間で短絡が生じているとき、短絡している隣接するソース配線を特定する座標情報を記憶しているメモリと、入力映像信号における 1 水平走査期間に含まれる映像信号の複数の階調値に対応した複数の画素の水平座標をカウントするカウンタと、メモリに記憶されている座標情報と、カウンタのカウント値とを比較する比較回路と、座標情報により特定されるソース配線に接続されている各画素に対応した入力映像信号の各階調値を、1 水平走査期間ごとに比較回路による比較結果に応じて補正して、補正映像信号を生成する補正回路と、短絡している隣接するソース配線の両者に供給する同レベルの表示信号を、補正映像信号の階調値に基づいて生成する表示信号生成回路と、を含むタイミングコントローラと、を備える。この液晶表示装置によれば、表示品位の低下を効率的に抑制することができる。

40

50

【 0 0 2 3 】

また、本発明の態様は、方法およびコンピュータプログラムを用いて実装され、または方法およびコンピュータプログラムの組み合わせを用いて実現され得る。

【 0 0 2 4 】

以下、添付の図面を参照しながら、本発明の実施形態による液晶表示装置を説明する。以下の説明において、同一または類似する構成要素については同一の参照符号を付している。なお、本発明の実施形態による液晶表示装置は、以下で例示するものに限られない。例えば、一の実施形態と、他の実施形態とを組み合わせることも可能である。

【 0 0 2 5 】

(第 1 の実施形態)

図 2 から図 3 を参照しながら、本実施形態による液晶表示装置 1 0 の構成および機能を説明する。

【 0 0 2 6 】

図 2 は、液晶表示装置 1 0 の構成を模式的に示している。液晶表示装置 1 0 は、典型的には、液晶パネル 1 と、タイミングコントローラ 2 0 と、ゲートドライバ 3 0 と、ソースドライバ 4 0 と、バックライト駆動回路 5 0 と、バックライトユニット 6 0 とを備えている。

【 0 0 2 7 】

タイミングコントローラ 2 0 は、ゲートドライバ 3 0 、ソースドライバ 4 0 およびバックライト駆動回路 5 0 を制御する。タイミングコントローラ 2 0 は、入力映像信号に基づいて表示信号を生成し、表示信号をソースドライバ 4 0 に出力する。なお、タイミングコントローラ 2 0 の構造および機能の詳細は後述する。

【 0 0 2 8 】

ゲートドライバ 3 0 は、各行に対応したゲート配線 3 を介して液晶パネル 1 の書き込みを行う画素を選択する走査信号を供給する。ソースドライバ 4 0 は、各列に対応したソース配線 2 を介して液晶パネル 1 における選択された画素に表示信号を供給する。ゲートドライバ 3 0 およびソースドライバ 4 0 は表示信号のフレームレート (例えば 1 2 0 f p s) に応じた垂直走査周波数で液晶パネル 1 を駆動する。

【 0 0 2 9 】

バックライトユニット 6 0 は、表示用の光を出射する。バックライト駆動回路 5 0 は、バックライトユニット 6 0 が全ての期間において点灯するようにバックライトユニット 6 0 を制御する。

【 0 0 3 0 】

次に、図 3 を参照して、タイミングコントローラ 2 0 の構造および機能の詳細を説明する。

【 0 0 3 1 】

図 3 は、タイミングコントローラ 2 0 の回路構成の一例を模式的に示している。タイミングコントローラ 2 0 は、カウンタ 2 1 と、メモリ 2 2 と、補正回路 2 3 と、表示信号生成回路 2 4 と、比較回路 2 5 とを含んでいる。タイミングコントローラ 2 0 は、ハードウェアのみで実現してもよいし、ハードウェアおよびソフトウェアを組み合わせで実現してもよい。

【 0 0 3 2 】

カウンタ 2 1 は、入力映像信号における 1 水平走査期間に含まれる映像信号の複数の階調値に対応した複数の画素の水平座標をカウントする。具体的には、カウンタ 2 1 は、入力映像信号の 1 水平走査期間に含まれているデータイネーブルの数をカウントする。例えば、入力映像信号が 1 9 2 0 × 1 0 8 0 のフルハイビジョン (F u l l H D) の放送信号であるとする。その入力映像信号の 1 水平走査期間内には有効画素数を示すデータイネーブルが含まれており、その数は 1 9 2 0 である。例えばカウンタ 2 1 は、 1 1 ビットカウンタであり、データイネーブルが入力される毎にカウントアップの動作を行う。カウント値は、 1 水平走査期間内の全てのデータイネーブルをカウントするとゼロにリセットされ

10

20

30

40

50

る。

【 0 0 3 3 】

カウンタ値は、液晶パネル 1 における水平方向（図 2 の x 軸方向）の座標を示している。その座標は、各データラインに対応した映像信号の階調値に基づく表示信号が供給される液晶パネル 1 内の各画素を特定する。そのため、その座標情報から、各データラインに対応した映像信号が液晶パネル 1 での水平方向においてどの画素に対応しているかを特定することができる。

【 0 0 3 4 】

メモリ 2 2 は、タイミングコントローラ 2 0 の内部メモリである。ただし、メモリ 2 2 は、タイミングコントローラ 2 0 に接続される外部メモリであっても構わない。メモリ 2 2 は、少なくとも 1 組の隣接するソース配線 2 の間で短絡が生じているとき、短絡している隣接するソース配線を特定する座標情報を記憶している。メモリ 2 2 は、例えば 1 0 組のソース配線に短絡が生じているときは、これら 1 0 組を特定する座標情報を記憶している。

10

【 0 0 3 5 】

上述したように、製造時の不良検査において、例えば特許文献 1 に開示されている検査方法を用いることで、短絡が生じているソース配線 2 を特定することができる。具体的には、短絡したソース配線 2 を特定する情報として、その短絡したソース配線 2 に接続されている各画素の、液晶パネル 1 の座標系における x 座標の情報を取得できる。例えば、メモリ 2 2 に記憶されている座標情報は、1 組の隣接する両ソース配線 2 の座標情報のうち、少なくともいずれか 1 つの座標情報を含んでいればよい。このように、製品出荷時に、検査時に取得された座標情報をメモリ 2 2 に予め書き込んでおくことができる。

20

【 0 0 3 6 】

比較回路 2 5 は、カウンタ 2 1 の値が更新される毎に、カウンタ値と、メモリ 2 2 に記憶されている座標情報から特定されるソース配線 2 の座標情報とを比較する。例えば、比較回路 2 5 は、両者が一致する場合、比較結果として一致を示す信号“ 1 ”を後段の補正回路 2 3 に出力し、両者が一致しない場合、比較結果として不一致を示す信号“ 0 ”を補正回路 2 3 に出力する。または、比較回路 2 5 は、両者が一致した場合だけ、一致したときの座標情報を補正回路 2 3 に出力するようにしてもよい。

30

【 0 0 3 7 】

補正回路 2 3 は、座標情報により特定されるソース配線 2 に接続されている各画素に対応した入力映像信号の各階調値を、1 水平走査期間ごとに比較回路による比較結果に応じて補正し、補正映像信号を生成する。

【 0 0 3 8 】

表示信号生成回路 2 4 は、補正映像信号の階調値に基づいてソースドライバ 4 0 に供給する表示信号を生成する。このとき、表示信号生成回路 2 4 は、短絡している隣接するソース配線 2 の両者には同レベルの表示信号を出力する。これにより、両者は同電位となるので、ソースドライバ 4 0 に大電流が流れることを抑制できる。

【 0 0 3 9 】

図 4 は、垂直走査期間におけるタイミングコントローラ 2 0 の動作フローチャートを示している。図 4 に示す一連の処理を経て、補正回路 2 3 は 1 フレームに相当する補正映像信号を生成する。

40

【 0 0 4 0 】

（ステップ S 1 0 0 ）

カウンタ 2 1 が 1 水平走査期間におけるカウンタ動作を開始する前に、カウンタ値を例えば、“ 0 ”にリセットしておく。

【 0 0 4 1 】

（ステップ S 1 0 1 ）

比較回路 2 5 は、カウンタ値とメモリ 2 2 に記憶された座標情報とを比較する。

【 0 0 4 2 】

50

(ステップ S 1 0 2)

カウンタ値とメモリ 2 2 に記憶された座標情報とが一致する場合、補正回路 2 3 は、短絡したソース配線 2 に接続された各画素に対応した映像信号の階調値を補正する(ステップ S 1 0 3)。カウンタ値とメモリ 2 2 に記憶された座標情報とが一致しない場合、補正回路 2 3 は映像信号の階調値を補正しない。

【 0 0 4 3 】

(ステップ S 1 0 4)

カウンタ 2 1 はデータイネーブルをカウントしてカウンタ値を更新する。

【 0 0 4 4 】

(ステップ S 1 0 5)

カウンタ値が 1 水平走査期間に含まれるデータイネーブルの総数に相当する値に達しているとき、1 水平走査期間でのカウント動作は完了する。カウンタ値が、データイネーブルの総数に相当する値に達していないとき、カウンタ値がその値に到達するまで、ステップ S 1 0 1 からステップ S 1 0 5 の処理が繰り返し実行される。

【 0 0 4 5 】

例えば上述した Full HD の場合には、データイネーブルの総数は水平方向の画素数 1 9 2 0 に一致する。カウンタ 2 1 の初期値が “ 0 ” であるときは、データイネーブルの総数に相当する値は、1 9 2 0 から 1 を引いた値 (1 9 1 9) となる。

【 0 0 4 6 】

(ステップ S 1 0 6)

垂直走査期間に含まれる全ての水平走査期間での処理が完了するまで、ステップ S 1 0 1 からステップ S 1 0 6 の処理が繰り返し実行される。垂直走査期間において一連の処理が完了すると、1 フレームに相当する補正映像信号が得られる。

【 0 0 4 7 】

次に、図 5 および図 6 を参照して、補正回路 2 3 の機能および動作を詳細に説明する。

【 0 0 4 8 】

ところで、液晶パネルは一般に AC 駆動される。図 5 は、AC 駆動のときの、極性、階調値と、ソースドライバ 4 0 の電位との関係の一例を示している。補正回路 2 3 は、ソース配線 2 に供給される表示信号の極性を考慮して、補正映像信号を生成する。本実施形態では、隣接するソース配線 2 に供給される表示信号が互いに同極性であるときの補正回路 2 3 の動作の一例を説明する。

【 0 0 4 9 】

補正回路 2 3 は、1 水平走査期間において隣接するソース配線 2 に供給される表示信号が互いに同極性であるとき、1 水平走査期間ごとに、隣接する短絡したソース配線 2 に接続されている両画素に対応した入力映像信号の両階調値を、両階調値の平均値に変換する。

【 0 0 5 0 】

図 6 (a) は、黒地に斜めの白色のラインを表す液晶パネル 1 の正常な表示の様子を示し、図 6 (b) は中央の隣接するソース配線 2 が短絡しているときの、補正映像信号に基づく液晶パネル 1 の表示の様子を示している。ソースドライバ 4 0 は、短絡した両配線に同電位の表示信号を供給する。その結果、図示されるように、中央の 4 つの画素は、両階調値の平均値 (グレー) で表示される。

【 0 0 5 1 】

図 7 (a) は、白地に斜めの黒色のラインを表す液晶パネル 1 の正常な表示の様子を示し、図 7 (b) は中央の隣接するソース配線 2 が短絡しているときの、補正映像信号に基づく液晶パネル 1 の表示の様子を示している。ソースドライバ 4 0 は、短絡した両配線に同電位の表示信号を供給する。その結果、図示されるように、中央の 4 つの画素は、行毎に両階調値の平均値 (グレー) で表示される。

【 0 0 5 2 】

本実施形態によれば、ソースドライバ 4 0 に大電流が流れることを抑制でき、かつ、液

10

20

30

40

50

晶パネル 1 の表示品位の低下を抑制できる。

【 0 0 5 3 】

(第 2 の実施形態)

第 2 の実施形態による液晶表示装置 1 0 の機能を説明する。本実施形態の補正回路 2 3 は、第 1 の実施形態で説明した補正回路 2 3 とは異なる方法で補正映像信号を生成する。それ以外の点は、第 1 の実施形態と共通である。以下、第 1 の実施形態と異なる点 (補正回路 2 3 の動作) を中心に説明し、共通する構造などの説明は省略する。

【 0 0 5 4 】

本実施形態による補正回路 2 3 は、隣接するソース配線 2 に供給される表示信号が互いに同極性であるとき、1 水平走査期間ごとに、隣接する短絡したソース配線 2 に接続されている両画素に対応した入力映像信号の両階調値を、その両階調値のうち大きい方の階調値および小さい方の階調値のいずれか一方に変換する。

10

【 0 0 5 5 】

本実施形態によれば、第 1 の実施形態と同様に、ソースドライバ 4 0 に大電流が流れることを抑制できる。ただし、表示品位の低下の抑制という点では、第 1 の実施形態で説明したように、入力映像信号の両階調値を両階調値の平均値に変換することが好ましい。

【 0 0 5 6 】

(第 3 の実施形態)

第 3 の実施形態による液晶表示装置 1 0 の機能を説明する。本実施形態では、第 1 または第 2 の実施形態とは異なり、隣接するソース配線 2 に供給される表示信号が互いに異極性であるときの補正回路 2 3 の動作を説明する。それ以外の点は、第 1 の実施形態と共通である。以下、第 1 の実施形態と異なる点 (補正回路 2 3 の動作) を中心に説明し、共通する構造などの説明は省略する。

20

【 0 0 5 7 】

1 水平走査期間において隣接するソース配線 2 に供給される表示信号が互いに異極性であるとき、補正回路 2 3 は、1 水平走査期間ごとに、隣接する短絡したソース配線 2 に接続されている両画素に対応した入力映像信号の両階調値を、駆動時の共通電位 V_{com} に対応した値に変換する。例えば、共通電位 V_{com} は 0 V であり、共通電位 V_{com} に対応した値 (階調値) は「 0 」である。

【 0 0 5 8 】

本実施形態によれば、ソースドライバ 4 0 に大電流が流れることを抑制でき、かつ、液晶パネル 1 の表示品位の低下を抑制できる。

30

【 0 0 5 9 】

(第 4 の実施形態)

図 8 から図 1 1 を参照して、本実施形態による液晶表示装置 1 0 を説明する。

【 0 0 6 0 】

本実施形態による液晶表示装置 1 0 の補正回路 2 3 は、短絡したソース配線 2 に接続された両画素およびそれらに隣接する両画素に対応した入力映像信号の 4 つの階調値を補正する点で、第 1 または第 2 の実施形態による液晶表示装置 1 0 の補正回路 2 3 とは異なる。それ以外の点は、第 1 または第 2 の実施形態と共通である。以下、第 1 または第 2 の実施形態と異なる点 (補正回路 2 3 の動作) を中心に説明し、共通する構造などの説明は省略する。

40

【 0 0 6 1 】

本実施形態による補正回路 2 3 の動作は概ね以下のとおりである。

【 0 0 6 2 】

補正回路 2 3 は、メモリ 2 2 内の座標情報により特定される隣接するソース配線 2 の両者に供給される表示信号が互いに同極性であるとき、1 水平走査期間ごとに、隣接するソース配線 2 に接続されている両画素に対応した入力映像信号の両階調値を、両画素と、その両画素の両隣の画素とに対応した入力映像信号の 4 つの階調値の平均値に変換する。さらに、補正回路 2 3 は、4 つの階調値の平均値に基づいて、両隣の画素の階調値を補正す

50

る。

【 0 0 6 3 】

まず、図 8 および 9 を参照して、短絡したソース配線 2 に接続された画素の両隣の画素の階調値が暗い場合の階調値の補正例を説明する。

【 0 0 6 4 】

図 8 (a) は、黒地に斜めの白色のラインを表す液晶パネル 1 の正常な表示の様子を示し、図 8 (b) は中央の隣接するソース配線 2 (B 列および C 列のソース配線) が短絡しているときに、元の入力映像信号に基づく液晶パネル 1 の表示の様子を示している。図 8 (c) は、補正映像信号に基づく液晶パネル 1 の表示の様子を示している。

【 0 0 6 5 】

図 8 (a) における B 列および C 列のソース配線 2 の間で短絡が生じているとする。補正回路 2 3 は、B 列および C 列のソース配線 2 に接続された両画素 (以下、これらをそれぞれ「画素 B 」および「画素 C 」と称する。) に対応した入力映像信号の各階調値の第 1 の平均値と、B 列および C 列に隣接する A 列および D 列に接続された 2 つの画素 (以下、これらをそれぞれ「画素 A 」および「画素 D 」と称する。) に対応した入力映像信号の各階調値の第 2 の平均値と、を 1 水平走査期間ごとに比較する。

【 0 0 6 6 】

補正回路 2 3 は、第 1 の平均値が第 2 の平均値よりも大きい場合、つまり、画素 A および D が画素 B および C に比べて暗い場合、画素 B および C のそれぞれを第 1 の平均値よりも小さい輝度で表示させ、画素 A および D を、画素 B および C においてその補正により不足した階調値だけ明るく表示させるように補正映像信号を生成する。これにより、画素 B および C には同レベルの表示信号が供給されて、図 8 (c) に示すような液晶パネル 1 の表示が得られる。

【 0 0 6 7 】

図 9 (a) から (c) を参照しながら、補正における具体的な計算方法を説明する。

【 0 0 6 8 】

図 9 (a) から (c) は、短絡したソース配線 2 に接続された画素の両隣の画素が暗い場合の階調値の計算方法の一例を示している。なお、図 9 (a) から (c) に示す 4 つの画素群は、図 8 (a) から (c) の映像信号の上から 2 行目の 4 つの画素群にそれぞれ対応している。なお、他の行の画素群も以下の計算方法を用いて補正することができる。

【 0 0 6 9 】

図 8 (a) に示すように黒地に斜めの白色のラインを表示する場合、短絡したソース配線 2 の両隣が暗いので、画素 B および C を第 1 の平均値よりも小さい輝度で発光させるとそれらは目立たない。これでは表示が暗くなったように視認されるので、画素 A および D を明るく発光させることで、元に近い表示を再現できる。

【 0 0 7 0 】

図 9 (a) から (c) に示されている数値は階調値を 0 から 1 に正規化した値である。まず、図 9 (b) に示されるように、元の入力映像信号に基づいて表示した場合、短絡したソース配線 2 に接続された画素 B および C は、入力映像信号の階調値の中間値「 0 . 5 」で表示される。

【 0 0 7 1 】

本実施形態では、図 9 (c) に示されるように、補正回路 2 3 は、画素 B および C の各階調値を 4 つの画素 A から D に対応した入力映像信号の階調値の平均値「 0 . 2 5 」に置換する。図示する例では、補正回路 2 3 は、画素 B および C に対応した入力映像信号の階調値をそれぞれ「 0 . 2 5 」に置換している。

【 0 0 7 2 】

次に、補正回路 2 3 は、入力映像信号における画素 A および B の階調値の平均値「 0 」と、補正映像信号における画素 A および B の階調値の平均値とが略一致するように、補正映像信号における画素 A の階調値を決定する。この決定に従うと、補正映像信号 (図 9 (c)) においては、画素 B の階調値は「 0 . 2 5 」となるので、画素 A の階調値は「 - 0

10

20

30

40

50

「 0 . 2 5 」になる。ただし、負の値になった場合には階調値を「 0 」にクリップする。その結果、画素 A に着目したとき、補正の前後において階調値は「 0 」のままとなる。

【 0 0 7 3 】

また、補正回路 2 3 は、入力映像信号における画素 C および D の階調値の平均値「 0 . 5 」と、補正映像信号における画素 C および D の階調値の平均値とが略一致するように、補正映像信号における画素 D の階調値を決定する。この決定に従うと、補正映像信号（図 9（c））においては、画素 C の階調値は「 0 . 2 5 」となるので、画素 D の階調値は「 $(0.5 \times 2 - 0.25) = 0.75$ 」になる。このように、入力映像信号から補正映像信号が得られる。

【 0 0 7 4 】

次に、図 1 0 および 1 1 を参照して、短絡したソース配線 2 に接続された画素の両隣の画素が明るい場合の階調値の補正例を説明する。

【 0 0 7 5 】

図 1 0（a）は、白地に斜めの黒色のラインを表す液晶パネル 1 の正常な表示の様子を示し、図 1 0（b）は中央の隣接するソース配線 2（B 列および C 列のソース配線）が短絡しているとき、元の入力映像信号に基づく液晶パネル 1 の表示の様子を示している。図 1 0（c）は、補正映像信号に基づく液晶パネル 1 の表示の様子を示している。

【 0 0 7 6 】

図 1 0（a）においても、B 列および C 列のソース配線 2 の間で短絡が生じているとする。補正回路 2 3 は、画素 B および画素 C に対応した入力映像信号の両階調値の第 1 の平均値と、画素 A および画素 D に対応した入力映像信号の両階調値の第 2 の平均値と、を 1 水平走査期間ごとに比較する。

【 0 0 7 7 】

補正回路 2 3 は、第 1 の平均値が第 2 の平均値よりも小さい場合、つまり画素 A および D が画素 B および C に比べて明るい場合、画素 B および C のそれぞれを第 1 の平均値よりも大きい輝度で表示させ、画素 A および D を、画素 B および C においてその補正により超過した階調値だけ暗く表示させるように補正映像信号を生成する。これにより、画素 B および C には同レベルの表示信号が供給されて、図 1 0（c）に示すような液晶パネル 1 の表示が得られる。

【 0 0 7 8 】

図 1 1（a）から（c）を参照しながら、補正における具体的な計算方法を説明する。

【 0 0 7 9 】

図 1 1（a）から（c）は、短絡したソース配線 2 に接続された画素の両隣の画素が明るい場合の階調値の計算方法の一例を示している。なお、図 1 1（a）から（c）に示される 4 つの画素群は、図 1 0（a）から（c）の映像信号の上から 2 行目の 4 つの画素群にそれぞれ対応する。なお、他の行の画素群も以下の計算方法を用いて補正することができる。

【 0 0 8 0 】

図 1 0（a）に示されるように白地に斜めの黒色のラインを表示する場合、短絡したソース配線 2 の両隣が明るいので、画素 B および C を第 1 の平均値よりも大きな輝度で明るく発光させるとそれらは目立たない。これでは表示が明るくなったように視認されるので、画素 A および D を暗く発光させることで、元に近い表示を再現できる。

【 0 0 8 1 】

図 1 1（a）から（c）に示されている数値は階調値を 0 から 1 に正規化した値である。まず、図 1 1（b）に示されるように、元の入力映像信号に基づいて表示した場合、短絡したソース配線 2 に接続された画素 B および C は、入力映像信号の階調値の中間値「 0 . 5 」で表示される。

【 0 0 8 2 】

本実施形態では、図 1 1（c）に示されるように、補正回路 2 3 は、画素 B および C の各階調値を 4 つの画素 A から D に対応した入力映像信号の階調値の平均値「 0 . 7 5 」に

10

20

30

40

50

置換する。図示する例では、補正回路 23 は、画素 B および C に対応した入力映像信号の階調値をそれぞれ「0.75」に置換している。

【0083】

次に、補正回路 23 は、入力映像信号における画素 A および B の階調値の平均値「1」と、補正映像信号における画素 A および B の階調値の平均値とが略一致するように、補正映像信号における画素 A の階調値を決定する。この決定に従うと、補正映像信号（図 11（c））においては、画素 B の階調値は「0.75」となるので、画素 A の階調値は「1.25」になる。ただし、1 を超えた場合には階調値を「1」にクリップする。その結果、画素 A に着目したとき、補正の前後において階調値は「1」のままとなる。

【0084】

また、補正回路 23 は、入力映像信号における画素 C および D の階調値の平均値「0.5」と、補正映像信号における画素 C および D の階調値の平均値とが略一致するように、補正映像信号における画素 D の階調値を決定する。この決定に従うと、補正映像信号（図 11（c））においては、画素 C の階調値は「0.75」となるので、画素 D の階調値は「 $(0.5 \times 2 - 0.75) = 0.25$ 」になる。このように、入力映像信号から補正映像信号が得られる。

【0085】

以上説明したとおり、補正回路 23 は、画素 B の階調値が補正前の階調値と比べて小さくなるように画素 B の階調値を補正するとき、画素 B に隣接する画素 A の階調値が小さくなるように画素 A の階調値を補正する。また、補正回路 23 は、画素 C の階調値が補正前の階調値と比べて小さくなるように画素 C の階調値を補正するとき、画素 C に隣接する画素 D の階調値が小さくなるように画素 D の階調値を補正する。

【0086】

本実施形態によれば、ソースドライバ 40 に大電流が流れることを抑制できる。また、短絡したソース配線 2 に接続された画素の両隣の画素を考慮して補正を行うので、表示への短絡の影響を低減でき、液晶パネル 1 の表示品位の低下をより効果的に抑制できる。

【0087】

（第 5 の実施形態）

図 12 を参照しながら、第 3 の実施形態による液晶表示装置 10 の変形例を説明する。

【0088】

第 5 の実施形態による補正回路 23 は、隣接するソース配線 2 に接続されている両画素の一方に隣接する画素の階調値に、両画素の一方の補正前後の階調値の差分を加算し、両画素の他方に隣接する画素の階調値に、両画素の他方の補正前後の階調値の差分を加算する。

【0089】

図 12（a）は、黒地に斜めの白色のラインを表す液晶パネル 1 の正常な表示の様子を示している。図 12（b）は、隣接するソース配線 2 に供給される表示信号が互いに異極性であるとき、短絡したソース配線 2 に接続された両画素に対応した入力映像信号の各階調値を、第 3 の実施形態で説明した方法により補正した場合の液晶パネル 1 の表示の様子を示している。図 12（c）は、短絡したソース配線 2 に隣接するソース配線 2 に接続された画素も合わせて補正して表示する表示例を示している。

【0090】

図 12（a）から（c）に示す例では、C 列および D 列のソース配線 2 の間に短絡が生じているとする。本実施形態では、第 3 の実施形態と同様に、1 水平走査期間において、隣接するソース配線 2 に供給される表示信号が互いに異極性となるように液晶パネル 1 は駆動される。

【0091】

第 3 の実施形態で説明したように、本実施形態による補正回路 23 は、1 水平走査期間ごとに、C 列および D 列の短絡したソース配線 2 に接続されている両画素（画素 C および画素 D）に対応した入力映像信号の両階調値を、駆動時の共通電位 V_{com} に対応した値

10

20

30

40

50

に変換する。例えば、共通電位 V_{com} は 0 V であり、共通電位 V_{com} に対応した値（階調値）は「0」である。

【0092】

さらに、補正回路 23 は、画素 C に隣接する画素 B の階調値に、画素 C の補正前後の階調値の差分を加算し、画素 D に隣接する画素 E の階調値に、画素 D の補正前後の階調値の差分を加算する。以下、図 13 を参照して具体的な計算方法を説明する。

【0093】

図 13 (a) は、短絡したソース配線 2 の両画素に隣接した 2 つの画素の各階調値を本実施形態による計算方法を用いて補正する第 1 の補正例を示している。図 13 (b) は、図 13 (a) と同様に、本実施形態による計算方法を用いた第 2 の補正例を示している。図 13 (a) および (b) に示されたそれぞれの画素群は、図 12 (a) から (c) に示されているある行の画素 B から画素 E に対応している。なお、図 13 (a) および (b) には階調値を 0 から 1 に正規化した値を示している。本実施形態においても、列 C および D のソース配線 2 が短絡しているとする。

【0094】

本実施形態では、入力映像信号と補正映像信号との間で、画素 B および画素 C の階調値の平均値が極力変化しないように両画素の階調値を補正する。また、画素 D および画素 E の階調値の平均値が極力変化しないように両画素の階調値を補正する。

【0095】

図 13 (a) に示されるように、画素 C および D のそれぞれに対応した入力映像信号の階調値「0」および「1」を、駆動時の共通電位 V_{com} に対応した値に変換する。例えば、共通電位 V_{com} は 0 V であり、共通電位 V_{com} に対応した値（階調値）は「0」である。入力映像信号における画素 B および画素 C の階調値の平均値は「0」であるので、補正映像信号における画素 B および画素 C の階調値の平均値も「0」になるように画素 B の階調値を決定する。図示する例では、補正映像の画素 B の階調値は「0」となる。

【0096】

一方で、入力映像信号における画素 D および画素 E の階調値の平均値は「0.5」であるので、補正映像信号における画素 D および画素 E の階調値の平均値も極力「0.5」になるように画素 E の階調値が決定される。図示する例では、補正映像信号の画素 E の階調値は「1」となる。

【0097】

他の例で説明すると、図 13 (b) に示されるように、画素 C および D のそれぞれに対応した入力映像信号の階調値「0.4」および「0.6」を、駆動時の共通電位 V_{com} （例えば 0 V）に対応した値（例えば「0」）に変換する。入力映像信号における画素 B および画素 C の階調値の平均値は「0.3」であるので、補正映像信号における画素 B および画素 C の階調値の平均値も「0.3」になるように画素 B の階調値を決定する。図示する例では、補正映像信号の画素 B の階調値は「0.6」となる。

【0098】

一方で、入力映像信号における画素 D および画素 E の階調値の平均値は「0.7」であるので、補正映像信号における画素 D および画素 E の階調値の平均値も極力「0.7」になるように画素 E の階調値を決定する。この場合、画素 E の画素値は「1.4」となり輝度の最大値「1」を超えるので、「1」にクリップされる。

【0099】

本実施形態によれば、隣接するソース配線 2 に供給される表示信号が互いに異極性であるとき、補正映像信号に基づく液晶表示の見た目の輝度を元の入力映像信号に基づく液晶表示の輝度に近づけることができ、液晶パネル 1 の表示品位の低下をより効果的に抑制できる。

【0100】

（第 6 の実施形態）

図 14 から図 17 を参照して、第 6 の実施形態による液晶表示装置 10 を説明する。

【 0 1 0 1 】

第 1 から第 5 の実施形態では、モノクロ表示における補正映像信号の生成方法を説明した。しかしながら、本発明はモノクロ表示だけでなくカラー表示を行う液晶表示装置にも有効である。本実施形態では、カラー表示における補正映像信号の生成方法を説明する。基本的に、モノクロ表示における生成方法の原理に基づいて、カラー表示における補正映像信号を生成することができる。

【 0 1 0 2 】

図 1 4 (a) は、カラー液晶表示において、黒地に斜めの白色のラインが正常に表示されている様子を示している。図 1 4 (b) は、青 (B) 画素と、赤 (R) 画素とにそれぞれ接続されたソース配線 2 の間で短絡が生じているときに、元の入力映像信号に基づく液晶パネル 1 の表示の様子を示している。図 1 4 (c) は、補正映像信号に基づく液晶パネル 1 の表示の様子を示している。

10

【 0 1 0 3 】

図 1 5 (a) は、カラー液晶表示において、白地に斜めの黒色のラインが正常に表示されている様子を示している。図 1 5 (b) は、青 (B) 画素と、赤 (R) 画素とにそれぞれ接続されたソース配線 2 の間で短絡が生じているときに、元の入力映像信号に基づく液晶パネル 1 の表示の様子を示している。図 1 5 (c) は、補正映像信号に基づく液晶パネル 1 の表示の様子を示している。

【 0 1 0 4 】

図示されるように、赤 (R) 画素と、緑 (G) 画素と、青 (B) 画素とによってカラー表示画素が形成されている。なお、カラー表示画素は 3 原色以外に、例えば黄 (Y) 画素をさらに含んでいても構わない。本実施形態では、図 1 4 (b) および図 1 5 (b) に示されるように、青 (B) 画素と、その B 画素を含むカラー表示画素に隣接したカラー表示画素に含まれる赤 (R) 画素とにそれぞれ接続されたソース配線 2 の間で短絡が生じているとする。

20

【 0 1 0 5 】

例えば本実施形態による補正回路 2 3 は、1 水平走査期間における B 画素だけに着目したとき、短絡したソース配線 2 に接続された B 画素およびその B 画素に隣接する 2 つの B 画素を含む B 画素群中の各階調値の平均値が、入力映像信号と補正映像信号との間で略一致するように B 画素群内の各画素の階調値を補正し、かつ、短絡したソース配線 2 に接続された R 画素だけに着目したとき、短絡したソース配線 2 に接続された R 画素およびその R 画素に隣接する 2 つの R 画素を含む R 画素群中の各階調値の平均値が、入力映像信号と補正映像信号との間で略一致するように R 画素群内の各画素の階調値を補正する。

30

【 0 1 0 6 】

図 1 6 および 1 7 を参照しながら、補正における具体的な計算方法を説明する。

【 0 1 0 7 】

図 1 6 は、1 水平走査期間において、図 1 4 に示す中央の行 (上から 2 行目) の画素群を補正する例を示している。図 1 6 に示される画素 D は、図 1 4 における短絡したソース配線 2 に接続された青画素に対応している。画素 B および F は、青画素だけに着目したときに画素 B に隣接する 2 つの画素に対応し、画素 H は、青画素だけに着目したときに画素 F に隣接した画素に対応している。また、図 1 6 に示される画素 E は、図 1 4 における短絡したソース配線 2 に接続された赤画素に対応している。画素 C および G は、赤画素だけに着目したときに画素 E に隣接する 2 つの画素に対応し、画素 A は、赤画素だけに着目したときに画素 C に隣接した画素に対応している。

40

【 0 1 0 8 】

図示するように、まず、色ごと (B 画素と R 画素) に画素データを並べ替える。そして、短絡したソース配線 2 に接続された画素 D と画素 E とが縦に並ぶように色ごとの画素群をシフトさせる。

【 0 1 0 9 】

次に、画素 D とこれに隣接する画素 B および F とを含んだ 3 つの画素の階調値の平均値

50

を求める。青 (B) の画素群に対しては、画素 B、D および F の階調値の平均値を求め、赤 (R) の画素群に対しては、画素 C、E および G の階調値の平均値を求める。

【 0 1 1 0 】

それぞれの画素群において、3つの画素の平均値が、入力映像信号と補正映像信号との間で略一致するように、3つの画素の各画素値を決定する。また、短絡したソース配線 2 に接続された画素 D および E の階調値を一致させるようにする。3つの画素の各画素値は下記の式 (1) に従って決定することができる。

$$\begin{aligned} (b + d + f) / 3 &= (b' + d' + f') / 3 \\ (c + e + g) / 3 &= (c' + e' + g') / 3 \\ d' &= e' \end{aligned} \quad \text{式 (1)}$$

10

ここで、b、c、d、e、f および g は、入力映像信号における画素 B、C、D、E、F および G の階調値をそれぞれ示している。同様に、b'、c'、d'、e'、f' および g' は、補正映像信号における画素 B、C、D、E、F および G の階調値をそれぞれ示している。

【 0 1 1 1 】

階調値を 0 から 1 に規格化すると、b、c、d、e、f、g、b'、c'、d'、e'、f' および g' のいずれも 0 から 1 の範囲になる。その結果、式 (1) を下記の式 (2) に変形することができる。

$$\begin{aligned} (b + d + f - 2) / 3 &= (b' + d' + f' - 2) / 3 \\ (c + e + g - 2) / 3 &= (c' + e' + g' - 2) / 3 \\ d' &= e' \end{aligned} \quad \text{式 (2)}$$

20

なお、式 (2) を満たす値が存在しないときはそれに近い値を適当に決定すればよい。

【 0 1 1 2 】

図 1 6 に示される例では、式 (2) から、d' および e' は、

$$-1 \leq d' \leq 1, \text{ および } -1 \leq e' \leq 1 \quad \text{式 (3)}$$

の条件をそれぞれ満たせばよい。この条件を満足する範囲で、d' および e' を任意に選択することができる。d' および e' として「0」を選択した場合、画素 D の階調値は補正の前後で変わらないので問題はない。しかし、画素 E の階調値は、補正前の「0」から補正後の「1」に変更されるので、画素 E に隣接する画素 C および G の少なくとも一方の階調値を変更する。その変更の際に、下記の式 (4) を満たすように少なくとも一方の階調値を変更する。図 1 6 には、g' の値を「1」に選択した結果を示している。

30

$$(c + e + g) / 3 = (c' + e' + g') / 3 \quad \text{式 (4)}$$

【 0 1 1 3 】

また、他の例として、d' および e' に式 (3) を満足する値として「1」を選択した場合、画素 E の階調値は補正の前後で変わらないので問題はない。しかし、画素 D の階調値は、補正前の「0」から補正後の「1」に変更されるので、画素 D に隣接する画素 B および F の少なくとも一方の階調値を変更する。その変更の際に、下記の式 (5) を満たすように少なくとも一方の階調値を変更する。図 1 6 には、g' の値を「0」に選択した結果を示している。

$$(b + d + f) / 3 = (b' + d' + f') / 3 \quad \text{式 (5)}$$

40

【 0 1 1 4 】

図 1 7 は、図 1 6 に示す補正例とは異なる補正例を示している。

【 0 1 1 5 】

図 1 7 に示す例では、d' と e' との関係は、上記の式 (2) から

$$-2 \leq d' \leq 0, \text{ および } -1 \leq e' \leq 1 \quad \text{式 (6)}$$

の条件を満たせばよい。従って、d' と e' とは「0」以外に選択できないことが分かる。そのとき、画素 D の階調値は補正の前後で変わらないので問題はない。しかし、画素 E の階調値は、補正前の「1」から補正後の「0」に変更されるので、画素 E に隣接する画素 C および G の少なくとも一方の階調値を変更する。その変更の際、下記の式 (7) を満たすように少なくとも一方の階調値を変更する。図 1 7 には、g' の値を「1」に選択し

50

た結果を示している。

$$(c + e + g) / 3 = (c' + e' + g') / 3 \quad \text{式 (7)}$$

【0116】

本実施形態によれば、カラー液晶表示パネルの場合であっても、短絡したソース配線2に接続された画素と、その画素と同じ色に着目したときにその画素に隣接する2つの画素に対応した入力映像信号の3つの階調値に基づいて補正映像信号が生成される。その結果、カラー液晶パネルの表示品位の低下を効果的に抑制できる。

【0117】

本明細書は、以下の項目に記載の液晶表示装置を開示している。

【0118】

10

〔項目1〕

複数のソース配線を有する液晶パネルと、

少なくとも1組の隣接するソース配線の間で短絡が生じているとき、短絡している隣接するソース配線を特定する座標情報を記憶しているメモリと、

入力映像信号における1水平走査期間に含まれる映像信号の複数の階調値に対応した複数の画素の水平座標をカウントするカウンタと、

前記メモリに記憶されている前記座標情報と、前記カウンタのカウント値とを比較する比較回路と、

前記座標情報により特定されるソース配線に接続されている各画素に対応した前記入力映像信号の各階調値を、前記1水平走査期間ごとに前記比較回路による比較結果に応じて補正し、補正映像信号を生成する補正回路と、

20

前記短絡している隣接するソース配線の両者に供給する同レベルの表示信号を、前記補正映像信号の階調値に基づいて生成する表示信号生成回路と、

を含むタイミングコントローラと、

を備える、液晶表示装置。

【0119】

項目1に記載の液晶表示装置によると、ソースドライバに大電流が流れることを抑制でき、かつ、表示品位の低下を効果的に抑制することができる。

【0120】

〔項目2〕

30

前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに同極性であるとき、前記1水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した前記入力映像信号の両階調値を、前記両階調値の平均値に変換する、項目1に記載の液晶表示装置。

【0121】

項目2に記載の液晶表示装置によると、隣接するソース配線の両者に供給される表示信号が互いに同極性であるときの補正回路のバリエーションが提供される。

【0122】

〔項目3〕

40

前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに同極性であるとき、前記1水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した前記入力映像信号の両階調値を、前記両階調値のうち大きい方の階調値および小さい方の階調値のいずれか一方に変換する、項目1に記載の液晶表示装置。

【0123】

項目3に記載の液晶表示装置によると、隣接するソース配線の両者に供給される表示信号が互いに同極性であるときの補正回路のバリエーションが提供される。

【0124】

〔項目4〕

50

前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給され

る前記表示信号が互いに異極性であるとき、前記 1 水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した前記入力映像信号の両階調値を、駆動時の共通電位に対応した値に変換する、項目 1 に記載の液晶表示装置。

【0125】

項目 4 に記載の液晶表示装置によると、隣接するソース配線の両者に供給される表示信号が互いに異極性であるとき、ソースドライバに大電流が流れることを抑制できる。

【0126】

〔項目 5〕

前記補正回路は、前記座標情報により特定される隣接するソース配線の両者に供給される前記表示信号が互いに同極性であるとき、前記 1 水平走査期間ごとに、前記隣接するソース配線に接続されている両画素に対応した入力映像信号の両階調値を、前記両画素と、前記両画素の両隣の画素とに対応した前記入力映像信号の 4 つの階調値の平均値に変換する、項目 1 に記載の液晶表示装置。

10

【0127】

項目 5 に記載の液晶表示装置によると、液晶パネルの表示品位の低下をより効果的に抑制できる。

【0128】

〔項目 6〕

前記補正回路は、前記 4 つの階調値の平均値に基づいて、前記両隣の画素の階調値を補正する、項目 5 に記載の液晶表示装置。

20

【0129】

項目 6 に記載の液晶表示装置によると、液晶パネルの表示品位の低下をより効果的に抑制できる。

【0130】

〔項目 7〕

前記補正回路は、前記両画素の一方の階調値が補正前の階調値と比べて大きくなるように前記両画素の一方の階調値を補正するとき、前記両画素の一方に隣接する前記両隣の画素の一方の階調値が小さくなるように前記両隣の画素の一方の階調値を補正し、前記両画素の他方の階調値が補正前の階調値と比べて小さくなるように前記両画素の他方の階調値を補正するとき、前記両画素の他方に隣接する前記両隣の画素の他方の階調値が大きくなるように前記両隣の画素の他方の階調値を補正する、項目 6 に記載の液晶表示装置。

30

【0131】

項目 7 に記載の液晶表示装置によると、液晶パネルの表示品位の低下をより効果的に抑制できる。

【0132】

〔項目 8〕

前記補正回路は、前記隣接するソース配線に接続されている両画素の一方に隣接する画素の階調値に、前記両画素の一方の補正前後の階調値の差分を加算し、前記両画素の他方に隣接する画素の階調値に、前記両画素の他方の補正前後の階調値の差分を加算する、項目 4 に記載の液晶表示装置。

40

【0133】

項目 8 に記載の液晶表示装置によると、ソースドライバに大電流が流れることを抑制でき、かつ、液晶パネルの表示品位の低下を抑制できる。

【0134】

〔項目 9〕

前記液晶パネルは、色が互いに異なる少なくとも 2 つの第 1 および第 2 のカラーフィルタが各々に配置された複数の画素を有し、

前記短絡している隣接するソース配線に接続されている両画素の一方は、前記第 1 のカラーフィルタが配置された画素であり、前記両画素の他方は、前記第 2 のカラーフィルタが配置された画素であり、

50

前記補正回路は、前記第 1 のカラーフィルタが配置された画素だけに着目したとき、前記両画素の一方および前記両画素の一方に隣接する 2 つの画素を含む第 1 の画素群中の階調値の平均値が、前記入力映像信号と前記補正映像信号との間で略一致するように前記第 1 の画素群内の各画素の階調値を補正し、かつ、前記第 2 のカラーフィルタが配置された画素だけに着目したとき、前記両画素の他方および前記両画素の他方に隣接する 2 つの画素を含む第 2 の画素群中の階調値の平均値が、前記入力映像信号と前記補正映像信号との間で略一致するように前記第 2 の画素群内の各画素の階調値を補正する、項目 1 に記載の液晶表示装置。

【 0 1 3 5 】

項目 9 に記載の液晶表示装置によると、カラー液晶表示の場合であっても、表示品位の低下を効率よく抑制することができる。 10

【 産業上の利用可能性 】

【 0 1 3 6 】

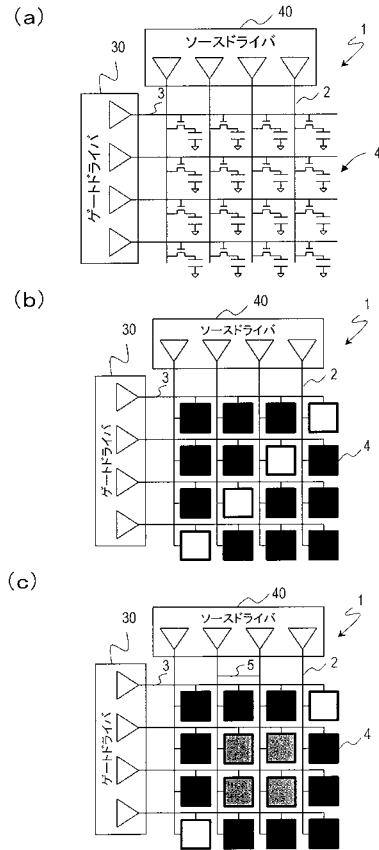
本発明は、隣接するソース配線の上に短絡が生じている液晶表示装置に用いることができる。

【 符号の説明 】

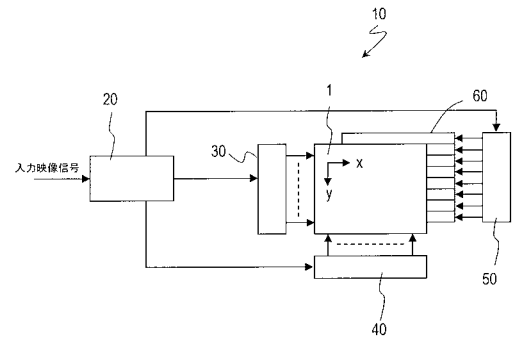
【 0 1 3 7 】

1	液晶パネル	
2	ソース配線	
3	ゲート配線	20
4	画素	
5	短絡	
1 0	液晶表示装置	
2 0	タイミングコントローラ	
2 1	カウンタ	
2 2	メモリ	
2 3	補正回路	
2 4	表示信号生成回路	
2 5	比較回路	
3 0	ゲートドライバ	30
4 0	ソースドライバ	
5 0	バックライト駆動回路	
6 0	バックライトユニット	

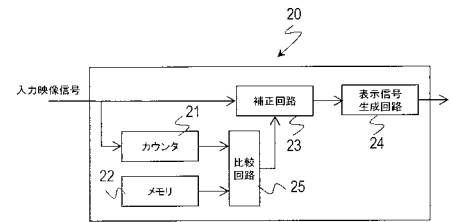
【図 1】



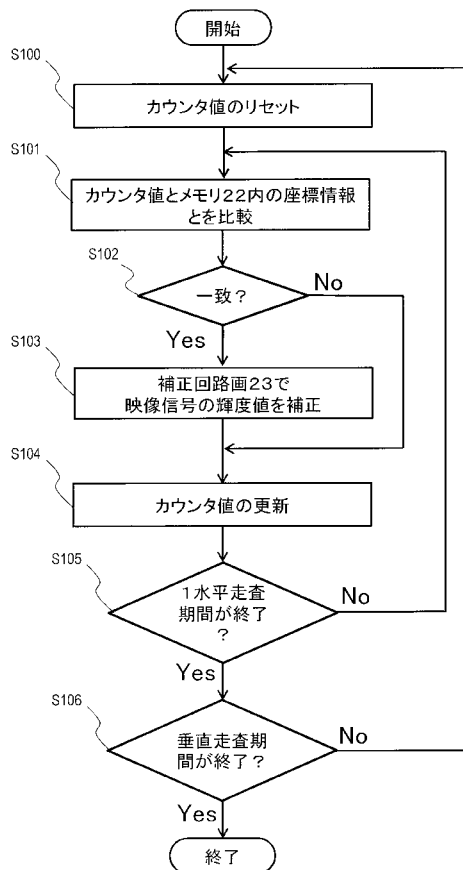
【図 2】



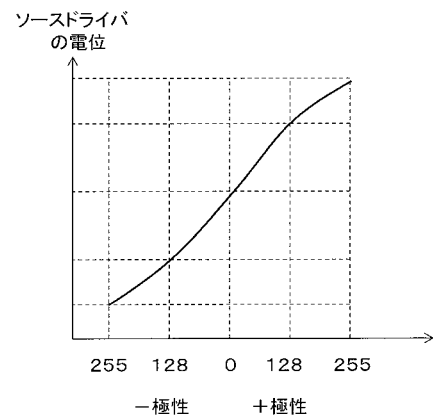
【図 3】



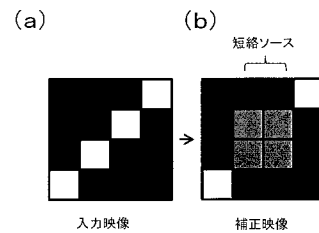
【図 4】



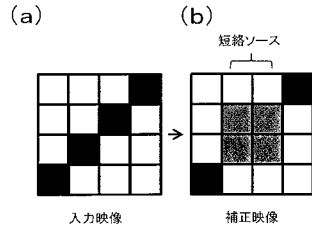
【図 5】



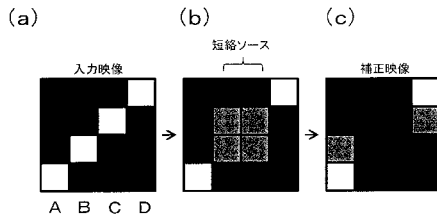
【図 6】



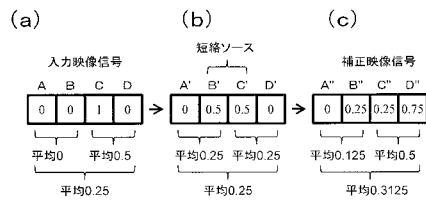
【図 7】



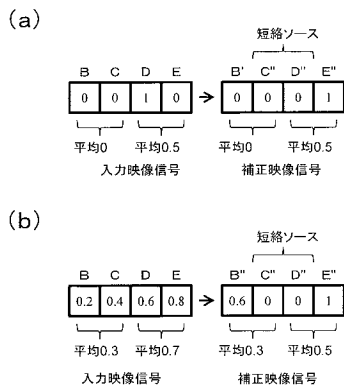
【図 8】



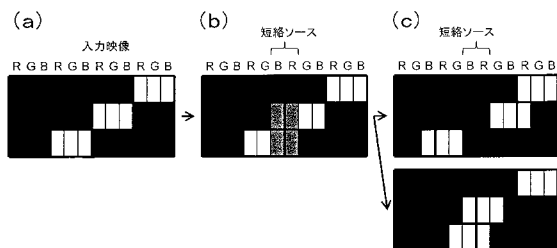
【図 9】



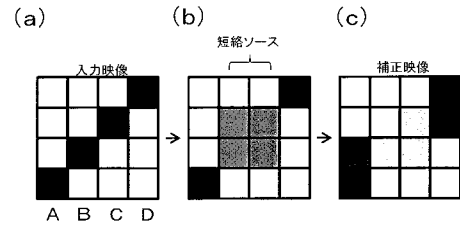
【図 13】



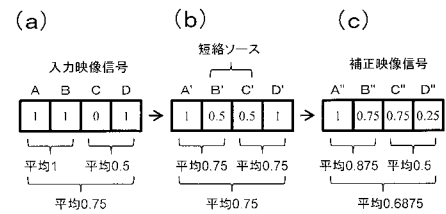
【図 14】



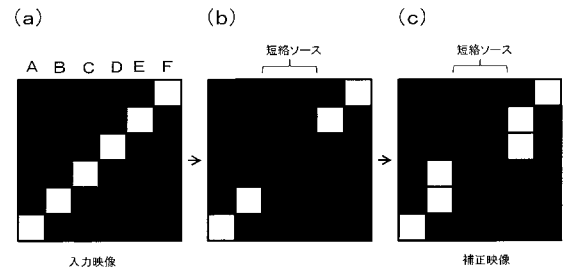
【図 10】



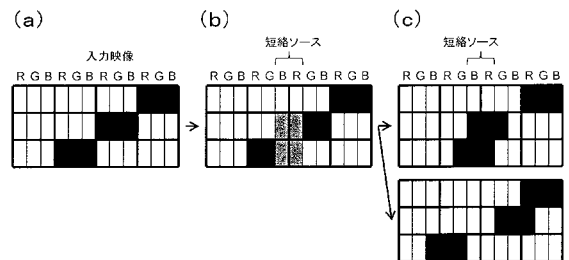
【図 11】



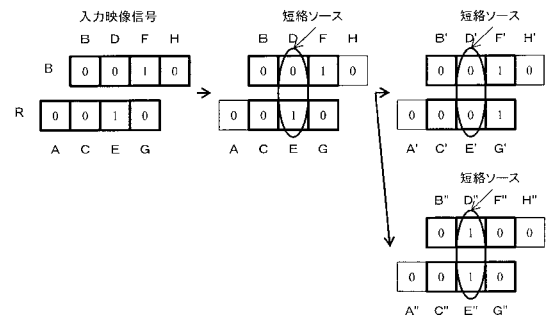
【図 12】



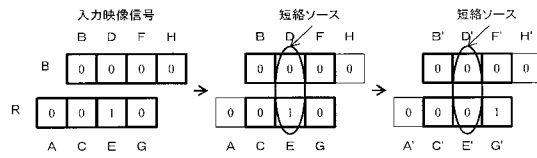
【図 15】



【図 16】



【図 17】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 7 0 B	
	G 0 2 F 1/133 5 5 0	

(72)発明者 田中 勇司

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H193 ZA04 ZD13 ZE40 ZF12 ZH30 ZH45 ZH50 ZH52 ZK02
5C006 AA16 AA22 AC21 AF13 AF42 AF43 AF46 AF51 AF53 BB16
BC06 BC16 BF01 BF14 BF22 EB04 FA36
5C080 AA10 BB05 CC03 DD01 DD09 DD15 DD19 DD28 EE29 EE30
GG12 JJ01 JJ02 JJ03 JJ05 JJ07 KK43

专利名称(译)	液晶表示装置		
公开(公告)号	JP2016085294A	公开(公告)日	2016-05-19
申请号	JP2014216618	申请日	2014-10-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	田中勇司		
发明人	田中 勇司		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.631.U G09G3/20.641.P G09G3/20.623.C G09G3/20.642.J G09G3/20.670.B G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZD13 2H193/ZE40 2H193/ZF12 2H193/ZH30 2H193/ZH45 2H193/ZH50 2H193/ZH52 2H193/ZK02 5C006/AA16 5C006/AA22 5C006/AC21 5C006/AF13 5C006/AF42 5C006/AF43 5C006/AF46 5C006/AF51 5C006/AF53 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF01 5C006/BF14 5C006/BF22 5C006/EB04 5C006/FA36 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD09 5C080/DD15 5C080/DD19 5C080/DD28 5C080/EE29 5C080/EE30 5C080/GG12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ07 5C080/KK43		
代理人(译)	奥田诚治 三宅明子 田中 悠		
外部链接	Espacenet		

摘要(译)

本发明提供一种即使在源极布线中发生短路也能够有效地抑制显示质量劣化的液晶显示装置。液晶显示装置(10)包括液晶面板(1)，存储用于指定短路源布线(2)的坐标信息的存储器(22)，以及包括在输入视频信号中的一个水平扫描周期中的多个视频信号。对于连接到由坐标信息指定的源布线的每个像素，计数器21对与灰度值对应的多个像素的水平坐标进行计数，比较电路25将坐标信息与计数值进行比较，以及并且定时控制器20包括校正电路23，校正电路23根据比较电路每一个水平扫描周期的比较结果校正相应的输入视频信号的每个灰度值，并产生校正的视频信号。[选中图]图3

