

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-22172  
(P2015-22172A)

(43) 公開日 平成27年2月2日(2015.2.2)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343	2H092
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	2H192

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2013-150737 (P2013-150737)  
(22) 出願日 平成25年7月19日 (2013.7.19)

(71) 出願人 502356528  
株式会社ジャパンディスプレイ  
東京都港区西新橋三丁目7番1号  
(74) 代理人 110001737  
特許業務法人スズエ国際特許事務所  
(74) 代理人 100091351  
弁理士 河野 哲  
(74) 代理人 100084618  
弁理士 村松 貞男  
(74) 代理人 100087653  
弁理士 鈴江 正二  
(72) 発明者 細川 大地  
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

最終頁に続く

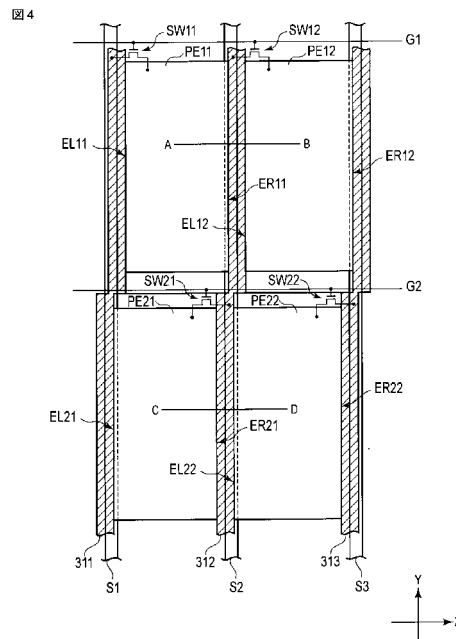
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の良好な液晶表示装置を提供する。

【解決手段】ソース配線と、ソース配線に電氣的に接続されたスイッチング素子と、ソース配線に対して一方の側に位置した第1画素電極であってソース配線に対向する第1端部を有する第1画素電極と、ソース配線に対して他方の側に位置しスイッチング素子と電氣的に接続された第2画素電極であってソース配線に対向する位置から離間した第2端部を有する第2画素電極と、を備えた第1基板と、第1端部の直上の位置よりも第2画素電極側でソース配線の上方に位置するとともにソース配線と第2端部との隙間をカバーする遮光層と、第1画素電極の上方に位置する第1カラーフィルタと、第2画素電極の上方に位置し第1カラーフィルタとは異なる色の第2カラーフィルタと、第1画素電極及び第2画素電極と対向する共通電極と、を備えた第2基板と、第1基板と第2基板との間に保持された液晶層と、を備えた液晶表示装置。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

ソース配線と、前記ソース配線に電氣的に接続されたスイッチング素子と、前記ソース配線に対して一方の側に位置した第 1 画素電極であって前記ソース配線に対向する第 1 端部を有する第 1 画素電極と、前記ソース配線に対して他方の側に位置し前記スイッチング素子と電氣的に接続された第 2 画素電極であって前記ソース配線に対向する位置から離間した第 2 端部を有する第 2 画素電極と、を備えた第 1 基板と、

前記第 1 端部の直上の位置よりも前記第 2 画素電極側で前記ソース配線の上方に位置するとともに前記ソース配線と前記第 2 端部との隙間をカバーする遮光層と、前記第 1 画素電極の上方に位置する第 1 カラーフィルタと、前記第 2 画素電極の上方に位置し前記第 1 カラーフィルタとは異なる色の第 2 カラーフィルタと、前記第 1 画素電極及び前記第 2 画素電極と対向する共通電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、  
を備えた液晶表示装置。

## 【請求項 2】

前記共通電極の電位に対して、前記第 1 画素電極の第 1 画素電位は前記第 2 画素電極の第 2 画素電位とは逆極性である、請求項 1 に記載の液晶表示装置。

## 【請求項 3】

第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線に電氣的に接続された第 1 スwitching素子と、前記第 2 ソース配線に電氣的に接続された第 2 スwitching素子と、前記第 1 ソース配線と前記第 2 ソース配線との間において前記第 1 ソース配線に対向する位置から離間し前記第 1 スwitching素子と電氣的に接続された第 1 画素電極であって前記第 2 ソース配線に対向する第 1 端部を有する第 1 画素電極と、前記第 1 ソース配線と前記第 2 ソース配線との間において前記第 2 ソース配線に対向する位置から離間し前記第 2 スwitching素子と電氣的に接続された第 2 画素電極であって前記第 1 ソース配線に対向する第 2 端部を有する第 2 画素電極と、を備えた第 1 基板と、

前記第 1 ソース配線の上方に位置するとともに前記第 1 ソース配線と前記第 1 画素電極との隙間をカバーする第 1 遮光層と、前記第 2 ソース配線の上方に位置するとともに前記第 2 ソース配線と前記第 2 画素電極との隙間をカバーする第 2 遮光層と、前記第 1 画素電極及び前記第 2 画素電極の上方に位置するカラーフィルタと、前記第 1 画素電極及び前記第 2 画素電極と対向する共通電極と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、  
を備えた液晶表示装置。

## 【請求項 4】

前記第 1 ソース配線から出力される第 1 映像信号の極性は、前記第 2 ソース配線から出力される第 2 映像信号の極性とは逆極性である、請求項 3 に記載の液晶表示装置。

## 【請求項 5】

第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線にそれぞれ電氣的に接続された第 1 スwitching素子及び第 2 スwitching素子と、前記第 1 ソース配線と前記第 2 ソース配線との間において前記第 1 ソース配線に対向する位置から離間し前記第 1 スwitching素子と電氣的に接続された第 1 画素電極であって前記第 2 ソース配線に対向する第 1 端部を有する第 1 画素電極と、前記第 1 ソース配線と前記第 2 ソース配線との間において前記第 1 ソース配線に対向する位置から離間し前記第 2 スwitching素子と電氣的に接続された第 2 画素電極であって前記第 2 ソース配線に対向する第 2 端部を有する第 2 画素電極と、を備えた第 1 基板と、

前記第 1 ソース配線の上方に位置するとともに前記第 1 ソース配線と前記第 1 画素電極及び前記第 2 画素電極との隙間をカバーする第 1 遮光層と、前記第 2 ソース配線の上方に位置する第 2 遮光層と、前記第 1 画素電極及び前記第 2 画素電極の上方に位置するカラーフィルタと、前記第 1 画素電極及び前記第 2 画素電極と対向する共通電極と、を備えた第 2 基板と、

10

20

30

40

50

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、  
を備えた液晶表示装置。

【請求項 6】

前記第 1 ソース配線から出力される第 1 映像信号の極性は、前記第 2 ソース配線から出力される第 2 映像信号の極性とは逆極性であり、しかも、1 水平期間毎に極性が切り替わる、請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

10

【背景技術】

【0002】

液晶表示装置は、表示装置として各種分野で利用されている。このような液晶表示装置において、隣接する画素間に書き込まれる画素電位が逆極性となるドット反転駆動などの駆動方法を適用した場合には、隣接する画素電極間に生じる電界により液晶分子の配向が乱れ、表示品位が損なわれるといった課題がある。このような課題に対して、液晶分子の配向方向に位置する画素電極とゲート信号線との重ね幅を、逆方向に位置する画素電極とゲート信号線との重ね幅より大きくし、液晶分子の配向方向に位置する画素電極とソース信号線との重ね幅を、逆方向に位置する画素電極とソース信号線との重ね幅より大きくすることで、隣接する画素電極間に生じる電界によりリバースチルトドメインの発生箇所を、ゲート信号線の画素電極との重なり部分、及び、ソース信号線と画素電極との重なり部分で遮光する技術が開示されている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 10 - 104664 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本実施形態の目的は、表示品位の良好な液晶表示装置を提供することにある。

30

【課題を解決するための手段】

【0005】

本実施形態によれば、

ソース配線と、前記ソース配線に電氣的に接続されたスイッチング素子と、前記ソース配線に対して一方の側に位置した第 1 画素電極であって前記ソース配線に対向する第 1 端部を有する第 1 画素電極と、前記ソース配線に対して他方の側に位置し前記スイッチング素子と電氣的に接続された第 2 画素電極であって前記ソース配線に対向する位置から離間した第 2 端部を有する第 2 画素電極と、を備えた第 1 基板と、前記第 1 端部の直上の位置よりも前記第 2 画素電極側で前記ソース配線の上方に位置するとともに前記ソース配線と前記第 2 端部との隙間をカバーする遮光層と、前記第 1 画素電極の上方に位置する第 1 カラーフィルタと、前記第 2 画素電極の上方に位置し前記第 1 カラーフィルタとは異なる色の第 2 カラーフィルタと、前記第 1 画素電極及び前記第 2 画素電極と対向する共通電極と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

40

【0006】

本実施形態によれば、

第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線に電氣的に接続された第 1 スwitching素子と、前記第 2 ソース配線に電氣的に接続された第 2 スwitching素子と、前記第 1 ソース配線と前記第 2 ソース配線との間において前記第 1 ソース配線に対向する位置から離間し前記第 1 スwitching素子と電氣的に接続された第 1 画素電極であって

50

前記第 2 ソース配線に対向する第 1 端部を有する第 1 画素電極と、前記第 1 ソース配線と前記第 2 ソース配線との間において前記第 2 ソース配線に対向する位置から離間し前記第 2 スwitching素子と電氣的に接続された第 2 画素電極であって前記第 1 ソース配線に対向する第 2 端部を有する第 2 画素電極と、を備えた第 1 基板と、前記第 1 ソース配線の上方に位置するとともに前記第 1 ソース配線と前記第 1 画素電極との隙間をカバーする第 1 遮光層と、前記第 2 ソース配線の上方に位置するとともに前記第 2 ソース配線と前記第 2 画素電極との隙間をカバーする第 2 遮光層と、前記第 1 画素電極及び前記第 2 画素電極の上方に位置するカラーフィルタと、前記第 1 画素電極及び前記第 2 画素電極と対向する共通電極と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

10

## 【0007】

本実施形態によれば、

第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線にそれぞれ電氣的に接続された第 1 スwitching素子及び第 2 スwitching素子と、前記第 1 ソース配線と前記第 2 ソース配線との間において前記第 1 ソース配線に対向する位置から離間し前記第 1 スwitching素子と電氣的に接続された第 1 画素電極であって前記第 2 ソース配線に対向する第 1 端部を有する第 1 画素電極と、前記第 1 ソース配線と前記第 2 ソース配線との間において前記第 1 ソース配線に対向する位置から離間し前記第 2 スwitching素子と電氣的に接続された第 2 画素電極であって前記第 2 ソース配線に対向する第 2 端部を有する第 2 画素電極と、を備えた第 1 基板と、前記第 1 ソース配線の上方に位置するとともに前記第 1 ソース配線と前記第 1 画素電極及び前記第 2 画素電極との隙間をカバーする第 1 遮光層と、前記第 2 ソース配線の上方に位置する第 2 遮光層と、前記第 1 画素電極及び前記第 2 画素電極の上方に位置するカラーフィルタと、前記第 1 画素電極及び前記第 2 画素電極と対向する共通電極と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

20

## 【図面の簡単な説明】

## 【0008】

【図 1】図 1 は、本実施形態の液晶表示装置に適用可能な表示パネル PNL の一例を概略的に示す平面図である。

【図 2】図 2 は、図 1 に示した表示パネル PNL の一画素におけるスwitching素子 SW を含む断面構造を概略的に示す図である。

30

【図 3】図 3 は、ドット反転駆動を説明するための図である。

【図 4】図 4 は、本実施形態の画素レイアウトの一例を示す図である。

【図 5】図 5 は、図 4 に示したソース配線 S2 を挟んで隣接する画素の A - B 線に沿った断面を概略的に示す断面図である。

【図 6】図 6 は、図 4 に示したソース配線 S2 を挟んで隣接する画素の C - D 線に沿った断面を概略的に示す断面図である。

【図 7】図 7 は、本実施形態の他の画素レイアウトの一例を示す図である。

## 【発明を実施するための形態】

## 【0009】

40

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

## 【0010】

図 1 は、本実施形態の液晶表示装置に適用可能な表示パネル PNL の一例を概略的に示す平面図である。

## 【0011】

すなわち、表示パネル PNL は、アクティブマトリクスタイプの液晶表示パネルであり、アレイ基板 AR と、アレイ基板 AR に対向配置された対向基板 CT と、アレイ基板 AR と対向基板 CT との間に保持された液晶層 LQ と、を備えている。アレイ基板 AR と対向

50

基板CTとは、これらの間に所定のセルギャップを形成した状態でシール材SEによって貼り合わせられている。図示した例では、シール材SEは矩形棒状の閉ループ形状をなすように形成されている。セルギャップは、アレイ基板ARまたは対向基板CTに形成された図示しない柱状のスペーサによって形成されている。液晶層LQは、アレイ基板ARと対向基板CTとの間のセルギャップにおいてシール材SEによって囲まれた内側に保持されている。表示パネルPNLは、シール材SEによって囲まれた内側に、画像を表示するアクティブエリアACTを備えている。アクティブエリアACTは、例えば、略長方形状であり、マトリクス状に配置された複数の画素PXによって構成されている。

【0012】

アレイ基板ARは、第1方向Xに沿って延出したゲート配線G、第1方向Xに交差する第2方向Yに沿って延出しゲート配線Gと交差するソース配線S、ゲート配線G及びソース配線Sに接続されたスイッチング素子SW、スイッチング素子SWに接続された画素電極PEなどを備えている。液晶層LQを介して画素電極PEの各々と対向する共通電極CEは、例えば対向基板CTに備えられている。

10

【0013】

なお、表示パネルPNLの詳細な構成については説明を省略するが、TN(Twisted Nematic)モード、OCB(Optically Compensated Bend)モード、VA(Vertical Aligned)モードなどの主として縦電界を利用するモードでは、画素電極PEがアレイ基板ARに備えられる一方で、共通電極CEが対向基板CTに備えられている。

20

【0014】

図示した例では、アレイ基板ARは、対向基板CTの基板端部よりも外側に延出した実装部MTを有している。駆動ICチップ2及びフレキシブル・プリントド・サーキット(FPC)基板3などの表示パネルPNLの駆動に必要な信号を供給する信号供給源は、アクティブエリアACTよりも外側の周辺エリアPRPに位置し、実装部MTに実装されている。

【0015】

図2は、図1に示した表示パネルPNLの一画素におけるスイッチング素子SWを含む断面構造を概略的に示す図である。

【0016】

アレイ基板ARは、ガラス基板や樹脂基板などの透明な第1絶縁基板10を用いて形成されている。アレイ基板ARは、第1絶縁基板10の対向基板CTに対向する側にスイッチング素子SW、画素電極PE、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。

30

【0017】

ここに示したスイッチング素子SWは、例えば薄膜トランジスタ(TFT)である。スイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良いが、図示した例では、トップゲート型を採用している。スイッチング素子SWは、第1絶縁基板10の上に配置された半導体層SCを備えている。半導体層SCは、ポリシリコンやアモルファスシリコンや酸化物半導体などによって形成可能である。なお、第1絶縁基板10と半導体層SCとの間に絶縁膜であるアンダーコート層が介在していても良い。半導体層SCは、第1絶縁膜11によって覆われている。また、第1絶縁膜11は、第1絶縁基板10の上にも配置されている。

40

【0018】

スイッチング素子SWのゲート電極WGは、第1絶縁膜11の上に形成され、半導体層SCの直上に位置している。ゲート電極WGは、ゲート配線Gと電氣的に接続されている、あるいは、ゲート配線Gと一体的に形成されている。ゲート電極WG及びゲート配線Gは、第2絶縁膜12によって覆われている。また、第2絶縁膜12は、第1絶縁膜11の上にも配置されている。

【0019】

50

スイッチング素子SWのソース電極WS及びドレイン電極WDは、第2絶縁膜12の上に形成されている。ソース電極WSは、ソース配線Sと電氣的に接続されている、あるいは、ソース配線Sと一体的に形成されている。ドレイン電極WDは、ソース配線Sから離間している。ソース電極WS及びドレイン電極WDは、それぞれ第1絶縁膜11及び第2絶縁膜12を貫通するコンタクトホールを通して半導体層SCにコンタクトしている。ソース電極WS、ソース配線S及びドレイン電極WDは、第3絶縁膜13によって覆われている。また、第3絶縁膜13は、第2絶縁膜12の上にも配置されている。第3絶縁膜13には、ドレイン電極WDまで貫通したコンタクトホールCHが形成されている。第3絶縁膜13は、例えば透明な樹脂材料によって形成されている。

**【0020】**

画素電極PEは、第3絶縁膜13の上に形成されている。画素電極PEは、コンタクトホールCHを介してドレイン電極WDにコンタクトしている。画素電極PEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの透明な導電材料によって形成されている。画素電極PEは、第1配向膜AL1によって覆われている。

**【0021】**

一方、対向基板CTは、ガラス基板や樹脂基板などの透明な第2絶縁基板30を用いて形成されている。対向基板CTは、第2絶縁基板30のアレイ基板ARに対向する側に、遮光層(ブラックマトリクス)31、カラーフィルタ(赤色カラーフィルタ層、緑色カラーフィルタ層、及び、青色カラーフィルタ層を含む)32、オーバーコート層33、共通電極CE、第2配向膜AL2などを備えている。

**【0022】**

遮光層31は、第2絶縁基板30のアレイ基板ARと対向する側に形成され、アクティブエリアACTにおいて各画素PXを区画し、開口部APを形成する。遮光層31は、アレイ基板ARに設けられたゲート配線Gやソース配線S、スイッチング素子SWなどの配線部に対向している。

**【0023】**

カラーフィルタ32は、開口部APに形成され、遮光層31の上にも延在している。カラーフィルタ32は、互いに異なる複数の色、例えば赤色、緑色、青色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色カラーフィルタ層は赤色を表示する赤色画素に配置され、緑色カラーフィルタ層は緑色を表示する緑色画素に配置され、青色カラーフィルタ層は青色を表示する青色画素に配置されている。異なる色のカラーフィルタの境界は、遮光層31に重なっている。

**【0024】**

オーバーコート層33は、カラーフィルタ32を覆っている。オーバーコート層33は、遮光層31やカラーフィルタ32の表面の凹凸を平坦化する。オーバーコート層33は、透明な樹脂材料によって形成されている。

**【0025】**

共通電極CEは、オーバーコート層33のアレイ基板ARと対向する側に形成され、画素電極PEと対向している。共通電極CEは、ITOやIZOなどの透明な導電材料によって形成されている。共通電極CEは、第2配向膜AL2によって覆われている。

**【0026】**

上述したようなアレイ基板ARと対向基板CTとは、第1配向膜AL1及び第2配向膜AL2が向かい合うように配置されている。このとき、アレイ基板ARと対向基板CTの間にはスペーサが介在し、所定のセルギャップが形成される。アレイ基板ARと対向基板CTとは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層LQは、第1配向膜AL1と第2配向膜AL2との間に形成されたセルギャップに封入された液晶分子を含む液晶組成物によって構成されている。

**【0027】**

第1絶縁基板10の外面10Bには、第1偏光板PL1を含む第1光学素子OD1が配

10

20

30

40

50

置されている。第2絶縁基板30の外面30Bには、第2偏光板PL2を含む第2光学素子OD2が配置されている。

【0028】

このような構成の表示パネルPNLに対して、その背面側には、バックライトBLが配置されている。バックライトBLとしては、種々の形態が適用可能であるが、詳細な構造については説明を省略する。

【0029】

図3は、ドット反転駆動を説明するための図である。

【0030】

すなわち、図の横方向つまり第1方向Xはゲート配線が延出する方向に対応し、図の縦方向つまり第2方向Yはソース配線が延出する方向に対応する。ドット反転駆動は、第1方向Xに隣接する画素間において共通電極の電位に対する画素電位の極性が逆極性となり、かつ、第2方向Yに隣接する画素間においても共通電極の電位に対する画素電位の極性が逆極性となる駆動方法である。

10

【0031】

図4は、本実施形態の画素レイアウトの一例を示す図である。なお、ここでは、説明に必要な構成のみを図示しており、ゲート配線やスイッチング素子は簡略化して図示している。

【0032】

ゲート配線G1～G2は、それぞれ第1方向Xに沿って延出している。ソース配線S1～S3は、それぞれ第2方向Yに沿って延出している。

20

【0033】

奇数行の画素ラインにおいては、スイッチング素子SW11は、ゲート配線G1及びソース配線S1に電氣的に接続されている。画素電極PE11は、スイッチング素子SW11と電氣的に接続されている。画素電極PE11には、ソース配線S1から出力された映像信号がスイッチング素子SW11を介して書き込まれ、画素電極PE11が共通電極の電位に対して所定の画素電位となる。スイッチング素子SW12は、ゲート配線G1及びソース配線S2に電氣的に接続されている。画素電極PE12は、スイッチング素子SW12と電氣的に接続されている。画素電極PE12には、ソース配線S2から出力された映像信号がスイッチング素子SW12を介して書き込まれ、画素電極PE12が共通電極の電位に対して所定の画素電位となる。

30

【0034】

このような奇数行の画素ラインにおいては、図示した例では、各画素の画素電極は、自画素の一方の側（左側）に位置するソース配線と電氣的に接続され、しかも、自画素の他方の側（右側）にずれた位置に配置され、自画素の他方の側（右側）に位置するソース配線と対向する端部を有している。例えば、画素電極PE11については、自画素の左側のソース配線S1と電氣的に接続され、ソース配線S1と対向する位置から離間し、ソース配線S1との間に隙間を形成する端部EL11を有する一方で、自画素の右側のソース配線S2と対向する端部ER11を有している。同様に、画素電極PE12は、ソース配線S2と対向する位置から離間し、ソース配線S2との間に隙間を形成する端部EL12を有するとともに、ソース配線S3と対向する端部ER12を有している。

40

【0035】

偶数行の画素ラインにおいては、スイッチング素子SW21は、ゲート配線G2及びソース配線S2に電氣的に接続されている。画素電極PE21は、スイッチング素子SW21と電氣的に接続されている。画素電極PE21には、ソース配線S2から出力された映像信号がスイッチング素子SW21を介して書き込まれ、画素電極PE21が共通電極の電位に対して所定の画素電位となる。スイッチング素子SW22は、ゲート配線G2及びソース配線S3に電氣的に接続されている。画素電極PE22は、スイッチング素子SW22と電氣的に接続されている。画素電極PE22には、ソース配線S3から出力された映像信号がスイッチング素子SW22を介して書き込まれ、画素電極PE22が共通電極

50

の電位に対して所定の画素電位となる。

【0036】

偶数行の画素ラインにおける各画素の画素電極は、奇数行の画素ラインの画素電極とは逆側にずれており、ソース配線との接続関係についても、奇数行の画素ラインとは逆である。図示した例では、偶数行の画素ラインにおいては、各画素の画素電極は、自画素の他方の側（右側）に位置するソース配線と電氣的に接続され、しかも、自画素の一方の側（左側）にずれた位置に配置され、自画素の一方の側（左側）に位置するソース配線と対向する端部を有している。例えば、画素電極PE21については、自画素の右側のソース配線S2と電氣的に接続され、ソース配線S2と対向する位置から離間し、ソース配線S2との間に隙間を形成する端部ER21を有する一方で、自画素の左側のソース配線S1と対向する端部EL21を有している。同様に、画素電極PE22は、ソース配線S3と対向する位置から離間し、ソース配線S3との間に隙間を形成する端部ER22を有するとともに、ソース配線S2と対向する端部EL22を有している。

10

【0037】

このような画素レイアウトに対して、対向基板側の遮光層のうち、第2方向Yに沿って延出した部分については、図中の斜線で示したような形状である。

【0038】

すなわち、遮光層311は、ソース配線S1と対向するとともに、ソース配線S1と画素電極PE11との隙間をカバーする一方で、画素電極PE21の端部EL21とはほとんど重ならない。遮光層312は、ソース配線S2と対向するとともに、ソース配線S2と画素電極PE12との隙間及びソース配線S2と画素電極PE21との隙間をそれぞれカバーする一方で、画素電極PE11の端部ER11及び画素電極PE22の端部EL22とはほとんど重ならない。遮光層313は、ソース配線S3と対向するとともに、ソース配線S3と画素電極PE22との隙間をカバーする一方で、画素電極PE12の端部ER12とはほとんど重ならない。つまり、遮光層311～313のそれぞれは、奇数行の画素ラインにおいてはソース配線とその一方の側（右側）に位置する画素電極との隙間をカバーするように一方の側にずれた位置に配置され、偶数行の画素ラインにおいてはソース配線とその他方の側（左側）に位置する画素電極との隙間をカバーするように他方の側にずれた位置に配置されている。

20

【0039】

このような構成においては、隣接するソース配線からそれぞれ出力される映像信号の極性は逆極性である。すなわち、奇数行の画素ラインに映像信号を書き込む1水平走査期間において、ソース配線S1から出力される映像信号の極性はソース配線S2から出力される映像信号の極性とは逆極性であり、また、ソース配線S2から出力される映像信号の極性はソース配線S3から出力される映像信号の極性とは逆極性である。上記の画素レイアウトにおいては、各ソース配線から出力される映像信号の極性は、偶数行の画素ラインに映像信号を書き込む際も、奇数行の画素ラインに映像信号を書き込む際と同一である。これにより、ドット反転駆動が実現できる。

30

【0040】

図5は、図4に示したソース配線S2を挟んで隣接する画素のA-B線に沿った断面を概略的に示す断面図である。なお、ここでは、説明に必要な構成のみを図示している。

40

【0041】

画素電極PE11は、ソース配線S2に対して一方の側（左側）に位置し、ソース配線S2と対向する端部ER11を有している。つまり、端部ER11は、第3絶縁膜13を介してソース配線S2の直上に位置している。このようなソース配線S2と画素電極PE11の間にはカップリング容量が形成される。画素電極PE12は、ソース配線S2に対して他方の側（右側）に位置し、図示しないスイッチング素子を介してソース配線S2と電氣的に接続され、ソース配線S2と対向する位置から離間した端部EL12を有している。つまり、端部EL12は、第3絶縁膜13を介してソース配線S2の直上の位置との間に隙間を形成している。

50

## 【0042】

遮光層312は、端部ER11の直上の位置よりも画素電極PE12の側でソース配線S2の上方に位置するとともに、ソース配線S2と端部EL12との隙間をカバーしている。なお、遮光層312は、端部ER11の直上の位置に延在していても良いが、この場合、遮光層312の幅が拡大してしまう。遮光層312の幅については、アレイ基板ARと対向基板CTとの貼り合わせずれを考慮した際に開口率の低下を防止するために、できるだけ細かい方が望ましい。また、正面から観察した場合、ソース配線S2と重なる領域（つまり、端部ER11と対向する領域）は表示に寄与しないため、遮光層312は、端部ER11の直上まで延在していない方が望ましい。

## 【0043】

ソース配線S2を挟んで第1方向Xに隣接する画素は、異なる色を表示する。つまり、画素電極PE11の上方に位置するカラーフィルタ321は、画素電極PE12の上方に位置するカラーフィルタ322とは異なる色のカラーフィルタである。

## 【0044】

なお、ここでは、画素電極PE11及び画素電極PE12の関係について述べたが、奇数行の画素ラインについては、ソース配線を挟んで隣接する各画素電極の関係は図示した例と同一である。

## 【0045】

このような構成において、各画素電極と共通電極CEとの間に電界が形成されたON状態では、ソース配線と重なる領域の液晶分子が電界の影響を受けて初期配向方向（OFF状態での配向方向）とは異なる方向に配向し、液晶表示装置を斜め方向から観察した際にソース配線と重なる領域を通過した光が隣接する異なる色のカラーフィルタを透過し、混色を招くことがある。

## 【0046】

本実施形態によれば、法線に対して右側（画素電極PE12が位置する側）の斜め視野において、例えばソース配線S2と重なる領域の液晶分子が初期配向方向とは異なる方向に配向したとしても、ソース配線S2よりも左側の画素から右側の画素に向かう光は、右側にずれた位置に配置された遮光層312によって遮光される。このため、遮光層312を拡幅することなく混色を抑制することが可能となる。これにより、開口率あるいは透過率の低減を招くことなく、良好な表示品位を得ることが可能となる。

## 【0047】

図6は、図4に示したソース配線S2を挟んで隣接する画素のC-D線に沿った断面を概略的に示す断面図である。なお、ここでは、説明に必要な構成のみを図示している。

## 【0048】

画素電極PE21は、ソース配線S2に対して一方の側（左側）に位置し、図示しないスイッチング素子を介してソース配線S2と電氣的に接続され、ソース配線S2に対向する位置から離間した端部ER21を有している。つまり、端部ER21は、第3絶縁膜13を介してソース配線S2の直上の位置との間に隙間を形成している。画素電極PE22は、ソース配線S2に対して他方の側（右側）に位置し、ソース配線S2に対向する端部EL22を有している。つまり、端部EL22は、第3絶縁膜13を介してソース配線S2の直上に位置している。このようなソース配線S2と画素電極PE22の間にはカップリング容量が形成される。

## 【0049】

遮光層312は、端部EL22の直上の位置よりも画素電極PE21の側でソース配線S2の上方に位置するとともに、ソース配線S2と端部ER21との隙間をカバーしている。画素電極PE21の上方に位置するカラーフィルタ321は、画素電極PE22の上方に位置するカラーフィルタ322とは異なる色のカラーフィルタである。

## 【0050】

なお、ここでは、画素電極PE21及び画素電極PE22の関係について述べたが、偶数行の画素ラインについては、ソース配線を挟んで隣接する各画素電極の関係は図示した

10

20

30

40

50

例と同一である。

【0051】

本実施形態によれば、画素電極PE21とソース配線S2とは電氣的に接続されているため、両者の間で液晶分子の配向に悪影響を与える電界は形成されない。このため、ソース配線S2と重なる領域あるいはその近傍の液晶分子は、初期配向方向とは異なる方向に配向されにくく、液晶層の透過率を低減することが可能となる。したがって、法線に対して右側（画素電極PE22が位置する側）の斜め視野において、ソース配線S2よりも左側の画素から右側の画素に向かう光は、ほとんどカラーフィルタ322を透過しない。このため、遮光層312を拡幅することなく混色を抑制することが可能となる。これにより、開口率あるいは透過率の低減を招くことなく、良好な表示品位を得ることが可能となる。

10

【0052】

なお、法線に対して左側（画素電極PE21が位置する側）の斜め視野においては、図5に示した例と同様に、例えばソース配線S2と重なる領域の液晶分子が初期配向方向とは異なる方向に配向したとしても、ソース配線S2よりも右側の画素から左側の画素に向かう光は、左側にずれた位置に配置された遮光層312によって遮光されるため、遮光層312を拡幅することなく混色を抑制することが可能となる。

【0053】

図7は、本実施形態の他の画素レイアウトの一例を示す図である。なお、ここでは、説明に必要な構成のみを図示しており、ゲート配線やスイッチング素子は簡略化して図示している。

20

【0054】

奇数行の画素ラインにおいては、スイッチング素子SW11は、ゲート配線G1及びソース配線S1に電氣的に接続されている。画素電極PE11は、スイッチング素子SW11と電氣的に接続されている。スイッチング素子SW12は、ゲート配線G1及びソース配線S2に電氣的に接続されている。画素電極PE12は、スイッチング素子SW12と電氣的に接続されている。

【0055】

このような奇数行の画素ラインにおいては、図示した例では、各画素の画素電極は、自画素の一方の側（左側）に位置するソース配線と電氣的に接続され、しかも、自画素の他方の側（右側）にずれた位置に配置され、自画素の他方の側（右側）に位置するソース配線と対向する端部を有している。例えば、画素電極PE11については、自画素の左側のソース配線S1と電氣的に接続され、ソース配線S1と対向する位置から離間し、ソース配線S1との間に隙間を形成する端部EL11を有する一方で、自画素の右側のソース配線S2と対向する端部ER11を有している。同様に、画素電極PE12は、ソース配線S2と対向する位置から離間し、ソース配線S2との間に隙間を形成する端部EL12を有するとともに、ソース配線S3と対向する端部ER12を有している。

30

【0056】

偶数行の画素ラインにおいては、スイッチング素子SW21は、ゲート配線G2及びソース配線S1に電氣的に接続されている。画素電極PE21は、スイッチング素子SW21と電氣的に接続されている。スイッチング素子SW22は、ゲート配線G2及びソース配線S2に電氣的に接続されている。画素電極PE22は、スイッチング素子SW22と電氣的に接続されている。

40

【0057】

偶数行の画素ラインにおける各画素の画素電極は、奇数行の画素ラインの画素電極と同一の側にずれており、ソース配線との接続関係についても、奇数行の画素ラインと同一である。

【0058】

このような画素レイアウトに対して、対向基板側の遮光層のうち、第2方向Yに沿って延出した部分については、図中の斜線で示したように直線的に延出した形状である。

50

## 【 0 0 5 9 】

すなわち、遮光層 3 1 1 は、ソース配線 S 1 と対向するとともに、ソース配線 S 1 と画素電極 P E 1 1 との隙間及びソース配線 S 1 と画素電極 P E 2 1 との隙間をそれぞれカバーする。遮光層 3 1 2 は、ソース配線 S 2 と対向するとともに、ソース配線 S 2 と画素電極 P E 1 2 との隙間及びソース配線 S 2 と画素電極 P E 2 2 との隙間をそれぞれカバーする。

## 【 0 0 6 0 】

このような構成においては、隣接するソース配線からそれぞれ出力される映像信号の極性は逆極性である。すなわち、奇数行の画素ラインに映像信号を書き込む 1 水平走査期間において、ソース配線 S 1 から出力される映像信号の極性はソース配線 S 2 から出力される映像信号の極性とは逆極性であり、また、ソース配線 S 2 から出力される映像信号の極性はソース配線 S 3 から出力される映像信号の極性とは逆極性である。上記の画素レイアウトにおいては、各ソース配線から出力される映像信号の極性は、1 水平走査期間毎に切り替わり、偶数行の画素ラインに映像信号を書き込む際には、奇数行の画素ラインに映像信号を書き込む際の極性とは異なる。

10

## 【 0 0 6 1 】

このような画素レイアウトにおいても、図 4 ~ 図 6 を参照して説明した例と同様に、斜め視野における混色を抑制することが可能となり、開口率あるいは透過率の低減を招くことなく、良好な表示品位を得ることが可能となる。

## 【 0 0 6 2 】

以上説明したように、本実施形態によれば、表示品位の良好な液晶表示装置を提供することができる。

20

## 【 0 0 6 3 】

なお、この発明は、上記実施形態そのものに限定されるものではなく、その実施の段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

## 【 符号の説明 】

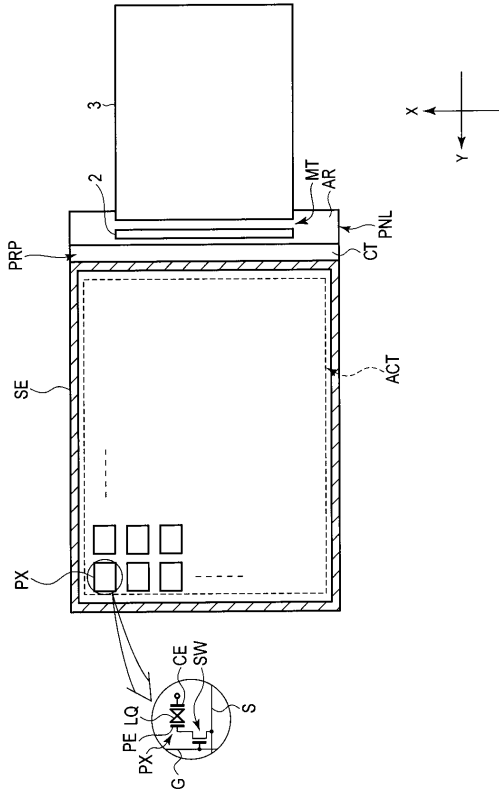
## 【 0 0 6 4 】

P N L ... 表示パネル    A R ... アレイ基板    C T ... 対向基板    L Q ... 液晶層  
G ... ゲート配線    S ... ソース配線    S W ... スイッチング素子  
P E ... 画素電極    C E ... 共通電極  
3 1 ... 遮光層    3 2 ... カラーフィルタ

30

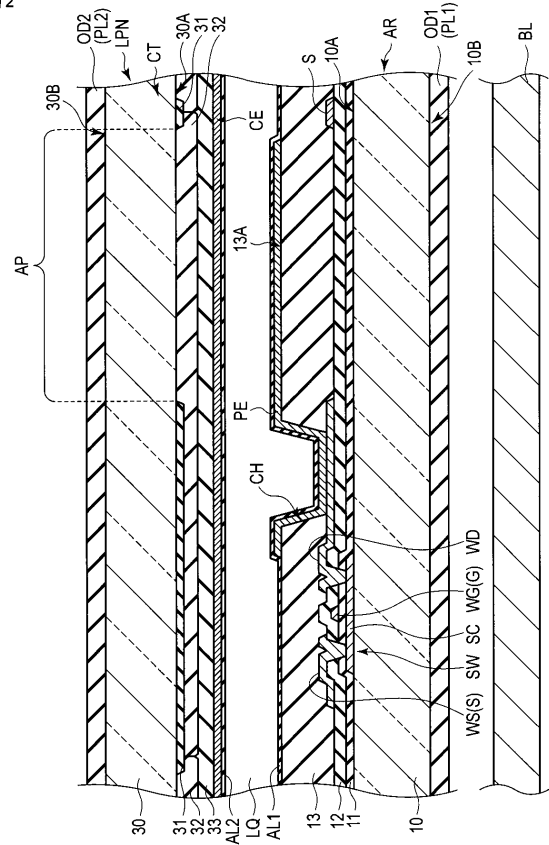
【 図 1 】

図 1



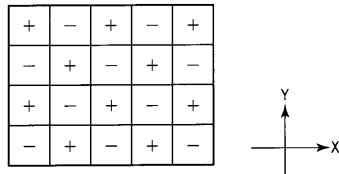
【 図 2 】

図 2



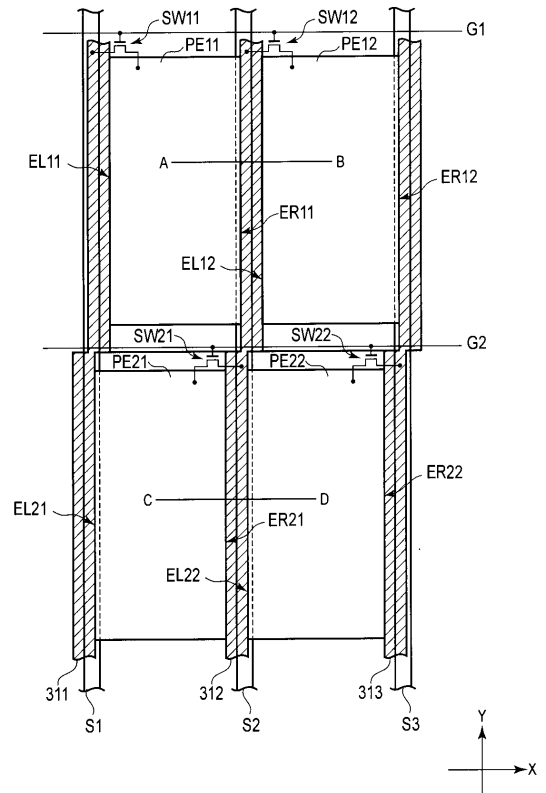
【 図 3 】

図 3



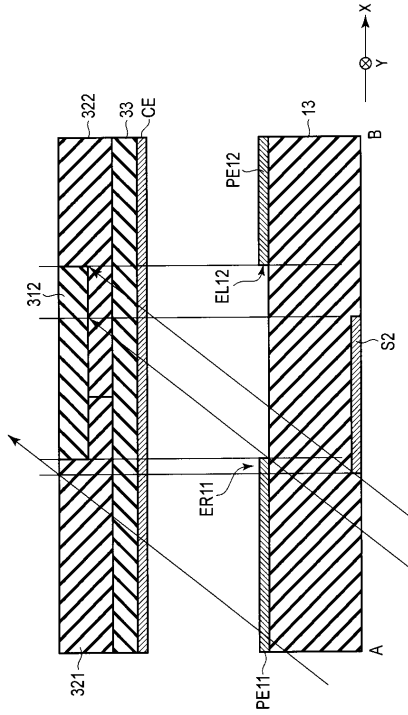
【 図 4 】

図 4



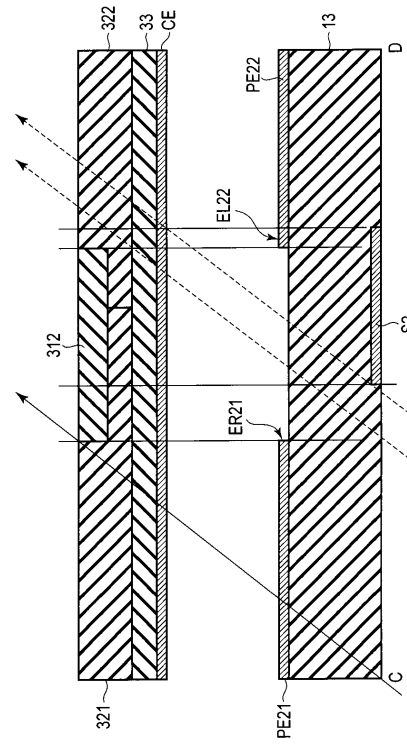
【 図 5 】

図 5



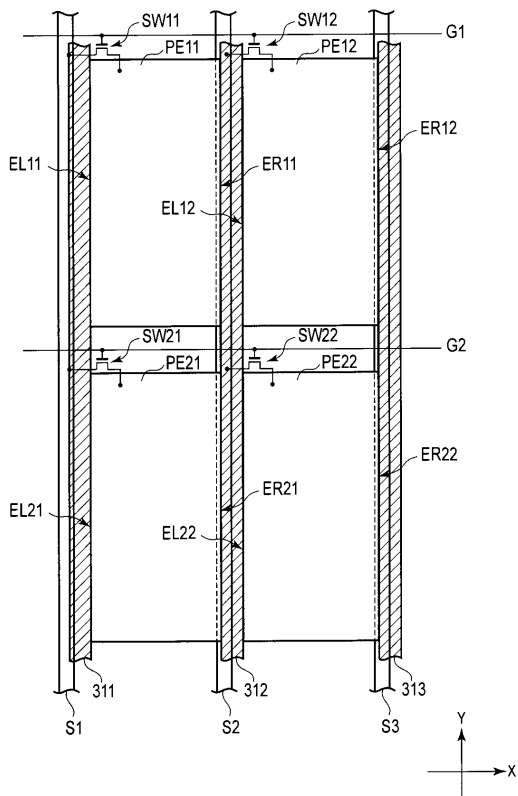
【 図 6 】

図 6



【 図 7 】

図 7



---

フロントページの続き

(72)発明者 飯塚 哲也

東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

Fターム(参考) 2H092 GA21 JA24 JA41 JB02 JB31 NA01 PA06 PA08 PA09  
2H192 AA24 BA01 BC01 CC62 EA22 EA43 GD61

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2015022172A</a>	公开(公告)日	2015-02-02
申请号	JP2013150737	申请日	2013-07-19
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	細川大地 飯塚哲也		
发明人	細川 大地 飯塚 哲也		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA21 2H092/JA24 2H092/JA41 2H092/JB02 2H092/JB31 2H092/NA01 2H092/PA06 2H092/PA08 2H092/PA09 2H192/AA24 2H192/BA01 2H192/BC01 2H192/CC62 2H192/EA22 2H192/EA43 2H192/GD61		
代理人(译)	河野 哲		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：提供一种具有良好的显示质量的液晶显示装置。提供了源极布线，电连接到源极布线的开关元件，以及位于源极布线的一侧并面对源极布线的第一像素电极。第二像素电极位于源极线的另一侧并电连接到开关元件，并且第二像素电极的第二端与面对源极线的位置分开。第一基板，其包括像素电极和位于第一端正上方位置上方，位于第二像素电极侧上的源极布线上方并覆盖源极布线与第二端之间的间隙的遮光体。层，位于第一像素电极上方的第一滤色器，位于第二像素电极上方且具有与第一滤色器，第一像素电极和第二像素不同的颜色的第二滤色器 第二基板，其具有面对电极的公共电极和第一电极 一种液晶显示装置，包括：液晶层，其被保持在基板和第二基板之间。 [选择图]图4

