

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-197782

(P2010-197782A)

(43) 公開日 平成22年9月9日(2010.9.9)

(51) Int.Cl.	F 1	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2 H 042
G02F 1/1335 (2006.01)	G02F 1/1335 520	2 H 092
G02B 5/08 (2006.01)	G02B 5/08 A	2 H 191
G09F 9/30 (2006.01)	G09F 9/30 338	5 C 094

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号	特願2009-43560 (P2009-43560)	(71) 出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成21年2月26日 (2009.2.26)	(74) 代理人	100095728 弁理士 上柳 雅善
		(74) 代理人	100107261 弁理士 須澤 修
		(74) 代理人	100127661 弁理士 宮坂 一彦
		(72) 発明者	今尾 和博 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		F ターム (参考)	2H042 DA01 DA21 DA22 2H092 GA11 JA24 JA37 JA46 JB21 JB22 JB31 NA25 PA12 QA05
			最終頁に続く

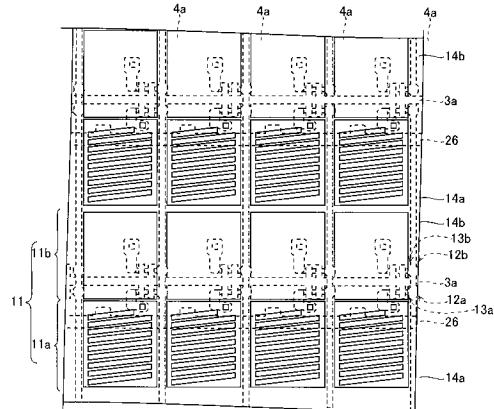
(54) 【発明の名称】 液晶表示装置および電子機器

(57) 【要約】

【課題】透過率が低下するのを抑制することが可能な液晶表示装置を提供する。

【解決手段】この液晶表示装置100は、透過領域11aおよび反射領域11bを有する画素11が設けられるとともに、液晶50を挟むように配置された基板20および基板40と、基板20の透過領域11aに設けられ、液晶50に映像信号を印加するための透過表示用画素電極14aおよび液晶50に透過表示用共通電位信号を印加するための透過表示用共通電極15aと、透過表示用画素電極14aへの映像信号の供給を制御する透過表示用画素トランジスタ12aおよび13aとを備え、透過表示用画素トランジスタ12aおよび13aは、平面的に見て、反射領域11bに配置されている。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

透過領域および反射領域を有する画素が設けられるとともに、液晶を挟むように配置された一方基板および他方基板と、

前記一方基板の透過領域に設けられ、前記液晶に映像信号を印加するための透過表示用画素電極および前記液晶に透過表示用共通電位信号を印加するための透過表示用共通電極と、

前記一方基板の反射領域に設けられ、前記液晶に前記映像信号を印加するための反射表示用画素電極と、前記他方基板の反射領域に設けられ、前記液晶に反射表示用共通電位信号を印加するための反射表示用共通電極と、

前記一方基板の反射領域に設けられ、前記他方基板側から前記一方基板側に照射される光を反射させるための反射膜と、

前記透過表示用画素電極への映像信号の供給を制御する透過表示用画素トランジスタとを備え、

前記透過表示用画素トランジスタの少なくとも一部は、平面的に見て、前記反射領域内に配置されている、液晶表示装置。

【請求項 2】

前記透過表示用画素トランジスタのソースと前記透過表示用画素電極とを電気的に接続する接続配線とをさらに備え、

前記透過表示用画素トランジスタのソース、ドレンおよびゲートと、前記接続配線の一部とが、前記反射膜により覆われるように構成されている、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記接続配線は、前記透過表示用画素トランジスタのソースから前記透過領域にまで延びるように形成されている、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記接続配線と、前記透過表示用画素電極とを電気的に接続するために前記透過領域に形成された接続部をさらに備え、

前記接続部は、前記透過領域と前記反射領域との境界近傍に形成されている、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記反射表示用画素電極への前記映像信号の供給を制御するための反射表示用画素トランジスタと、

前記透過表示用画素トランジスタおよび前記反射表示用画素トランジスタのゲートにそれぞれ接続されるとともに、前記反射領域に設けられたゲート線とを備え、

前記ゲート線は、各々の前記画素の反射領域にわたって延びるように形成されている、請求項 2 ~ 4 に記載の液晶表示装置。

【請求項 6】

前記反射表示用共通電位信号と前記透過表示用共通電位信号とは、異なる信号である、請求項 1 に記載の液晶表示装置。

【請求項 7】

前記透過表示用画素トランジスタは、前記反射領域と前記透過領域との境界の前記反射領域側の端部近傍に配置されている、請求項 1 ~ 6 のいずれか 1 項に記載の液晶表示装置。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の液晶表示装置を備えた、電子機器。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、液晶表示装置および電子機器に関し、特に、透過領域および反射領域を有す

る画素を備えた液晶表示装置および電子機器に関する。

【背景技術】

【0002】

従来、透過領域および反射領域を有する画素を備えた液晶表示装置が開示されている（たとえば、特許文献1）。

【0003】

上記特許文献1には、液晶を挟むように配置された一対の基板と、基板上に配置されるとともに透過領域および反射領域を有する半透過型の画素を複数備えた液晶表示装置が開示されている。上記特許文献1に開示された液晶表示装置において、透過領域には、透過表示用の画素電極および共通電極が形成されているとともに、反射領域には、反射表示用の画素電極および共通電極が形成されている。そして、透過表示用の画素電極は、透過領域に形成されたTFT（画素トランジスタ）を介してドレイン配線（信号線）と電気的に接続されるとともに、反射表示用の画素電極は、反射領域に形成されたTFTを介してドレイン配線と電気的に接続されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-292610号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献1に開示された液晶表示装置では、透過領域内にTFT（画素トランジスタ）が配置されているため、TFTによりバックライトから照射された光が遮光されるという不都合がある。このため、TFTにより光が遮光された分、透過率が低下するという問題点がある。

【0006】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、透過率が低下するのを抑制することが可能な液晶表示装置および電子機器を提供することである。

30

【課題を解決するための手段および発明の効果】

【0007】

この発明の第1の局面による液晶表示装置は、透過領域および反射領域を有する画素が設けられるとともに、液晶を挟むように配置された一方基板および他方基板と、一方基板の透過領域に設けられ、液晶に映像信号を印加するための透過表示用画素電極および液晶に透過表示用共通電位信号を印加するための透過表示用共通電極と、一方基板の反射領域に設けられ、液晶に映像信号を印加するための反射表示用画素電極と、他方基板の反射領域に設けられ、液晶に反射表示用共通電位信号を印加するための反射表示用共通電極と、一方基板の反射領域に設けられ、他方基板側から一方基板側に照射される光を反射させるための反射膜と、透過表示用画素電極への映像信号の供給を制御する透過表示用画素トランジスタとを備え、透過表示用画素トランジスタの少なくとも一部は、平面的に見て、反射領域内に配置されている。

40

【0008】

上記第1の局面による液晶表示装置では、上記のように、透過表示用画素トランジスタの少なくとも一部を反射領域内に配置することによって、透過領域に透過表示用画素トランジスタの全てが配置される場合と異なり、透過表示用画素トランジスタによってバックライトからの光が遮光される量が多くなるのを抑制することができる。これにより、透過領域における透過率が低下するのを抑制することができる。

【0009】

上記第1の局面による液晶表示装置において、好ましくは、透過表示用画素トランジスタのソースと透過表示用画素電極とを電気的に接続する接続配線とをさらに備え、透過表

50

示用画素トランジスタのソース、ドレインおよびゲートと、接続配線の一部とが、反射膜により覆われるように構成されている。このように構成すれば、透過表示用画素トランジスタのソース、ドレインおよびゲートの全域と、接続配線の一部とが反射膜により覆われる分、透過領域の透過率の低下を抑制することができる。

【0010】

この場合、好ましくは、接続配線は、透過表示用画素トランジスタのソースから透過領域にまで延びるように形成されている。このように構成すれば、反射領域に設けられた透過表示用画素トランジスタと透過領域に設けられた透過表示用画素電極とを容易に接続させることができる。

【0011】

上記接続配線が透過領域にまで延びるように形成する構成において、好ましくは、接続配線と、透過表示用画素電極とを電気的に接続するために透過領域に形成された接続部をさらに備え、接続部は、透過領域と反射領域との境界近傍に形成されている。このように構成すれば、透過表示用画素電極と接続配線との接続部分である接続部が透過領域内により反射領域に近い位置に形成されるので、接続部を透過領域および反射領域の境界近傍以外に形成する場合に比べて、接続配線の反射領域から透過領域へ渡って形成される部分の平面的に見た長さを小さくすることができる。したがって、その分、接続配線の配線抵抗が増加するのを抑制することができる。

10

【0012】

上記透過表示用画素トランジスタと接続配線の一部とが反射膜に覆われる構成において、好ましくは、反射表示用画素電極への映像信号の供給を制御するための反射表示用画素トランジスタと、透過表示用画素トランジスタおよび反射表示用画素トランジスタのゲートにそれぞれ接続されるとともに、反射領域に設けられたゲート線とを備え、ゲート線は、各々の画素の反射領域にわたって延びるように形成されている。このように構成すれば、たとえば、ゲート線が透過領域と反射領域との境界に沿って形成される場合と異なり、ゲート線の全域が反射領域内に形成されるので、その分、透過領域の透過率を向上させることができる。

20

【0013】

上記第1の局面による液晶表示装置において、好ましくは、反射表示用共通電位信号と透過表示用共通電位信号とは、異なる信号である。このように構成すれば、たとえば、透過表示用共通電位信号と反射表示用共通電位信号とを互いに逆相の信号にしてそれぞれ供給した場合には、透過領域を横電界型の駆動方式にするとともに反射領域を縦電界型の駆動方式にした際に、透過領域と反射領域とにおいて異なる方向にラビング処理を行う工程、または、透過領域と反射領域とにおいて異なる位相差になるように構成させることなく、容易に透過領域および反射領域において同一の黒表示および白表示を行うことができる。

30

【0014】

上記第1の局面による液晶表示装置において、好ましくは、透過表示用画素トランジスタは、反射領域と透過領域との境界の反射領域側の端部近傍に配置されている。このように構成すれば、透過表示用画素トランジスタを透過領域および反射領域の境界のより近傍に配置する分、透過表示用画素トランジスタと透過領域内の透過表示用画素電極との距離を短くすることができるので、透過表示用画素トランジスタと透過表示用画素電極とを接続するための配線をより短くすることができる。これにより、透過表示用画素トランジスタと透過表示用画素電極とを接続する配線の配線抵抗をより小さくすることができる。

40

【0015】

この発明の第2の局面による電子機器は、上記した構成を有する液晶表示装置を備える。このように構成すれば、透過率が低下するのを抑制することが可能な液晶表示装置を含む電子機器を得ることができる。

【図面の簡単な説明】

【0016】

50

【図1】本発明の一実施形態による液晶表示装置の全体構成を示すブロック図である。

【図2】本発明の一実施形態による液晶表示装置の画素の構成について説明するための等価回路図である。

【図3】本発明の一実施形態による液晶表示装置の画素の構成について説明するための平面図である。

【図4】本発明の一実施形態による液晶表示装置の画素の構成について説明するための拡大平面図である。

【図5】図4の150-150線に沿った断面図である。

【図6】本発明の一実施形態による液晶表示装置を備えた電子機器について説明するための斜視図である。

【図7】本発明の一実施形態による液晶表示装置を備えた電子機器について説明するための斜視図である。

【図8】本発明の一実施形態による液晶表示装置を備えた電子機器について説明するための斜視図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施形態を図面に基づいて説明する。

【0018】

図1～図5を参照して、本発明の一実施形態による液晶表示装置100の構成について説明する。

【0019】

本発明の一実施形態による液晶表示装置100は、図1に示すように、表示部1と、駆動IC2と、Vドライバ3と、Hドライバ4と、バックライト5と、透過COM6と、反射COM7とを備えている。

【0020】

液晶表示装置100は半透過型の液晶表示装置として構成されており、図1および図2に示すように、表示部1には、透過領域11aおよび反射領域11bを含む複数の画素11がマトリクス状に配置されている。駆動IC2は、液晶表示装置100全体を駆動するための機能を有するとともに、後述する液晶50に印加される電位差を制御する機能を有する。Vドライバ3およびHドライバ4には、それぞれ、互いに直交するように配置された複数のゲート線3aおよび信号線4aが接続されている。Vドライバ3は、ゲート線3aの駆動回路としての機能を有する。また、Hドライバ4は、駆動IC2から供給される信号(映像信号)を時分割するとともに、分割された信号を複数の信号線4aのうちから対応する信号線4aにそれぞれ出力する機能を有する。

【0021】

また、バックライト5は、画素11の透過領域11aの光源として構成されている。透過COM6は、画素11の透過領域11aに配置された後述する透過表示用共通電極15aの電位を制御するための機能を有する。反射COM7は、画素11の反射領域11bに配置された後述する反射表示用共通電極15bの電位を制御する機能を有する。

【0022】

各々の画素11における透過領域11aは、バックライト5からの光を透過させるとともにその透過光により画像を表示させるように構成されている。また、反射領域11bは、外部から入射した光を反射させるとともにその反射光により画像を表示させるように構成されている。

【0023】

透過領域11aは、図2に示すように、n型からなるとともに、2つの画素トランジスタ(TFT)12aおよび13aと、透過表示用画素電極14aおよび透過表示用共通電極15aとを備えている。画素トランジスタ12aのドレイン領域(ソース)Dは信号線4aに接続されるとともに、ソース領域(ドレイン)Sは隣接する画素トランジスタ13aのドレイン領域(ソース)Dに接続されている。画素トランジスタ13aのソース

10

20

30

40

50

領域(ドレイン)Sは、接続配線28aを介して透過表示用画素電極14aに接続されている。画素トランジスタ12aおよび13aのそれぞれのゲートGは、ゲート線3aに接続されるとともに、透過表示用共通電極15aは、透過COM6に接続されている。なお、保持容量16aは、透過表示用画素電極14aおよび透過表示用共通電極15aを絶縁膜32を介して積層させることによって形成される。また、画素トランジスタ12aおよび13aは、それぞれ、本発明の「透過表示用画素トランジスタ」の一例である。

【0024】

反射領域11bにおいても、透過領域11aと同様に、n型からなる2つの画素トランジスタ(TFT)12bおよび13bと、反射表示用画素電極14bと、反射表示用共通電極15bと、保持容量16bとにより構成されている。画素トランジスタ12bのドレン領域Dは、信号線4aに接続されるとともに、ソース領域Sは、画素トランジスタ13bのドレン領域Dに接続されている。画素トランジスタ13bのソース領域Sは、接続配線28aを介して反射表示用画素電極14bと、保持容量16bの一方の電極とに接続されている。また、画素トランジスタ12bおよび13bのそれぞれのゲートGはゲート線3aに接続されるとともに、反射表示用共通電極15bと保持容量16bの他方の電極とは反射COM7(図1参照)に接続されている。なお、図2は、図面の簡素化のために1画素分の画素11を図示している。また、画素トランジスタ12bおよび13bは、それぞれ、「反射表示用画素トランジスタ」の一例である。

10

【0025】

次に、画素11の詳細な構造について説明する。図3、図4および図5(図4の150-150線に沿った断面図)に示すように、各々の画素11は、透過領域11aと反射領域11bとにより構成されている。図5に示すように、画素11は、互いに対向するよう配置された一対の基板20および40を備えているとともに、基板20と基板40との間に液晶50が封入されている。基板20および基板40は、たとえば、ガラス基板などにより形成されている。なお、基板20および40は、それぞれ、本発明における「一方基板」と「他方基板」の一例である。基板20と基板40との間には、スペーサ60が設けられているとともに、このスペーサ60により、セルギャップが調整される。なお、本実施形態では、後述のトップコート層44により、反射領域11bにおける液晶50の厚み(セルギャップ)t2は、透過領域11aにおける液晶50の厚み(セルギャップ)t1の約1/2倍になるように構成され、反射領域11bと透過領域11aにおいて液晶50を通過する光の光路長がほぼ同一となるようにしている。

20

30

【0026】

基板20の表面上には、SiO₂膜、SiN膜などからなるバッファ層21が形成されている。バッファ層21の表面上には、低温ポリシリコンからなる半導体層22aおよび22bが形成されている。半導体層22aおよび22bは、それぞれ、薄膜トランジスタ(TFT)からなる画素トランジスタ12aおよび13aと、画素トランジスタ12bおよび13bとの能動層としての機能を有する。また、半導体層22aおよび22b上には、絶縁膜23が形成されている。絶縁膜23は、画素トランジスタ12aおよび13aと、画素トランジスタ12bおよび13bとのゲート絶縁膜としての機能を有する。また、半導体層22aおよび22b上には、それぞれ、絶縁膜23を介して、ゲート電極24a、24b、24cおよび24dが形成されている。また、図4に示すように、ゲート電極24a～24dは、平面的に見て、ゲート線3aから突出するように設けられている。なお、ゲート電極24a、24b、24c、24dおよびゲート線3aは、たとえば、アルミニウム、モリブデンまたはチタンなどの金属で構成されている。

40

【0027】

そして、透過表示用画素電極14aへの映像信号の供給を制御するための画素トランジスタ12aおよび13aが、半導体層22a、絶縁膜23およびゲート電極24bからなる薄膜トランジスタ(TFT)により構成されている。

【0028】

ここで、本実施形態では、図4および図5に示すように、透過表示用画素電極14aへ

50

の映像信号の供給を制御する画素トランジスタ 12a および 13a は、反射領域 11b に形成されている。具体的には、ダブルゲート構造を構成する画素トランジスタ 12a および 13a のゲート電極 24a および 24b に加えて、各々のソース領域およびドレイン領域も反射領域 11b に形成されている。また、画素トランジスタ 12a および 13a は、平面的に見て、反射領域 11b のうち、透過領域 11a と反射領域 11bとの境界近傍に配置されている。

【0029】

また、本実施形態では、画素トランジスタ 12a および 13a に加えて、ゲート線 3a 10 も反射領域 11b に形成されている。ゲート線 3a は、図 3 に示すように、各々の画素 1 1 の反射領域 11b にわたって延びるように形成されている。

【0030】

また、反射領域 11bにおいて、半導体層 22b、絶縁膜 23 およびゲート電極 24c により、薄膜トランジスタ(TFT)からなる画素トランジスタ 12b が構成されているとともに、半導体層 22b、絶縁膜 23 およびゲート電極 24d により、薄膜トランジスタ(TFT)からなる画素トランジスタ 13b が構成されている。

【0031】

また、絶縁膜 23 上には、金属製の保持容量配線 25 が形成されているとともに、保持容量配線 25 は、絶縁膜 23 を介して、半導体層 22b の一部に対向して配置されている。これにより、半導体層 22b および保持容量配線 25 により保持容量 16b が構成されている。透過領域 11a 内における絶縁膜 23 上には、透過表示用共通電極 15a に透過 COM 6 から出力される共通電位信号を供給するための共通電極配線 26 が形成されている。共通電極配線 26 は、ゲート線 3a が延びる方向に沿って延びるように形成されるとともに、ゲート電極 24a ~ 24d、ゲート線 3a および保持容量配線 25 と、同一の導電膜をパターニングすることにより形成されている。

【0032】

図 5 に示すように、絶縁膜 23、ゲート電極 24a ~ 24d、ゲート線 3a、保持容量配線 25 および共通電極配線 26 を覆うように、層間絶縁膜 27 が形成されている。層間絶縁膜 27 には、それぞれ、コンタクトホール 27a、27b、27c および 27d が形成されている。層間絶縁膜 27 の表面上には、接続部としてのコンタクトホール 27a を介して半導体層 22a(画素トランジスタ 13a のソース領域)に電気的に接続される接続配線 28a と、コンタクトホール 27b を介して半導体層 22b(画素トランジスタ 13b のソース領域)に電気的に接続される接続配線 28b と、コンタクトホール 27c および 27d を介して半導体層 22b(画素トランジスタ 12a および 12b のドレイン領域)に電気的に接続される信号線 4a とが形成されている。接続配線 28a ~ 28b は、信号線 4a と、同一の導電膜をパターニングすることにより形成されている。

【0033】

ここで、本実施形態では、接続配線 28a は、反射領域 11b に設けられた画素トランジスタ 13a のソース領域から透過領域 11a に設けられた透過表示用画素電極 14a にまで延びるように形成されている。そして、接続配線 28a は、後述するコンタクトホール 30a および 31a を介して透過表示用画素電極 14a と電気的に接続されている。これにより、画素トランジスタ 12a および 13a の全域と、画素トランジスタ 13a に接続された接続配線 28a の反射領域 11b に配置された部分とまでが、後述する反射膜 33 により覆われるよう構成されている。

【0034】

また、層間絶縁膜 27 には、共通電極配線 26 にまで達するコンタクトホール 27e(図 4 参照)が形成されるとともに、コンタクトホール 27e を介して共通電極配線 26 と透過表示用共通電極 15a とが電気的に接続される。

【0035】

また、接続配線 28a および 28b と信号線 4a との表面上には、SiN 膜などからなるパッシベーション層 30 が形成されるとともに、パッシベーション層 30 上には、

10

20

30

40

50

絶縁層 3 1 が形成されている。そして、透過領域 1 1 a における絶縁層 3 1 の表面上には、透過表示用共通電極 1 5 a が形成されている。また、透過領域 1 1 a において、パッシベーション層 3 0 および絶縁層 3 1 上に、コンタクトホール 3 0 a および 3 1 a が形成されるとともに、透過表示用共通電極 1 5 a、コンタクトホール 3 0 a および 3 1 a の表面上を覆うように、絶縁膜 3 2 が形成されている。そして、絶縁層 3 2 の表面上には透過表示用共通電極 1 4 a に対向する位置に透過表示用画素電極 1 4 a が形成されている。この透過表示用画素電極 1 4 a は、コンタクトホール 3 1 a を介して接続配線 2 8 a に電気的に接続されている。また、透過表示用画素電極 1 4 a には、複数のスリット 1 4 c が設けられている。

【0036】

10

ここで、本実施形態では、透過表示用画素電極 1 4 a と接続配線 2 8 a とを電気的に接続するためのコンタクトホール 3 0 a および 3 1 a は、透過領域 1 1 a 内のうち、透過領域 1 1 a と反射領域 1 1 bとの境界近傍に形成されている。

【0037】

20

また、反射領域 1 1 b においても同様に、パッシベーション層 3 0 および絶縁層 3 1 上に、コンタクトホール 3 0 b および 3 1 b が形成されている。絶縁層 3 1 およびコンタクトホール 3 1 b の表面上には絶縁層 3 2 が形成されるとともに、絶縁層 3 2 の表面上には反射膜 3 3 が形成されている。ここで、反射膜 3 3 は、画素トランジスタ 1 2 a および 1 3 a のソース S、ドレイン D およびゲート G を覆う位置まで、透過領域に近づく方向に延びるように形成されている。そして、反射膜 3 3 の表面上およびコンタクトホール 3 0 b に沿って、接続配線 2 8 b に電気的に接続されるように反射表示用画素電極 1 4 b が形成されている。なお、透過表示用画素電極 1 4 a、透過表示用共通電極 1 5 a および反射表示用画素電極 1 4 b は、たとえば、ITOなどの透明導電材料により形成されている。そして、絶縁層 3 2 、透過表示用画素電極 1 4 a および反射表示用画素電極 1 4 b の表面上には、配向膜（図示せず）が形成されている。

【0038】

30

また、基板 4 0 側には、遮光膜 4 1（ブラックマトリクス）が形成されるとともに、遮光膜 4 1 を挟むように、透過領域 1 1 a および反射領域 1 1 b のそれぞれに、透過表示用カラーフィルタ 4 2 a および反射表示用カラーフィルタ 4 2 b が形成されている。また、遮光膜 4 1、透過表示用カラーフィルタ 4 2 a および反射表示用カラーフィルタ 4 2 b を覆うように、オーバーコート層 4 3 が形成されている。また、反射領域 1 1 b において、オーバーコート層 4 3 を覆うようにトップコート層 4 4 が形成されるとともに、トップコート層 4 4 の表面上には反射表示用共通電極 1 5 b が形成されている。そして、オーバーコート層 4 3、トップコート層 4 4 および反射表示用共通電極 1 5 b を覆うように配向膜（図示せず）が形成されている。トップコート層 4 4 の端部の光漏れの抑制と、後述の透過表示用共通電極 1 5 a および反射表示用共通電極 1 5 b に異なる電位が供給されるため、透過表示用画素電極 1 4 a と反射表示用共通電極 1 5 b との電界に起因する光漏れを抑制するため、遮光膜 4 1 は、トップコート層 4 4 の端部および透過表示用画素電極 1 4 a の端部近傍に配置される。

【0039】

40

また、基板 2 0 および基板 4 0 における液晶 5 0 が充填されている側とは反対の面には、それぞれ、位相差板 7 0 a および 7 0 b が形成されている。また、位相差板 7 0 a および 7 0 b を覆うように、それぞれ、偏光板 7 1 a および 7 1 b が形成されている。

【0040】

50

ここで、透過領域 1 1 a の画素 1 1 は、FFS（F r i n g e - F i e l d - S w i t c h i n g）方式による横電界型の駆動方式により構成されるとともに、反射領域 1 1 b の画素 1 1 は、ECB（E l e c t r i c a l l y - C o n t r o l l e d - B i r e f r i n g e n c e）方式による縦電界型の駆動方式により構成されている。なお、FFS 方式とは、一方の基板（基板 2 0）に透過表示用画素電極 1 4 a および透過表示用共通電極 1 5 a が絶縁膜 3 2 を介して互いに対向するように配置されるとともに、画素電極

および共通電極間に発生する横方向（基板に略平行な方向）の電界により液晶50を駆動する構成である。また、E C B方式とは、互いに対向する基板20および40に、それぞれ、反射表示用画素電極14bおよび反射表示用共通電極15bが配置されるとともに、反射表示用画素電極14bおよび反射表示用共通電極15b間に発生する縦方向（基板に直交する方向）電界により液晶50を駆動する構成である。透過表示用画素電極14aおよび反射表示用画素電極14bには、同じ映像信号が供給されるが、透過表示用共通電極15aおよび反射表示用共通電極15bは、それぞれ、異なる透過表示用共通電位信号および反射表示用共通電位信号が供給される。たとえば、透過表示用共通電極15aには、反射表示用共通電極15bと逆相の信号が供給される。これにより、透過領域11aがF F S方式と反射領域11bがE C Bの駆動方式において、異なる方向のラビング処理あるいは位相差を異なるようにする処理を行わなくても、容易に透過領域11aおよび反射領域11bにおいて同一の黒表示および白表示を行うことが可能となる。

10

【0041】

本実施形態では、上記のように、画素トランジスタ12aおよび13aのソースS、ドレインDおよびゲートGを反射領域11b内に配置することによって、透過領域11aに画素トランジスタ12aおよび13aが配置される場合と異なり、バックライト5からの光が遮光される量が多くなるのを抑制することができる。これにより、透過領域11aにおける透過率が低下するのを抑制することができる。

20

【0042】

また、本実施形態では、画素トランジスタ12aおよび13aのソースS、ドレインDおよびゲートGに加えて、画素トランジスタ13aに接続された接続配線28aの一部を、反射膜33により覆われるよう構成することによって、画素トランジスタ12aおよび13aの全域と、接続配線28aの一部とが反射膜33により覆われる分、確実に透過領域11aの透過率の低下を抑制することができる。

30

【0043】

また、本実施形態では、接続配線28aを、反射領域11bに設けられた画素トランジスタ13aのソースSから透過領域11aに形成された透過表示用画素電極14aにまで延びるように形成することによって、反射領域11bに設けられた画素トランジスタ13aと透過領域11aに設けられた透過表示用画素電極14aとを容易に接続させることができる。

30

【0044】

また、本実施形態では、コンタクトホール30aおよび31aを、透過領域11a内のうち透過領域11aと反射領域11bとの境界近傍に形成することによって、透過表示用画素電極14aと接続配線28aとの接続部分であるコンタクトホール30aおよび31aが透過領域11a内により反射領域11bに近い位置に形成されるので、コンタクトホール30aおよび31aを透過領域11aおよび反射領域11bの境界近傍以外に形成する場合に比べて、接続配線28aの反射領域11bから透過領域11aへ渡って形成される部分の平面的に見た長さを小さくすることができる。したがって、その分、接続配線28aの配線抵抗が増加するのを抑制することができる。

40

【0045】

また、本実施形態では、反射領域11bの反射膜33を、画素トランジスタ12aおよび13aのソースS、ドレインDおよびGを覆う位置まで、透過領域11aに近づく方向に延びるように形成することによって、反射膜33により画素トランジスタ12aおよび13aの全域を容易に反射領域11bに形成することができる。

50

【0046】

また、本実施形態では、画素トランジスタ12aおよび13aを、2つのゲートを有するダブルゲート構造により構成するとともに、これら2つのゲートと共に反射領域11b内に形成することによって、画素トランジスタ12aおよび13aの2つのゲートが共に反射領域11b内に形成されるので、画素トランジスタ12aおよび13aをダブルゲート構造にした場合においてもゲートが透過領域11aにまで延びて形成されるのを確実に

抑制することができる。

【0047】

また、本実施形態では、ゲート線3aを、各々の画素11の反射領域11bにわたって延びるように形成することによって、たとえば、ゲート線3aが透過領域11aと反射領域11bとの境界に沿って形成される場合と異なり、ゲート線3aの全域が反射領域11b内に形成されるので、その分、透過領域11aの透過率を向上させることができる。

【0048】

また、本実施形態では、画素トランジスタ12aおよび13aを、平面的に見て、反射領域11bと透過領域11aとの境界の反射領域11b側の端部近傍に配置することによって、画素トランジスタ12aおよび13aを透過領域11aおよび反射領域11bの境界のより近傍に配置する分、接続配線28aをより短くすることができる。これにより、接続配線28aの配線抵抗をより小さくすることができる。

10

【0049】

次に、図6～図8を参照して、本発明の一実施形態による液晶表示装置100を用いた電子機器について説明する。

【0050】

本発明の一実施形態による液晶表示装置100は、図6～図8に示すように、P C (P e r s o n a l C o m p u t e r) 2 0 0 、携帯電話210および情報携帯端末220 (P D A : P e r s o n a l D i g i t a l A s s i s t a n t s) などに用いることが可能である。図6のP C 2 0 0においては、キーボードなどの入力部200aおよび表示画面200bなどに本発明の一実施形態による液晶表示装置100を用いることが可能である。図7の携帯電話210においては、表示画面210aに本発明の一実施形態による液晶表示装置100が用いられる。図8の情報携帯端末220においては、表示画面220aに本発明の一実施形態による液晶表示装置100が用いられる。

20

【0051】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではない。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0052】

たとえば、上記実施形態では、透過領域の駆動方式を、横電界型による駆動方式の一例であるF F Sモードにより構成する例を示したが、本発明はこれに限らず、透過領域を、たとえば、I P S (I n - P l a n e - S w i t c h i n g) モードなど、F F Sモード以外の横電界型の駆動方式により構成してもよい。

30

【0053】

また、上記実施形態では、反射領域を縦電界モードによる駆動方式により構成する例を示したが、本発明における反射領域は縦電界モードであれば、たとえば、E C Bモード、T NモードおよびV Aモードなど、いずれの駆動方式であってもよい。

【0054】

また、上記実施形態では、透過領域において、共通電極上に絶縁膜を介して画素電極を形成することにより横電界を発生させる構成に本発明を適用する例を示したが、本発明はこれに限らず、画素電極上に絶縁膜を介して共通電極を形成する場合においても本発明を適用可能である。

40

【0055】

また、上記実施形態では、透過表示用画素電極14aと接続配線28aとを接続するコンタクトホール30aおよび31aを透過領域11a内のうち、透過領域11aと反射領域11bとの境界近傍に形成する例を示したが、本発明はこれに限らず、コンタクトホール30aおよび31aは、透過領域11a内であれば、境界近傍以外に形成してもよい。

【0056】

また、上記実施形態では、画素トランジスタ12aおよび13aの全域が反射領域11bに形成される例を示したが、本発明はこれに限らず、たとえば、画素トランジスタ12

50

a および 13 a のゲートおよびドレインのみが反射領域 11 b に形成される場合など、画素トランジスタ 12 a および 13 a の一部が反射領域 11 b に形成されればよい。

【符号の説明】

【0057】

3 a ゲート線

4 a 信号線

11 画素

11 a 透過領域

11 b 反射領域

12 a 透過表示用画素トランジスタ

12 b 反射表示用画素トランジスタ

13 a 透過表示用画素トランジスタ

13 b 反射表示用画素トランジスタ

14 a 透過表示用画素電極

14 b 反射表示用画素電極

15 a 透過表示用共通電極

20 基板(一方基板)

28 a 接続配線

30 a コンタクトホール

31 a コンタクトホール

33 反射膜

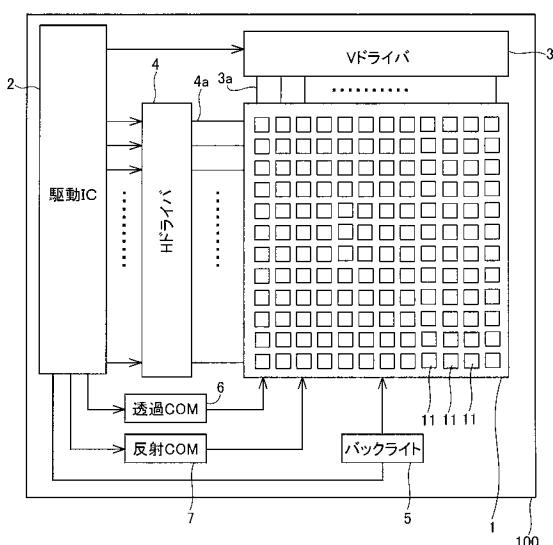
40 基板(他方基板)

50 液晶

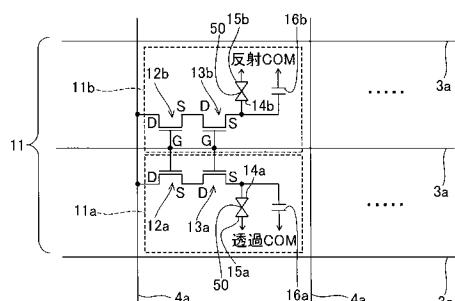
100 液晶表示装置

200、210、220 電子機器

【図1】



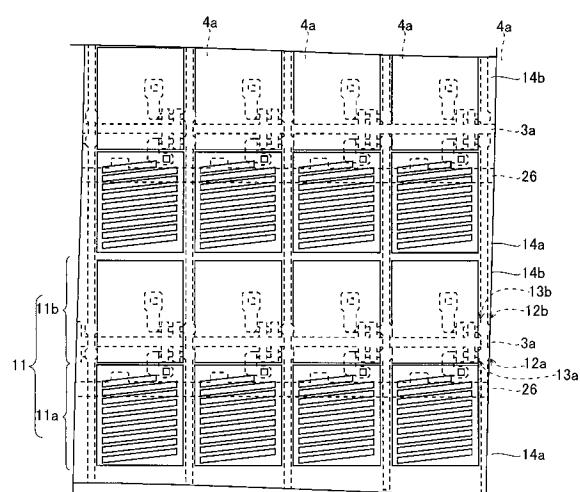
【図2】



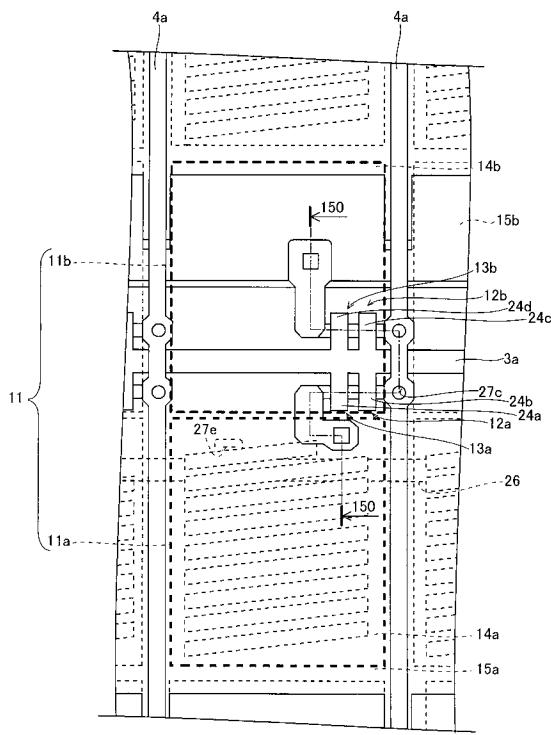
10

20

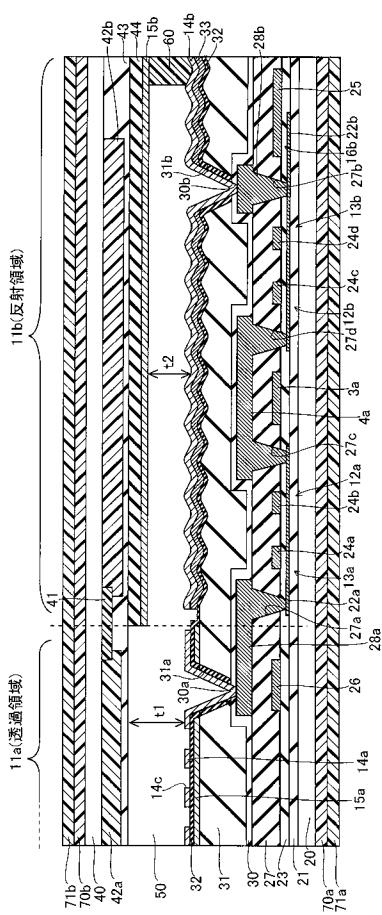
【図3】



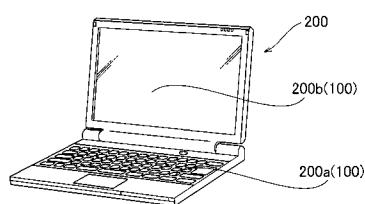
【図4】



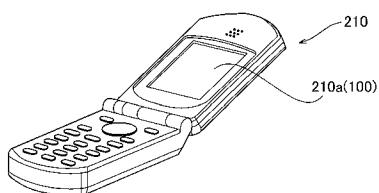
【図5】



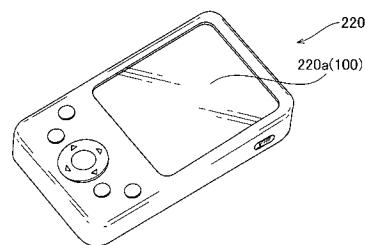
【図6】



【図7】



【図8】



フロントページの続き

F ターム(参考) 2H191 FA31Y GA04 GA19 LA40 NA10
5C094 AA06 AA10 BA03 BA43 CA19 DB10 EA05 EA06 ED11

专利名称(译)	液晶显示装置和电子设备		
公开(公告)号	JP2010197782A	公开(公告)日	2010-09-09
申请号	JP2009043560	申请日	2009-02-26
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	今尾和博		
发明人	今尾 和博		
IPC分类号	G02F1/1368 G02F1/1335 G02B5/08 G09F9/30		
FI分类号	G02F1/1368 G02F1/1335.520 G02B5/08.A G09F9/30.338		
F-TERM分类号	2H042/DA01 2H042/DA21 2H042/DA22 2H092/GA11 2H092/JA24 2H092/JA37 2H092/JA46 2H092/JB21 2H092/JB22 2H092/JB31 2H092/NA25 2H092/PA12 2H092/QA05 2H191/FA31Y 2H191/GA04 2H191/GA19 2H191/LA40 2H191/NA10 5C094/AA06 5C094/AA10 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB10 5C094/EA05 5C094/EA06 5C094/ED11 2H192/AA24 2H192/BB13 2H192/BC31 2H192/BC64 2H192/BC74 2H192/BC82 2H192/CB02 2H192/CB13 2H192/CC22 2H192/DA12 2H192/DA42 2H192/EA22 2H192/EA43 2H192/GD61 2H192/JA32 2H291/FA31Y 2H291/GA04 2H291/GA19 2H291/LA40 2H291/NA10		
代理人(译)	须泽 修 宮坂和彥		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于抑制透射率降低的液晶显示装置。
 ŽSOLUTION：该液晶显示装置100包括基板20和基板40，基板20和基板40具有像素11，像素11具有透射区域11a和反射区域11b，并且布置成夹持液晶50，用于透射显示的像素电极14a用于施加视频信号到液晶50和公共电极15a，用于传输显示，用于将用于传输显示的公共电位信号施加到液晶50，液晶50设置在基板20的透射区域11a中，以及用于传输的像素晶体管12a和13a显示器，用于控制向像素电极14a提供视频信号以进行传输显示。用于透射显示的像素晶体管12a和13a在平面图中布置在反射区域11b中。Ž

