

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-60962
(P2019-60962A)

(43) 公開日 平成31年4月18日(2019.4.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611E	5C006
G02F 1/133 (2006.01)	G09G 3/20 612D	5C080
H03K 17/0412 (2006.01)	G09G 3/20 642A	5H430
H03K 17/687 (2006.01)	G02F 1/133 520	5H730

審査請求 未請求 請求項の数 8 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2017-183760 (P2017-183760)
(22) 出願日 平成29年9月25日 (2017. 9. 25)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2-1番地
 (74) 代理人 110001195
 特許業務法人深見特許事務所
 (72) 発明者 田古部 勲
 京都府京都市右京区西院溝崎町2-1番地
 ローム株式会社内
 Fターム(参考) 2H193 ZA04 ZD23 ZF06
 5C006 AF54 BB16 BC03 BC13 BF25
 BF26 BF33 BF36 BF37 BF42
 FA16 FA22 FA23 FA31
 5C080 AA10 BB05 DD05 DD06 DD09
 DD12 JJ02 JJ03 JJ04

最終頁に続く

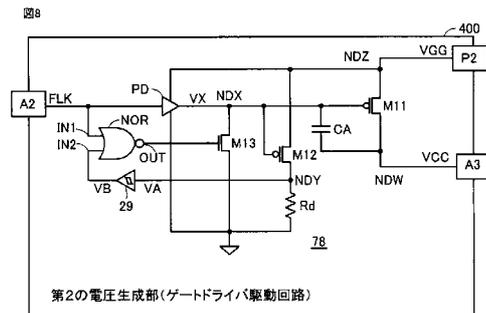
(54) 【発明の名称】 ゲートドライバ駆動回路および液晶表示装置

(57) 【要約】

【課題】 液晶パネルにちらつきが発生せず、かつ液晶パネルの表示が遅れることのないような電圧をゲートドライバに供給することができるゲートドライバ駆動回路、およびそのようなゲートドライバ駆動回路を備える液晶表示装置を提供する。

【解決手段】 プリドライバPDは、急峻な立上りまたは立下りエッジを有する制御信号に応答して、第1のノードNDXに駆動電圧VXを出力する。第1のトランジスタM11は、電源端子A3と、ゲートドライバが接続される出力端子P2との間に配置され、かつ第1のノードNDXに接続される制御電極を有する。第2のトランジスタM13は、第1のノードNDXとグランドとの間に配置される。制御回路79は、第1のノードNDXの電圧VXが第1のトランジスタM11をオンさせる電圧よりも高いときに、第2のトランジスタM13をオンさせる。

【選択図】 図8



【特許請求の範囲】**【請求項 1】**

急峻な立上りまたは立下りエッジを有する制御信号に応答して、第 1 のノードに駆動電圧を出力するブリドライバと、

電源端子と、ゲートドライバが接続される出力端子との間に配置され、かつ前記第 1 のノードに接続される制御電極を有する第 1 のトランジスタと、

前記第 1 のトランジスタの制御電極と前記出力端子との間に配置されたコンデンサと、

前記第 1 のノードとグランドとの間に配置される第 2 のトランジスタと、

前記第 2 のトランジスタの制御電極を制御する制御回路とを備え、

前記制御回路は、前記第 1 のノードの電圧が前記第 1 のトランジスタをオンさせる電圧よりも高いときに、前記第 2 のトランジスタをオンさせる、ゲートドライバ駆動回路。 10

【請求項 2】

前記制御回路は、前記第 1 のノードの電圧が前記第 1 のトランジスタをオンさせる電圧まで低下したときに、前記第 2 のトランジスタをオフさせる、請求項 1 記載のゲートドライバ駆動回路。

【請求項 3】

前記制御回路は、

前記出力端子と第 2 のノードとの間に配置され、かつ前記第 1 のノードに接続される制御電極を有する第 3 のトランジスタと、

前記第 2 のノードとグランドとの間に配置された抵抗とを含み、 20

前記第 2 のノードの電圧に応じて、前記第 2 のトランジスタの制御電極の電圧が変化する、請求項 2 記載のゲートドライバ駆動回路。

【請求項 4】

前記制御回路は、

前記制御信号を受ける第 1 の入力端子と、前記第 2 のノードの電圧を受ける第 2 の入力端子と、前記第 2 のトランジスタの制御電極と接続される出力端子とを有する論理回路を含む、請求項 3 記載のゲートドライバ駆動回路。

【請求項 5】

前記第 1 のトランジスタは、PMOS トランジスタであり、

前記第 2 のトランジスタは、NMOS トランジスタであり、 30

前記第 3 のトランジスタは、PMOS トランジスタである、請求項 4 記載のゲートドライバ駆動回路。

【請求項 6】

前記論理回路は、否定論理和回路である、請求項 5 記載のゲートドライバ駆動回路。

【請求項 7】

前記第 2 のノードと、前記論理回路の前記第 2 の入力端子との間に配置されるシュミットトリガ回路を備える、請求項 4 記載のゲートドライバ駆動回路。

【請求項 8】

液晶パネルと、

前記液晶パネルのデータ線を駆動するソースドライバと、 40

前記液晶パネルの走査線を駆動するゲートドライバと、

請求項 1 記載のゲートドライバ駆動回路とを備え、

前記ゲートドライバ駆動回路の前記出力端子から出力される電圧が前記複数のゲートドライバへ供給される、液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ゲートドライバ駆動回路および液晶表示装置に関する。

【背景技術】**【0002】**

10

20

30

40

50

近年、液晶パネルの大型化に伴って、走査線の寄生インピーダンスが大きくなってきている。その結果、液晶パネルの両端における走査信号の振幅の差が大きくなり、液晶パネルがちらつく（フリッカー）ことが問題となっている。このような問題に対して、ゲートシェーディング機能を備えた液晶表示装置が知られている。

【0003】

たとえば、特許文献1に記載の液晶表示装置では、ゲートドライバに供給するゲート電圧の波形に傾斜をつけることによって、ゲートドライバからの距離に起因する走査信号のなまりが均一化され、TFTのオン・オフのタイミングのずれが低減する。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開2015-166870号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に記載のようにゲート電圧の波形に傾斜をつける場合に、入力電圧または制御信号が変化した後直ぐに、ゲート電圧を傾斜させるのは難しく、傾斜させるのに遅延が生じる。その結果、TFTのオンするタイミングが遅れるため、液晶表示の表示が遅れる。

【0006】

20

それゆえに、本発明の目的は、液晶パネルにちらつきが発生せず、かつ液晶パネルの表示が遅れることのないような電圧をゲートドライバに供給することができるゲートドライバ駆動回路、およびそのようなゲートドライバ駆動回路を備える液晶表示装置を提供することである。

【課題を解決するための手段】

【0007】

本発明のゲートドライバ駆動回路は、急峻な立上りまたは立下りエッジを有する制御信号に応答して、第1のノードに駆動電圧を出力するプリアンプと、電源端子と、ゲートドライバが接続される出力端子との間に配置され、かつ第1のノードに接続される制御電極を有する第1のトランジスタと、第1のトランジスタの制御電極と出力端子との間に配置されたコンデンサと、第1のノードとグランドとの間に配置される第2のトランジスタと、第2のトランジスタの制御電極を制御する制御回路とを備える。制御回路は、第1のノードの電圧が第1のトランジスタをオンさせる電圧よりも高いときに、第2のトランジスタをオンさせる。

30

【0008】

好ましくは、制御回路は、第1のノードの電圧が第1のトランジスタをオンさせる電圧まで低下したときに、第2のトランジスタをオフさせる。

【0009】

好ましくは、制御回路は、出力端子と第2のノードとの間に配置され、かつ第1のノードに接続される制御電極を有する第3のトランジスタと、第2のノードとグランドとの間に配置された抵抗とを含む。第2のノードの電圧に応じて、第2のトランジスタの制御電極の電圧が変化する。

40

【0010】

好ましくは、制御回路は、制御信号を受ける第1の入力端子と、第2のノードの電圧を受ける第2の入力端子と、第2のトランジスタの制御電極と接続される出力端子とを有する論理回路を備える。

【0011】

好ましくは、第1のトランジスタは、PMOSトランジスタであり、第2のトランジスタは、NMOSトランジスタであり、第3のトランジスタは、PMOSトランジスタである。

50

【 0 0 1 2 】

好ましくは、論理回路は、否定論理和回路である。

好ましくは、第 2 のノードと、論理回路の第 2 の入力端子との間に配置されるシュミットトリガ回路を備える。

【 0 0 1 3 】

本発明の液晶表示装置は、液晶パネルと、液晶パネルの対応するデータ線を駆動するソースドライバと、液晶パネルの対応する走査線を駆動するゲートドライバと、ゲートドライバ駆動回路とを備える。ゲートドライバ駆動回路の出力端子から出力される電圧が複数のゲートドライバへ供給される。

【 発明の効果 】

10

【 0 0 1 4 】

本発明によれば、液晶パネルにちらつきが発生せず、かつ液晶パネルの表示が遅れることがないようにすることができる。

【 図面の簡単な説明 】

【 0 0 1 5 】

【 図 1 】 液晶表示装置の構成を表わす図である。

【 図 2 】 第 1 の電圧生成部（電圧レギュレータ）3 0 0 の構成を表わす図である。

【 図 3 】 誤差アンプ 1 2 の詳細な構成を表わす図である。

【 図 4 】 参考例の電流制限回路 1 3 a の構成を表わす図である。

【 図 5 】 第 2 の実施形態の電流制限回路 1 3 a の構成を表わす図である。

20

【 図 6 】 参考例のゲートドライバ駆動回路 4 0 0 の構成を表わす図である。

【 図 7 】 参考例のゲートドライバ駆動回路 4 0 0 における、制御信号 F L K、ノード N X の電圧 V X、および出力電圧 V G G の遷移を表わす図である。

【 図 8 】 第 3 の実施形態のゲートドライバ駆動回路 4 0 0 の構成を表わす図である。

【 図 9 】 第 3 の実施形態のゲートドライバ駆動回路 4 0 0 の制御信号 F L K、ノード N X の電圧 V X、および出力電圧 V G G の遷移を表わす図である。

【 図 1 0 】 シュミットトリガ回路 2 9 の特性を表わす図である。

【 図 1 1 】 参考例のスイッチング電源回路 5 0 0 の構成を表わす図である。

【 図 1 2 】 ドライバ制御部 3 1 の構成を表わす図である。

【 図 1 3 】 第 4 の実施形態のスイッチング電源回路 5 0 0 の構成を表わす図である。

30

【 図 1 4 】 通常時の 1 周期内のスイッチング信号 S W およびオン信号 O N のタイミングを表わす図である。

【 図 1 5 】 通常時のスイッチング信号 S W およびオン信号 O N のタイミングを表わす図である。

【 図 1 6 】 軽負荷時のスイッチング信号 S W およびオン信号 O N のタイミングを表わす図である。

【 図 1 7 】 無負荷時のスイッチング信号 S W およびオン信号 O N のタイミングを表わす図である。

【 図 1 8 】 シャットダウン時のスイッチング信号 S W およびオン信号 O N のタイミングを表わす図である。

40

【 図 1 9 】 第 4 の実施形態の変形例の第 3 の電圧生成部 5 0 0 の構成を表わす図である。

【 発明を実施するための形態 】

【 0 0 1 6 】

以下、本発明の実施の形態について、図面を用いて説明する。

〔 第 1 の実施形態 〕

図 1 は、液晶表示装置の構成を表わす図である。

【 0 0 1 7 】

液晶表示装置は、液晶モジュール 1 4 0 と、駆動基板 1 0 0 に搭載された駆動回路 1 2 0 とを備える。液晶モジュール 1 4 0 は、液晶パネル 7 0 0 と、ソース回路 9 0 0 と、ゲート回路 8 0 0 とを備える。駆動回路 1 2 0 は、タイミングコントローラ 6 0 0 と、電力

50

管理 IC 200 とを備える。

【0018】

液晶パネル 700 は、たとえば、アクティブマトリクス駆動方式のパネルである。液晶パネル 700 は、液晶物質が充填された複数の画素で構成されたパネルと、パネルの背面に配置されたガラス基板を備える。このガラス基板には、垂直方向に複数配列されて、それぞれ水平方向に伸びる走査線（たとえば、G1～G4）と、水平方向に複数配列されて、それぞれ垂直方向に伸びるデータ線（たとえば、S1～S4）とが配置されている。走査線とデータ線との交差点に対応して、TFT（Thin Film Transistor）（たとえば、1-a～1-d）を介して画素（たとえば、2-a～2-d）がマトリクス状に設けられている。

10

【0019】

ゲート回路 800 は、複数のゲートドライバ（たとえば、0-1～90-4）を備える。ゲートドライバ 90-i は、走査線 G-i に接続される。

【0020】

ソース回路 900 は、複数のソースドライバ（たとえば、91～91-4）と、制御回路 92 とを備える。ソースドライバ 91-i は、データ線 Si に接続される。

【0021】

電力管理 IC 200 は、入力電圧 VIN の供給を受けて動作し、各種の電圧を生成する。電力管理 IC 200 は、第 1 の電圧生成部（電圧レギュレータ回路）300 と、第 2 の電圧生成部（ゲートドライバ駆動回路）400 と、第 3 の電圧生成部（スイッチング電源回路）500 とを備える。

20

【0022】

第 1 の電圧生成部 300 は、ゲートドライバ駆動用の電圧 VGG を生成して、ゲートドライバ 90-1～90-4 に供給する。

【0023】

第 2 の電圧生成部 400 は、アナログ系電源電圧 AVDD を生成して、ソースドライバ 91-1～91-4 に供給する。

【0024】

第 3 の電圧生成部 500 は、ロジック系電源電圧 VDD を生成して、タイミングコントローラ 600 および制御回路 92 に供給する。

30

【0025】

タイミングコントローラ 600 は、ロジック系電源電圧 VDD の供給を受けて動作する。タイミングコントローラ 600 は、図示しないホスト装置から入力されるコマンドおよびデータに基づいて、ゲートドライバ（たとえば 90-1～90-4）の垂直同期制御、およびソースドライバ（たとえば 91-1～91-4）の水平同期制御などを行う。

【0026】

ゲートドライバ 90-i（たとえば、i=1～4）は、電圧 VGG の供給を受け、垂直同期信号に基づいて動作する。たとえば、ゲートドライバ 90-i は、電圧 VGG を受ける。ゲートドライバ 90-i は、電圧 VGG を電源電圧として利用して、ゲート電圧 GX を生成して、走査線 G-i に供給する。

40

【0027】

ソースドライバ 91-i（たとえば、i=1～4）は、アナログ系電源電圧 AVDD の供給を受け、水平同期信号に基づいて、動作する。たとえば、ソースドライバ 91-i は、アナログ系電源電圧 AVDD を用いてソースアンプを駆動することによって、ホスト装置から入力されるデジタルの映像信号の階調値（例えば 0～255 階調）に応じたソース電圧 Ssi を生成して、データ線 Si を通じて液晶パネル 700 の画素に供給する。

【0028】

制御回路 92 は、ロジック系電源電圧 VDD の供給を受けて動作する。制御回路 92 は、ソースドライバ 91-i（たとえば i=1～4）を制御する。

【0029】

50

[第 2 の実施形態]

第 2 の実施形態は、第 1 の電圧生成部（電圧レギュレータ回路）300の詳細な構成および動作に関する。具体的には、電流制限機能を有する電圧レギュレータについて説明する。

【0030】

図 2 は、第 1 の電圧生成部（電圧レギュレータ）300の構成を表わす図である。

第 1 の電圧生成部 300 は、基準電圧生成部 11 と、誤差アンプ 12 と、電流制限回路 13 a, 13 b と、PMOS トランジスタ M1 と、NMOS トランジスタ M2 と、帰還部 68 とを備える。

【0031】

基準電圧生成部 11 は、入力端子 A1 に入力される入力電圧 V_{IN} から基準電圧 V_{REF} を生成して、誤差アンプ 12 へ出力する。

【0032】

PMOS トランジスタ M1 は、入力端子 A1 と、出力端子 P1 と接続されるノード ND1 との間に配置される。

【0033】

帰還部 68 は、抵抗 R1 と抵抗 R2 とからなる。抵抗 R1 と抵抗 R2 の間のノード ND2 の電圧がフィードバック電圧 V_F として誤差アンプ 12 に供給される。フィードバック電圧 V_F は、出力端子 P1 から出力される出力電圧 V_{DD} の $R1 / (R1 + R2)$ である。これによって、出力電圧 V_{DD} の大きさがフィードバック電圧 V_F の大きさが基準電圧 V_{REF} の大きさに調整される。

【0034】

NMOS トランジスタ M2 は、ノード ND1 とグランド GND との間に配置される。NMOS トランジスタ M2 がオンすることによって、端子 P1 から入力された電流がグランドに流れる。

【0035】

誤差アンプ 12 は、PMOS トランジスタ M1 と NMOS トランジスタ M2 のオンおよびオフを制御する。

【0036】

電流制限回路 13 a は、PMOS トランジスタ M1 を流れる電流の増加を抑制する。電流制限回路 13 b は、NMOS トランジスタ M2 を流れる電流の増加を抑制する。

【0037】

図 3 は、誤差アンプ 12 の詳細な構成を表わす図である。

誤差アンプ 12 は、入力用差動増幅回路 14 と、出力用差動増幅回路 15 とを備える。

【0038】

入力用差動増幅回路 14 は、抵抗 R61, R62 と、NMOS トランジスタ N61, N62 と、定電流源 IS1 とを備える。

【0039】

抵抗 R61 は、入力電圧 V_{IN} を受ける端子 A1 とノード ND2 の間に配置される。抵抗 R62 は、入力電圧 V_{IN} を受ける端子 A1 とノード ND3 の間に配置される。

【0040】

NMOS トランジスタ N61 は、ノード ND2 とノード ND61 の間に配置される。NMOS トランジスタ N61 のゲートは、フィードバック電圧 V_F を受ける。NMOS トランジスタ N62 は、ノード ND3 とノード ND61 の間に配置される。NMOS トランジスタ N62 のゲートは、基準電圧 V_{REF} を受ける。定電流源 IS1 は、ノード ND61 とグランド GND の間に配置される。

【0041】

出力用差動増幅回路 15 は、PMOS トランジスタ P61, P62, P63 と、NMOS トランジスタ N63, N65, N66 とを備える。

【0042】

10

20

30

40

50

PMOSトランジスタP61は、ノードND2と、ノードND9との間に配置される。
PMOSトランジスタP61のゲートは、電圧BIASを受ける。

【0043】

PMOSトランジスタP62は、ノードND3と、ノードND4との間に配置される。
PMOSトランジスタP62のゲートは、電圧BIASを受ける。

【0044】

PMOSトランジスタP63は、ノードND4とノードND565の間に配置される。
PMOSトランジスタP63のゲートは、電圧BIAS2を受ける。

【0045】

PMOSトランジスタP64は、ノードND4とノードND565の間に配置される。
PMOSトランジスタP64のゲートは、電圧BIAS3を受ける。

【0046】

NMOSトランジスタN65は、ノードND9とグラウンドGNDとの間に配置される。
NMOSトランジスタN66は、ノードND65とグラウンドGNDとの間に配置される。
NMOSトランジスタN65のゲートおよびドレインと、NMOSトランジスタN66のゲートとが接続される。

【0047】

ノードND4は、PMOSトランジスタM1のゲートに接続される、ノードND65は、PMOSトランジスタM2のゲートに接続される。

【0048】

(参考例の電流制限回路)

図4は、参考例の電流制限回路13aの構成を表わす図である。

【0049】

参考例の電流制限回路13aは、PMOSトランジスタM3と、抵抗RAと、PNPトランジスタQとを備える。

【0050】

抵抗RAは、入力電圧VINを受ける入力端子A1とノードND10との間に配置される。PMOSトランジスタM3は、ノードND10とノードND1の間に配置される。PMOSトランジスタM1のゲートとPMOSトランジスタM3のゲートが、ノードND4に接続される。PNPトランジスタQ1は、入力電圧VINを受ける入力端子A1とノードND4の間に配置される。PNPトランジスタQ1のベースが、ノードND10に接続される。

【0051】

(参考例の電流制限回路の動作)

PMOSトランジスタM1のゲートとPMOSトランジスタM3のゲートとが接続され、PMOSトランジスタM1のドレインとPMOSトランジスタM3のドレインとが接続されているので、PMOSトランジスタM1を流れる電流が増加すると、PMOSトランジスタM3を流れる電流も増加する。PMOSトランジスタM1のサイズに対して、PMOSトランジスタM3のサイズがK倍とすると、PMOSトランジスタM1を流れる電流をI1としたときに、PMOSトランジスタM3を流れる電流I2は、 $K \times I1$ となると見込まれる。

【0052】

したがって、I1が増加すると、ノードND10の電位が低下する。PNPトランジスタQ1のベース・エミッタ間電圧が増加し、PNPトランジスタQ1のオン抵抗が低下する。その結果、PMOSトランジスタM1のゲート電圧であるノードND4の電位の低下が抑制されるので、PMOSトランジスタM1の電流の増加が抑制される。

【0053】

(参考例の電流制限回路の問題点)

抵抗RAに電流I2が流れることによって、PMOSトランジスタM3のソース電位(ノードND10の電位)は、PMOSトランジスタM1のソースの電位よりも低くなる。

10

20

30

40

50

その結果、電流 I_2 は、 $K \times I_1$ からずれる場合が発生し、PMOSトランジスタ M_3 によって、PMOSトランジスタ M_1 を流れる電流 I_1 を正しくモニタすることができなくなる。特に抵抗 R_A が大きい場合に問題となる。

【0054】

(第2の実施形態の電流制限回路)

図5は、第2の実施形態の電流制限回路13aの構成を表わす図である。

【0055】

第2の実施形態の電流制限回路13aは、PMOSトランジスタ M_{30} と、PNPトランジスタ Q_2 と、可変抵抗 R_B と、PMOSトランジスタ M_4 , M_5 と、NMOSトランジスタ M_6 , M_7 と、定電流源 I_{S2} とを備える。

10

【0056】

PMOSトランジスタ M_{30} のサイズは、PMOSトランジスタ M_1 のサイズの K_1 倍である。PMOSトランジスタ M_5 のサイズは、PMOSトランジスタ M_5 のサイズの K_1 倍である。NMOSトランジスタ M_7 のサイズは、NMOSトランジスタ M_6 のサイズの K_2 倍である。

【0057】

PMOSトランジスタ M_{30} は、入力電圧 V_{IN} を受ける入力端子 A_1 とノード ND_{11} との間に配置される。

【0058】

抵抗 R_B は、入力電圧 V_{IN} を受ける入力端子 A_1 とノード ND_{12} の間に配置される。

20

【0059】

PNPトランジスタ Q_2 は、入力電圧 V_{IN} を受ける入力端子 A_1 とノード ND_4 の間に配置される。PNPトランジスタ Q_2 のベースが、ノード ND_{12} に接続される。

【0060】

NMOSトランジスタ M_7 は、ノード ND_{12} とグランド GND との間に配置される。ノード ND_{11} とグランド GND との間に、PMOSトランジスタ M_5 とNMOSトランジスタ M_6 とが直列に接続される。

【0061】

ノード ND_1 とグランド GND との間に、PMOSトランジスタ M_4 と定電流源 I_{S2} とが直列に接続される。

30

【0062】

PMOSトランジスタ M_4 のゲートとPMOSトランジスタ M_5 のゲートとが接続され、PMOSトランジスタ M_4 のゲートとドレインとが接続される。PMOSトランジスタ M_4 とPMOSトランジスタ M_5 とがカレントミラー回路 CM_1 を構成する。

【0063】

カレントミラー回路 CM_1 が、PMOSトランジスタ M_4 を流れる電流 I_1 を複製することによって、PMOSトランジスタ M_5 には、複製された電流 I_2 が流れる。電流 I_2 は、 $K_1 \times I_1$ である。

【0064】

NMOSトランジスタ M_6 のゲートと、NMOSトランジスタ M_7 のゲートとが接続され、NMOSトランジスタ M_6 のゲートとドレインとが接続される。NMOSトランジスタ M_6 とNMOSトランジスタ M_7 とがカレントミラー回路 CM_2 を構成する。

40

【0065】

カレントミラー回路 CM_2 が、PMOSトランジスタ M_{30} 、PMOSトランジスタ M_4 、およびNMOSトランジスタ M_6 を流れる電流 I_2 を複製することによって、PMOSトランジスタ M_7 には、複製された電流 I_3 が流れる。電流 I_3 は、 $K_2 \times I_2$ である。

【0066】

(第2の実施形態の電流制限回路の動作)

50

PMOSトランジスタM1のゲートとPMOSトランジスタM3のゲートとが接続され、PMOSトランジスタM1のソースとPMOSトランジスタM3のソースとが接続されているので、PMOSトランジスタM1を流れる電流が増加すると、PMOSトランジスタM3を流れる電流も増加する。PMOSトランジスタM1のサイズに対して、PMOSトランジスタM3のサイズがK1倍なので、PMOSトランジスタM1を流れる電流をI1としたときに、PMOSトランジスタM3を流れる電流I2は $K1 \times I1$ となると見込まれる。

【0067】

PMOSトランジスタM6のサイズに対して、PMOSトランジスタM7のサイズがK2倍なので、カレントミラー回路CM2によって、PMOSトランジスタM7を流れる電流I3は、 $K2 \times I2 (= K2 \times K1 \times I1)$ となる。

10

【0068】

電流I1が増加すると電流I2が増加し、電流I2が増加すると電流I3が増加する。電流I3が増加すると、ノードND12の電位が低下する。PNPトランジスタQ2のベース・エミッタ間電圧が増加し、PNPトランジスタQ2のオン抵抗が低下する。その結果、PMOSトランジスタM1のゲート電圧であるノードND4の電位の低下が抑制されるので、PMOSトランジスタM1の電流の増加が抑制される。

【0069】

本実施の形態では、PMOSトランジスタM1のドレインと、PMOSトランジスタM3のドレインとが接続されていないので、PMOSトランジスタM1のドレインの電位と、PMOSトランジスタM3のドレインの電位が等しくならず、電流I2が $K \times I1$ にならない場合がある。カレントミラー回路CM1によって、PMOSトランジスタM1のドレインの電位と、PMOSトランジスタM3のドレインの電位とが同じとなり、電流 $I2 = K1 \times I1$ を確保できる。

20

【0070】

また、可変抵抗RBの抵抗値を調整することによって、PMOSトランジスタM1を流れる電流I1の上限値を調整することができる。抵抗R1および抵抗R2の大きさは、タイミングコントローラ600からの信号によって調整可能である。

【0071】

なお、可変抵抗RBの代わりに、抵抗値が固定の抵抗を用いてもよい。

30

カレントミラー回路CM1がなくても、PMOSトランジスタM1のドレインの電位と、PMOSトランジスタM3のドレインの電位との差が小さくて、問題とならない場合には、カレントミラー回路CM1を省略することもできる。

【0072】

以上のように、本実施の形態によれば、PMOSトランジスタM1に流れる電流を正しくモニタして、負荷に突入電流が流れるのを制限することができる。

【0073】

[第3の実施形態]

本実施の形態は、第2の電圧生成部400(ゲートドライバ駆動回路)の詳細な構成および動作に関する。具体的には、ゲートシェーディング機能を有するゲートドライバ制御回路について説明する。

40

【0074】

(参考例のゲートドライバ駆動回路)

図6は、参考例のゲートドライバ駆動回路400の構成を表わす図である。

【0075】

参考例のゲートドライバ駆動回路400は、プリドライバPDと、PMOSトランジスタM11と、コンデンサCAとを備える。

【0076】

入力端子A2は、急峻な立上り部分および急峻な立ち下がり部分を有し、周期的に変化する制御信号FLKを受ける。この制御信号FLKは、たとえば、タイミングコントロー

50

ラ 6 0 0 で生成され、垂直同期信号に同期した信号である。

【 0 0 7 7 】

プリドライバ P D は、P M O S トランジスタ M 1 1 を駆動するために、制御信号 F L K に応答し、ノード N D X に電圧 V X を出力する。

【 0 0 7 8 】

P M O S トランジスタ M 1 1 は、電力管理 I C 2 0 0 で生成される電源電圧 V C C を受ける電源端子 A 3 と接続されるノード N D W と、ゲートドライバ 9 0 - 1 ~ 9 0 - 4 と接続される出力端子 P 2 と接続されるノード N D Z との間に配置される。

【 0 0 7 9 】

P M O S トランジスタ M 1 1 のゲートは、ノード N D X に接続され、電圧 V X を受ける。電圧 V X の大きさが小さくなると、P M O S トランジスタ M 1 1 がオンとなり、ノード N D Z の出力電圧 V G G の大きさが大きくなる。

【 0 0 8 0 】

コンデンサ C A は、ノード N D X と、ノード N D W との間に配置される。

図 7 は、参考例のゲートドライバ駆動回路 4 0 0 における、制御信号 F L K 、ノード N X の電圧 V X 、および出力電圧 V G G の遷移を表わす図である。

【 0 0 8 1 】

図 7 において、プリドライバ P D の駆動能力が高いときの電圧 V X および V G G を実線で示し、プリドライバ P D の駆動能力が低いときの電圧 V X および V G G を破線で示す。

【 0 0 8 2 】

まず、プリドライバ P D の駆動能力が高いときの動作を説明する。

時刻 t_0 において、制御信号 F L K がロウレベルに立ち下がると、プリドライバ P D によって、ノード N D X の電圧 V X が低下する。プリドライバ P D は、急激に電圧 V X を立ち下げることができないため、電圧 V X は、傾き $K_1 X$ で P M O S トランジスタ M 1 1 の閾値電圧 V_{th} まで低下する。

【 0 0 8 3 】

時刻 t_1 において、電圧 V X は、P M O S トランジスタ M 1 1 の閾値電圧 V_{th} まで低下する。このタイミングで、P M O S トランジスタ M 1 1 がオンし、出力電圧 V G G の減少が開始される。

【 0 0 8 4 】

その後、コンデンサ C A の働きによって、電圧 V X は、一定時間だけ閾値電圧 V_{th} を維持する。この間、出力電圧 V G G が傾き $K_1 O$ で減少する。

【 0 0 8 5 】

時刻 t_3 のタイミングにおいて、プリドライバ P D によって、電圧 V X が再び傾き $K_1 X$ で低下し始める。このタイミングで、出力電圧 V G G が最小値に達する。

【 0 0 8 6 】

時刻 t_4 において、電圧 V X が最小値に達する。

以上のように、制御信号 F L K の立下りのタイミングから $T_1 (= t_1 - t_0)$ 時間経過後に、出力電圧 V G G は一定の傾き $K_1 O$ で減少する。

【 0 0 8 7 】

電圧 V G G は、ゲートドライバ 9 0 - 1 ~ 9 0 - 4 に供給される。

たとえば、ゲートドライバ 9 0 - 1 は、電圧 V G G を受ける。ゲートドライバ 9 0 - i は、電圧 V G G を電源電圧として利用して、ゲート電圧 G X を生成して、走査線 G - 1 へ供給する。ゲート電圧 G X の外形は、電圧 V G G の外形と同じである。

【 0 0 8 8 】

ある時刻において、T F T 1 - a のゲートに供給される電圧が V_a であるとする。走査線 G - 1 に寄生容量が存在しない理想的な状態の場合に、T F T 1 - b , 1 - c , 1 - d のゲートには、 V_b , V_c , V_d の電圧が与えられるとする。ここで、 $V_b = 2 \times V_a$ 、 $V_c = 3 \times V_a$ 、 $V_d = 4 \times V_a$ とする。ゲートドライバ 9 0 - 1 と、T F T 1 - a , 1 - b , 1 - c , 1 - d との距離が、 D_1 、 $D_2 (= 2 \times D_1)$ 、 $D_3 (= 3 \times D_1)$ 、 D

10

20

30

40

50

4 (= 4 × D 1) とする。

【 0 0 8 9 】

走査線 G - 1 の寄生容量によって、T F T 1 - b、T F T 1 - c、T F T 1 - d に与えられる電圧が理想的な状態の 1 / 2、1 / 3、1 / 4 になるとする。これにより、T F T 1 - a ~ 1 - d のゲートは、あり時刻において、すべて同じ大きさの電圧を受けて、オン状態となることとができる。これによって、液晶パネル 7 0 0 の走査線方向において、T F T がオンとなるタイミングがずれることがないので、液晶パネル 7 0 0 に輝度ムラが発生するのを防止できる。

【 0 0 9 0 】

以上のように、制御信号 F L K の立下りをトリガとして、一定の傾きで減少する電圧 V G G を生成することによって、輝度ムラを防止できる。よって、参考例のゲートドライバ駆動回路 4 0 0 もゲートシェーディング機能を有する。 10

【 0 0 9 1 】

しかしながら、制御信号 F L K の立下りのタイミングから遅延して出力電圧 V G G が減少を開始するため、液晶パネル 7 0 0 の T F T が制御信号 F L K の立下りからすぐにオンとならず、液晶パネル 7 0 0 の表示が遅れることになる。

【 0 0 9 2 】

次に、プリドライバ P D の駆動能力が低いときの動作を説明する。

時刻 t 0 において、制御信号 F L K がロウレベルに立ち下ると、プリドライバ P D によって、ノード N D X の電圧 V X が低下する。プリドライバ P D によって、電圧 V X は、傾き K 2 X で P M O S トランジスタ M 1 1 の閾値電圧 V t h まで低下する。 20

【 0 0 9 3 】

時刻 t 2 において、電圧 V X が、P M O S トランジスタ M 1 1 の閾値電圧 V t h まで低下する。このタイミングで、P M O S トランジスタ M 1 1 がオンし、出力電圧 V G G の減少が開始される。

【 0 0 9 4 】

その後、コンデンサ C A の働きによって、電圧 V X は、一定時間だけ、閾値電圧 V t h を維持する。この間、出力電圧 V G G が傾き K 2 0 で減少する。

【 0 0 9 5 】

時刻 t 4 のタイミングによって、プリドライバ P D によって、電圧 V X が再び傾き K 2 X で低下し始める。このタイミングで、出力電圧 V G G が最小値に達する。 30

【 0 0 9 6 】

時刻 t 5 において、電圧 V X が最小値に達する。

以上のように、制御信号 F L K の立下りのタイミングから T 2 (= t 2 - t 0) 時間経過後に、出力電圧 V G G は一定の傾き K 2 0 で減少する。

【 0 0 9 7 】

プリドライバ P D の駆動能力を低くすることによって、制御信号 F L K の立下りをトリガとして、より小さな傾きで減少する電圧 V G G を生成することができる。しかしながら、出力電圧 V G G が減少を開始する時刻の遅れも増加する。したがって、プリドライバ P D の駆動能力を下げると、液晶パネル 7 0 0 の表示の遅れが増加することになる。 40

【 0 0 9 8 】

(第 3 の実施形態のゲートドライバ駆動回路)

図 8 は、第 3 の実施形態のゲートドライバ駆動回路 4 0 0 の構成を表わす図である。

【 0 0 9 9 】

ゲートドライバ駆動回路 4 0 0 は、プリドライバ P D と、P M O S トランジスタ M 1 1 と、コンデンサ C A と、N M O S トランジスタ M 1 3 と、制御回路 7 8 とを備える。

【 0 1 0 0 】

入力端子 A 2 は、参考例と同様に、急峻な立上り部分および急峻な立ち下り部分を有し、周期的に変化する制御信号 F L K を受ける。

【 0 1 0 1 】

プリドライバPDは、参考例と同様に、PMOSトランジスタM11を駆動するために、制御信号FLKに応答し、ノードNDXに電圧VXを出力する。

【0102】

PMOSトランジスタM11は、参考例と同様に、電源電圧VCCを受ける電源端子A3と接続されるノードNDWと、ゲートドライバ90-1~90-4と接続される出力端子P2と接続されるノードNDZとの間に配置される。

【0103】

PMOSトランジスタM11のゲートは、ノードNDXに接続され、電圧VXを受ける。電圧VXの大きさが小さくなると、PMOSトランジスタM11がオンとなり、ノードNDZの出力電圧VGGの大きさが大きくなる。

10

【0104】

コンデンサCAは、ノードNDXと、ノードNDWとの間に配置される。

NMOSトランジスタM13は、ノードNDXと、グラウンドGNDとの間に配置される。NMOSトランジスタM13のゲートは、制御回路78によって制御される。

【0105】

制御回路78は、ノードNDXの電圧がPMOSトランジスタM11をオンさせる閾値電圧Vthよりも大きいときに、NMOSトランジスタM13のゲートにハイレベルの電圧を与えることによって、NMOSトランジスタM13をオンさせる。これによって、ノードNDXの電圧を急激に低下させることができる。制御回路78は、ノードNDXの電圧がPMOSトランジスタM11をオンさせる閾値電圧Vrhまで低下したときに、NMOSトランジスタM13のゲートにロウレベルの電圧を与えることによって、NMOSトランジスタM13をオフさせる。これによって、NMOSトランジスタM13を介したノードNDXの電圧の制御が終了し、プリドライバPDによるノードNDXの電圧の制御が行われる。

20

【0106】

制御回路78は、否定論理和回路NORと、PMOSトランジスタM12と、抵抗Rdと、シュミットトリガ回路29とを備える。

【0107】

否定論理和回路NORは、制御信号FLKを受ける入力端子IN1と、シュミットトリガ回路29の出力を受ける入力端子IN2と、NMOSトランジスタM13と接続される出力端子OUTを有する。

30

【0108】

PMOSトランジスタM12は、ノードNDZとノードNDYとの間に配置される。PMOSトランジスタM12のゲートは、ノードNDXと接続される。

【0109】

抵抗Rdは、ノードNDYと、グラウンドGNDとの間に配置される。

PMOSトランジスタM11の閾値電圧とPMOSトランジスタM12の閾値電圧は、いずれもVthであるとする。

【0110】

シュミットトリガ回路29は、ノードNDYの電圧VAを受けて、否定論理和回路NORの入力端子IN2に電圧VBを出力する。

40

【0111】

図9は、第3の実施形態のゲートドライバ駆動回路400の制御信号FLK、ノードNDXの電圧VX、および出力電圧VGGの遷移を表わす図である。

【0112】

時刻t0において、制御信号FLKがロウレベルに立ち下がる。このタイミングでは、否定論理和回路NORに入力される制御信号FLKがロウレベル、シュミットトリガ回路29の出力がロウレベルなので、否定論理和回路NORの出力がハイレベルとなる。よって、NMOSトランジスタM13がオンとなり、ノードNDXの電圧VXが急激にPMOSトランジスタM11の閾値電圧Vthまで低下する。この状態では、参考例と同様に、

50

ブリドライバPDもノードNDXの電圧VXを緩やかに低下させようとするが、NMOSTランジスタM13の寄与が支配的である。また、このタイミングで、PMOSTランジスタM11がオンし、出力電圧VGGの減少が開始される。

【0113】

ノードNDXの電圧が閾値電圧Vthまで低下すると、PMOSTランジスタM12もオンとなり、ノードNDYの電圧は、上昇する。その結果、シュミットリガ回路29の出力がハイレベルに変化して、否定論理和回路NORの出力がロウレベルとなって、NMOSTランジスタM13がオフとなる。

【0114】

その後、ブリドライバPDおよびコンデンサCAの働きによって、電圧VXは、一定時間だけ、閾値電圧Vthを維持する。この間、出力電圧VGGが傾きK30で減少する。

【0115】

時刻t6のタイミングで、ブリドライバPDによって、電圧VXが再び傾きK3Xで低下し始める。このタイミングで、出力電圧VGGが最小値に達する。

【0116】

本実施の形態では、制御信号FLKの立下りのタイミングから遅延なしで、出力電圧VGGは一定の傾きK30で減少する。

【0117】

参考例と同様に、電圧VGGは、ゲートドライバ90-1~90-4に供給される。

走査線G-1の寄生容量によって、TFT1-b、TFT1-c、TFT1-dに与えられる電圧が理想的な状態の1/2、1/3、1/4になるとする。これにより、TFT1-a~1-dのゲートは、ある時刻において、すべて同じ大きさの電圧を受けて、オンとなる。その結果、液晶パネル700の走査線方向において、TFTがオンとなるタイミングがずれることがない。

【0118】

さらに、本実施の形態では、制御信号FLKの立下りのタイミングから遅延せずに、出力電圧VGGが減少を開始するため、液晶パネル700のTFTが制御信号FLKの立下りからすぐにオンとなり、液晶パネル700の表示が遅れるのが防止できる。

【0119】

図10は、シュミットリガ回路29の特性を表わす図である。

ノードNDYの電圧VAが上昇するときには、閾値VHを超えたときに、出力電圧VBがハイレベルとなる。ノードNDYの電圧VAが減少するときには、閾値VLよりも小さくなったときに、出力電圧VBがロウレベルとなる。これにより、ノードNDYの電圧VAのノイズによるゆらぎを除去することができるので、誤動作を防止できる。

【0120】

以上のように、本実施の形態によれば、NMOSTランジスタM13および制御回路78を設けることによって、液晶パネルにちらつきが発生せず、かつ液晶パネルの表示が遅れることのないような電圧をゲートドライバ駆動回路に供給できる。

【0121】

[第4の実施形態]

本実施の形態は、第3の電圧生成部(スイッチング電源回路)500の詳細な構成および動作に関する。具体的には、部品の音鳴りを防止する機能を備えたスイッチング電源回路について説明する。

【0122】

(参考例のスイッチング電源回路)

図11は、参考例のスイッチング電源回路500の構成を表わす図である。

【0123】

参考例のスイッチング電源回路500は、非同期整流DC-DC回路35と、ドライバ制御部31と、ディスチャージ制御部32とを備える。

【0124】

10

20

30

40

50

非同期整流DC - DC回路35は、第1のスイッチング素子であるPMOSトランジスタM21と、抵抗RCと、NMOSトランジスタM22と、チョークコイルLAと、ダイオードDAと、平滑コンデンサCBとを備える。

【0125】

PMOSトランジスタM21は、入力電圧VINを受ける入力端子A4と、ノードNXの間に配置される。PMOSトランジスタ21のゲートは、ドライバ制御部31に接続される。PMOSトランジスタM21のゲートは、ドライバ制御部31からのスイッチング信号SWを受ける。

【0126】

チョークコイルLAは、ノードNXと、出力端子P3と接続されるノードNYの間に配置される。出力端子P3は、負荷LDに接続される。負荷LDは、具体的には、タイミングコントローラ600および制御回路92である。

【0127】

コンデンサCBは、ノードNYとグラウンドGNDとの間に配置される。

ダイオードDAは、ノードNXとグラウンドGNDとの間に配置される。ダイオードDAのアノードがグラウンドGNDと接続し、ダイオードDAのカソードがノードNXに接続される。

【0128】

抵抗RCは、ノードNXとノードNZの間に配置される。

NMOSトランジスタM22は、ノードNZとグラウンドGNDとの間に配置される。NMOSトランジスタM22のゲートは、ディスチャージ制御部32に接続される。NMOSトランジスタM22のゲートは、ディスチャージ制御部32からディスチャージ信号DSCを受ける。

【0129】

スイッチング素子であるPMOSトランジスタM21がオン状態であるときに、入力端子A4から出力端子P3に流れる電流によりチョークコイルLAにエネルギーが蓄えられる。PMOSトランジスタM21がオン状態からオフ状態となったときに、チョークコイルLAは蓄えたエネルギーを放出して、電流変化を妨げる向きに起電力が発生して誘導電流を流すことにより直流電流が得られる。この直流電流がコンデンサCBで平滑化されて出力端子P3に出力される。

【0130】

ディスチャージ制御部32は、電源をオフするときに、シャットダウン信号SDWを受けて、ディスチャージ信号DSCをハイレベルにすることによってNMOSトランジスタM22をオンにする。これによって、コンデンサCBに蓄えられた電荷を放電される。NMOSトランジスタM22は、電流を引き抜く動作をするため、サイズの大きなものが用いられる。

【0131】

図12は、ドライバ制御部31の構成を表わす図である。

ドライバ制御部31は、分圧抵抗R11, R12と、基準電圧生成部34と、過電圧閾値制御部38と、誤差増幅器36と、過電圧検出器37と、PWM(Pulse Width Modulation)信号生成回路39とを備える。

【0132】

分圧抵抗R11及び分圧抵抗R10は、ノードNYの電圧VDDを分圧して、フィードバック電圧VBを生成する。

【0133】

基準電圧生成部34は、入力電圧VINから基準電圧VREFを生成して、誤差増幅器36および過電圧検出器37へ出力する。

【0134】

誤差増幅器36は、フィードバック電圧VBと基準電圧VREFとの差を増幅した誤差電圧VEAを出力する。

10

20

30

40

50

【 0 1 3 5 】

過電圧閾値制御部 3 8 は、基準電圧 V_{REF} を受けて、基準電圧 V_{REF} よりも V だけ大きな閾値電圧 V_{REF2} を出力する。

【 0 1 3 6 】

過電圧検出器 3 7 は、フィードバック電圧 V_B が閾値電圧 V_{REF2} 以下のときにはロウレベルのスキップ信号 S_K を出力し、フィードバック電圧 V_B が閾値電圧 V_{REF2} を超えるときにはハイレベルのスキップ信号 S_K を出力する。

【 0 1 3 7 】

通常時には、フィードバック電圧 V_B は、閾値電圧 V_{REF2} を超えることがないので、過電圧検出器 3 7 から出力されるスキップ信号 S_K がロウレベルとなる。

10

【 0 1 3 8 】

PWM 信号生成回路 3 9 は、スキップ信号 S_K がロウレベルのときには、一定の周期ごとに、スイッチング素子である PMOS トランジスタ M_{21} を駆動する。すなわち、PWM 信号生成回路 3 9 は、誤差電圧 V_{EA} が 0 から設定電圧 T_H に達するまでの間は、オン時間を最小オン時間に維持する。PWM 信号生成回路 3 9 は、誤差電圧 V_{EA} が設定電圧 T_H を超えるときには、誤差電圧 V_{EA} の増加に正比例してオン時間を増加させる。PWM 信号生成回路 3 9 は、オン時間に基づいて、スイッチング信号 S_W を生成する。PWM 信号生成回路 3 9 は、オン時間が最小オン時間に設定されたときに、パルス幅が最小のスイッチング信号 S_W を生成する。PWM 信号生成回路 3 9 は、オン時間が最小オン時間を超えるときには、オン時間の増加とともに、スイッチング信号 S_W のパルス幅も増加させる。

20

【 0 1 3 9 】

軽負荷時および無負荷時には、出力電圧 V_{DD} が上昇する。出力電圧 V_{DD} が上昇すると、フィードバック電圧 V_B も上昇して、閾値電圧 V_{REF2} を超える。これによって、過電圧検出器 3 7 から出力されるスキップ信号 S_K がハイレベルとなる。PWM 信号生成回路 3 9 は、スキップ信号 S_K がハイレベルの間、スイッチング動作をスキップする。すなわち、スイッチング信号 S_W のパルスをスキップする。これによって、スイッチング損失を低減させるとともに、出力電圧 V_{DD} の上昇を防止することができる。

【 0 1 4 0 】

軽負荷時および無負荷時において、パルススキップの結果、スイッチング信号 S_W の周波数である PMOS トランジスタ M_{21} のスイッチング周波数が、可聴域 ($20\text{ Hz} \sim 20\text{ kHz}$) まで低下すると、スイッチング電源回路 5 0 0 を構成する部品が音鳴りする現象が発生する。参考例のスイッチング電源回路 5 0 0 には、このような音鳴りの問題がある。

30

【 0 1 4 1 】

(第 4 の実施形態のスイッチング電源回路)

図 1 3 は、第 4 の実施形態のスイッチング電源回路 5 0 0 の構成を表わす図である。

【 0 1 4 2 】

第 4 の実施形態のスイッチング電源回路 5 0 0 は、参考例の構成要素に加えて、第 2 のスイッチング素子である NMOS トランジスタ M_{23} と、ディスチャージ制御部 3 3 とを備える。

40

【 0 1 4 3 】

NMOS トランジスタ M_{23} は、ノード N_Z とグランド GND との間に NMOS トランジスタ M_{22} と並列に配置される。

【 0 1 4 4 】

ディスチャージ制御部 3 3 は、PMOS トランジスタ M_{21} がオフの期間に、NMOS トランジスタ M_{23} をオンにするためのオン信号 ON を出力する。オン信号 ON がハイレベルとなって、NMOS トランジスタ M_{23} がオンとなると、コンデンサ C_B に蓄えられた電荷を放電される。これによって、出力電圧 V_{DD} の増加が抑制されて、パルススキップが起こらないようにすることができる。

50

【0145】

ただし、NMOSトランジスタM23を通じて、少量の電流だけが流れるように、NMOSトランジスタM23のサイズは、NMOSトランジスタM22のサイズよりも小さいものとする。

【0146】

図14は、通常時の1周期内のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【0147】

図14に示すように、ドライバ制御部31は、周期Tの内部クロックCLKがオフの期間のいずれかに、第1のスイッチング素子であるPMOSトランジスタM21をオンにするために、スイッチング信号SWをロウレベルに活性化する。

【0148】

ディスチャージ制御部33は、周期Tの内部クロックCLKがオンの期間に、第2のスイッチング素子であるNMOSトランジスタM23をオンにするために、オン信号ONをハイレベルに活性化する。

【0149】

図15は、通常時のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【0150】

通常時には、フィードバック電圧VBが閾値電圧VREF2を超えないので、パルススキップが発生しない。ドライバ制御部31は、内部クロックCLKの周期ごとに、第1のスイッチング素子であるPMOSトランジスタM21がオンおよびオフするようにスイッチング信号SWを変化させる。

【0151】

ディスチャージ制御部33は、内部クロックCLKの周期ごとに、第2のスイッチング素子であるNMOSトランジスタM23がオンおよびオフするようにオン信号ONを変化させる。

【0152】

図16は、軽負荷時のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【0153】

軽負荷時には、誤差電圧VEAが小さくなるため、スイッチング信号SWのパルス幅が小さくなる。また、軽負荷時には、フィードバック電圧VBが閾値電圧VREF2を超えるので、パルススキップが発生する。その結果、スイッチング周期が大きくなる。

【0154】

しかし、NMOSトランジスタM23によって、コンデンサCBに蓄積された電荷の放電が行われる。これによって、スイッチング信号SWの周波数であるPMOSトランジスタM21のスイッチング周波数が、可聴域(20Hz~20kHz)まで低下するのを防止できるので、スイッチング電源回路500を構成する部品から音鳴りが発生しないようにすることができる。

【0155】

図17は、無負荷時のスイッチング信号SWおよびオン信号ONのタイミングを表わす図である。

【0156】

無負荷時においても、軽負荷時と同様に、フィードバック電圧VBが閾値電圧VREF2を超えるので、パルススキップが発生する。ただし、無負荷時でも、電流の漏れ成分の影響などによって、完全にパルスが消失しない場合がある。そのような場合には、軽負荷時と同様に、スイッチング周期が大きくなる。しかし、このような場合でも、NMOSトランジスタM23によって、コンデンサCBに蓄積された電荷の放電が行われるので、スイッチング電源回路500を構成する部品から音鳴りが発生しないようにすることができ

10

20

30

40

50

る。

【 0 1 5 7 】

図 1 8 は、シャットダウン時のスイッチング信号 S W およびオン信号 O N のタイミングを表わす図である。

【 0 1 5 8 】

ドライバ制御部 3 1、ディスチャージ制御部 3 2、およびディスチャージ制御部 2 2 は、電源オフ時にタイミングコントローラ 6 0 0 からシャットダウン信号 S D W の供給を受ける。

【 0 1 5 9 】

ドライバ制御部 3 1 は、シャットダウン信号 S D W がハイレベルに活性化されると、P M O S トランジスタ M 2 1 のスイッチングを終了する。

【 0 1 6 0 】

ディスチャージ制御部 3 3 は、シャットダウン信号 S D W がハイレベルに活性化されると、N M O S トランジスタ M 2 3 のスイッチングを終了する。

【 0 1 6 1 】

ディスチャージ制御部 3 2 は、シャットダウン信号 S D W がハイレベルに活性化されると、N M O S トランジスタ M 2 2 のゲートへのディスチャージ信号 D S C をハイレベルに活性化する。N M O S トランジスタ M 2 2 は、ディスチャージ信号 D S C がハイレベルに活性化されると、オン状態となり、N M O S トランジスタ M 2 2 を通じて、コンデンサ C B に蓄積された電荷が放電される。

【 0 1 6 2 】

以上のように、本実施の形態によれば、パルススキップ機能によって、スイッチング損失を低減するとともに、スイッチング周波数が可聴周波数帯域まで減少しないようにできるので、スイッチング電源回路を構成する部品から音鳴りが生じるのを防止できる。

【 0 1 6 3 】

[第 4 の実施形態の変形例 1]

第 4 の実施形態では、P M O S トランジスタ M 2 1 のスイッチング周波数に関係なく、周期ごとに、オン信号を活性化させて、N M O S トランジスタ M 2 3 を通じて、コンデンサ C B の電荷を放電させたが、これに限定するものではない。

【 0 1 6 4 】

たとえば、P M O S トランジスタ M 2 1 のスイッチング周波数が可聴周波数帯域まで低下したときにのみ、N M O S トランジスタ M 2 3 を通じて、コンデンサ C B の電荷を放電させてもよい。

【 0 1 6 5 】

ディスチャージ制御部 3 3 は、P M O S トランジスタ M 2 1 のスイッチング周波数を検出する。たとえば、ディスチャージ制御部 3 3 は、ドライバ制御部 3 1 によるパルススキップをモニタすることによって、P M O S トランジスタ M 2 1 のスイッチング周波数を検出する。ディスチャージ制御部 3 3 は、検出された P M O S トランジスタ M 2 1 のスイッチング周波数が所定の範囲に含まれる場合に、第 1 のスイッチング素子である P M O S トランジスタ M 2 1 がオフの期間に、第 2 のスイッチング素子である N M O S トランジスタ M 2 3 をオンにして、コンデンサ C B の電荷を放電させる。

【 0 1 6 6 】

[第 4 の実施形態の変形例 2]

図 1 9 は、第 4 の実施形態の変形例の第 3 の電圧生成部 5 0 0 の構成を表わす図である。

【 0 1 6 7 】

第 4 の実施形態では、スイッチング電源回路は、シャットダウン時にコンデンサ C B の電荷を放電するための N M O S トランジスタ M 2 2、および N M O S トランジスタ M 2 2 を制御するディスチャージ制御部 3 2 を備えるものとしたが、これに限定されるものではない。

10

20

30

40

50

【 0 1 6 8 】

図 1 9 に示すように、スイッチング電源回路 5 0 0 は、N M O S トランジスタ M 2 2、およびディスチャージ制御部 3 2 を備えないものとしてもよい。

【 0 1 6 9 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 符号の説明 】

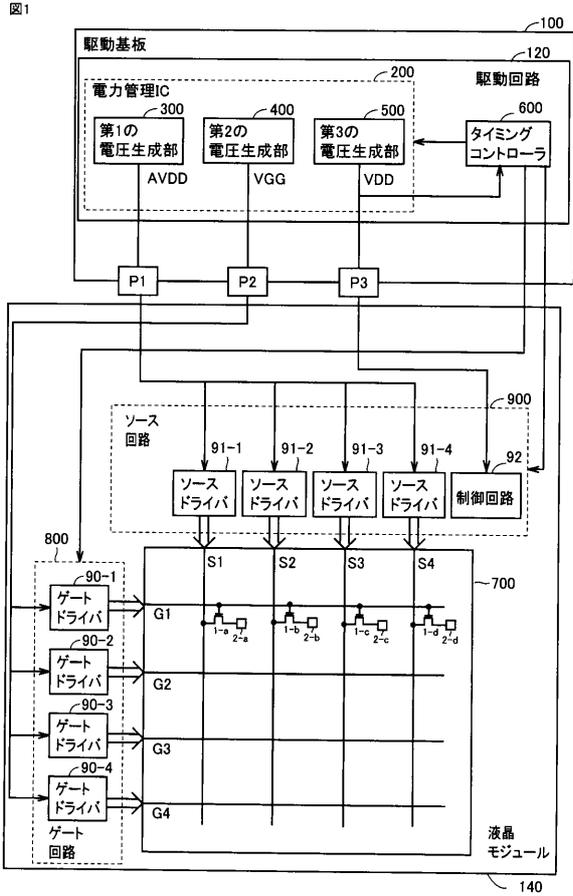
【 0 1 7 0 】

1 - a ~ 1 - d T F T、2 - a ~ 2 - d 画素、1 1, 3 4 基準電圧生成部、1 2 差動アンプ、1 3 a, 1 3 b 電流制限回路、1 4 入力用差動増幅回路、1 5 出力用差動増幅回路、2 9 シュミットトリガ回路、3 1 ドライバ制御部、3 2, 3 3 ディスチャージ制御部、3 5, 4 5, 5 5 非同期整流回路、3 6 誤差増幅器、3 7 過電圧検出器、3 8 電圧閾値制御部、3 9 P W M 信号生成回路、6 8 帰還部、9 0 - 1 ~ 9 0 - 4 ゲートドライバ、9 1 - 1 ~ 9 1 - 4 ソースドライバ、7 8, 9 2 制御回路、1 0 0 駆動基板、1 2 0 駆動回路、1 4 0 液晶モジュール、2 0 0 電力回路 I C、3 0 0 第 1 の電圧生成部 (電圧レギュレータ回路)、4 0 0 第 2 の電圧生成部 (ゲートドライバ駆動回路)、5 0 0 第 3 の電圧生成部 (スイッチング電源回路)、6 0 0 タイミングコントローラ、7 0 0 液晶パネル、8 0 0 ゲート回路、9 0 0 ソース回路、D A ダイオード、C M 1, C M 2 カレントミラー回路、R 1, R 2, R 1 0, R 1 1, R 6 1, R 6 2, R A, R B, R C, R d 抵抗、C A, C B コンデンサ、L D 負荷、A 1, A 2, A 3, A 4, P 1, P 2, P 3 端子、M 1, M 4, M 5, M 1 1, M 1 2, M 2 1, M 3, P 6 1, P 6 2, P 6 3 P M O S トランジスタ、M 2, M 6, M 7, M 1 3, M 2 2, M 2 3, N 6 1, N 6 2, N 6 3, N 6 5, N 6 6 N M O S トランジスタ、I S 1, I S 2 定電流源、Q 1, Q 2 P N P トランジスタ、P D プリドライバ、N O R 否定論理和回路。

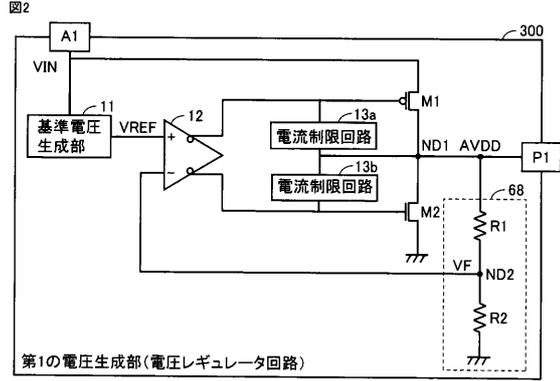
10

20

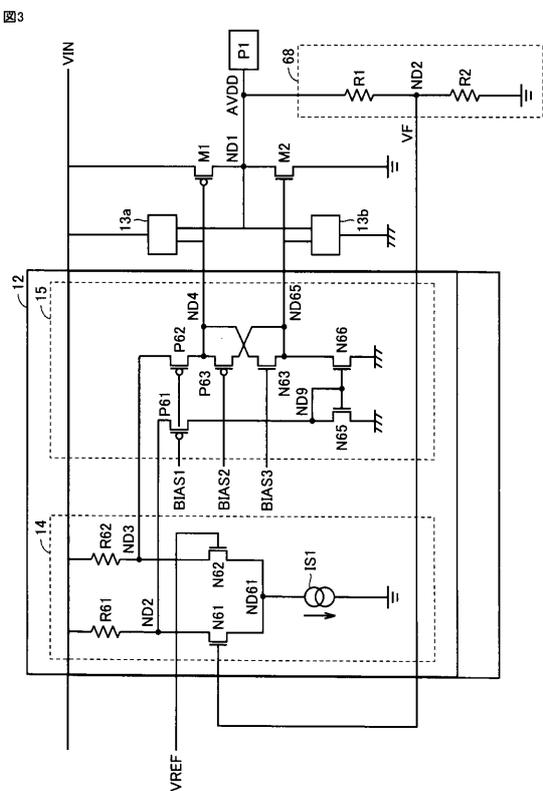
【図1】



【図2】

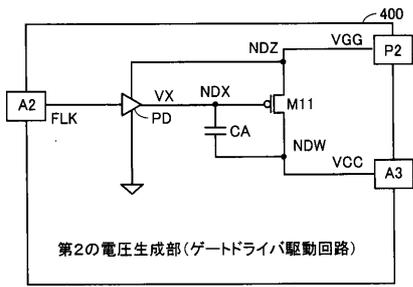


【図3】



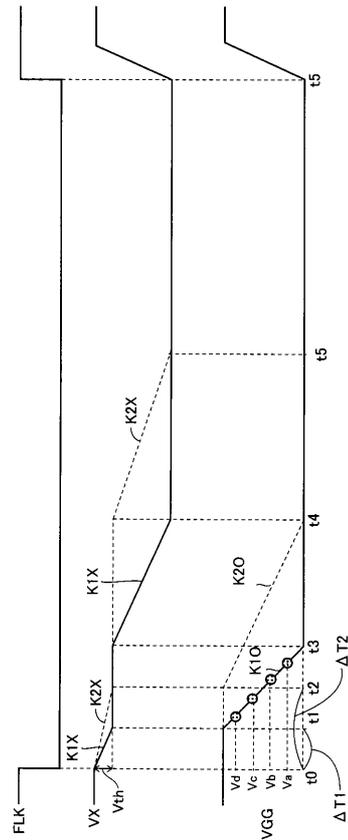
【 図 6 】

図6



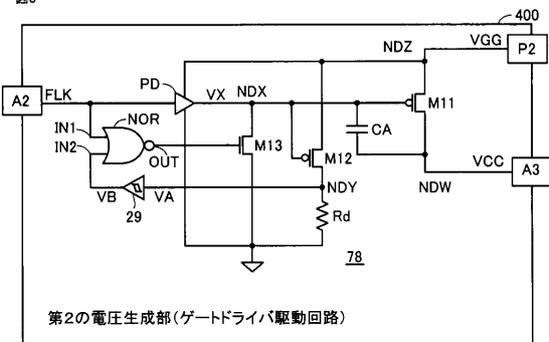
【 図 7 】

図7



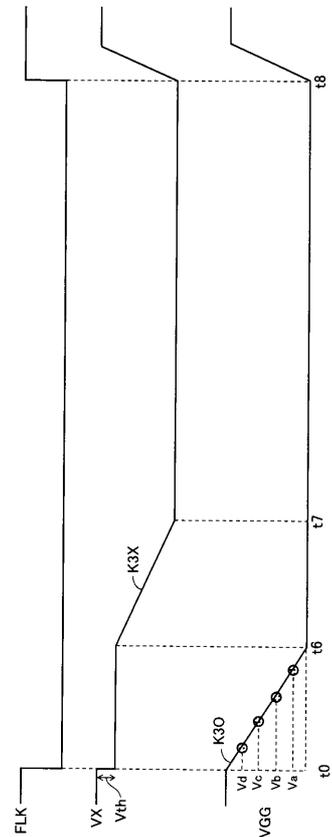
【 図 8 】

図8

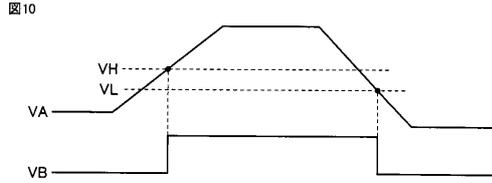


【 図 9 】

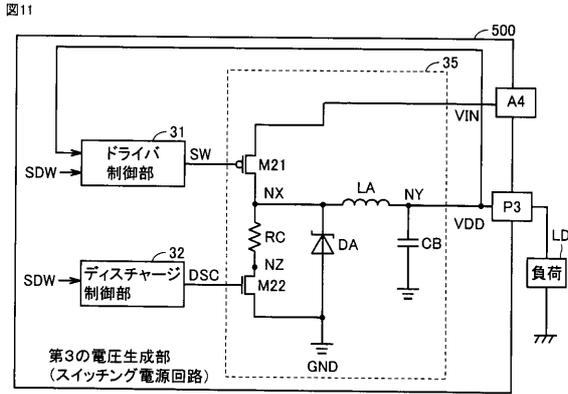
図9



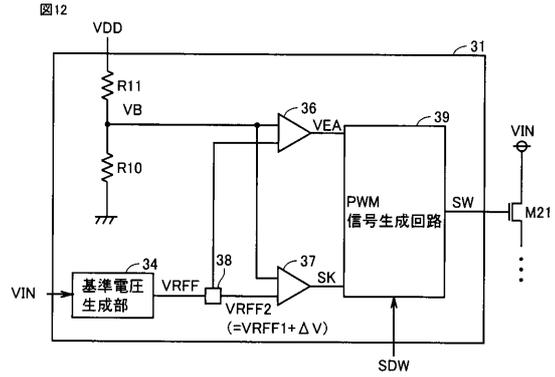
【 図 1 0 】



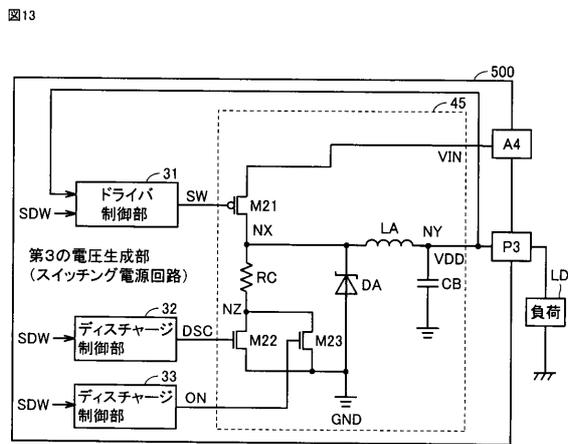
【 図 1 1 】



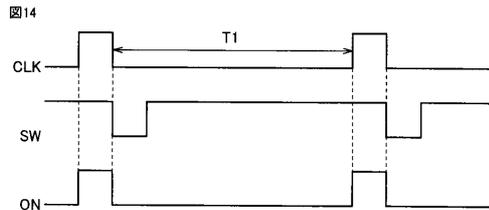
【 図 1 2 】



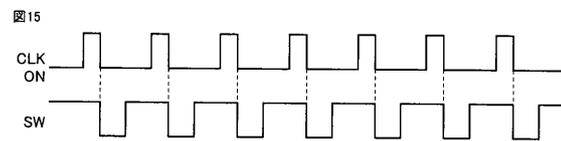
【 図 1 3 】



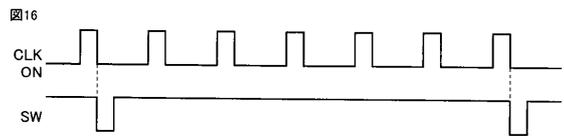
【 図 1 4 】



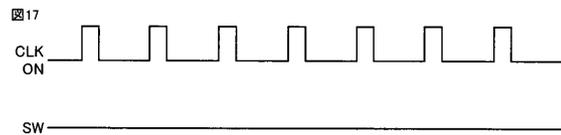
【 図 1 5 】



【 図 1 6 】

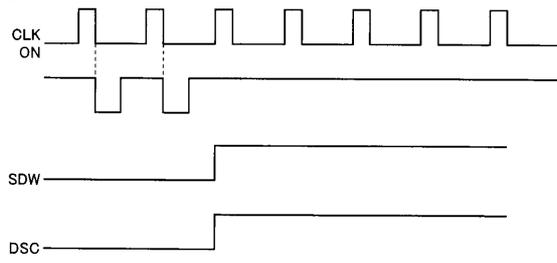


【 図 1 7 】



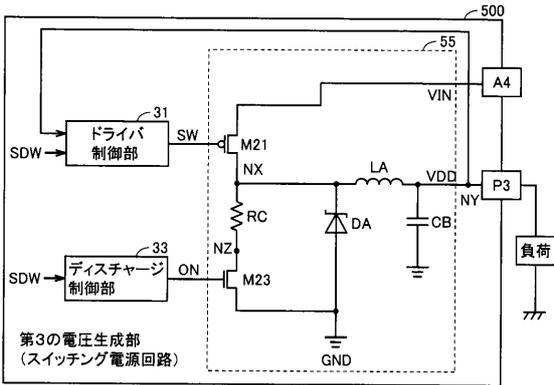
【 図 1 8 】

図18



【 図 1 9 】

図19



 フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
G 0 5 F 1/56 (2006.01)	H 0 3 K	17/0412		5 J 0 5 5
H 0 2 M 3/155 (2006.01)	H 0 3 K	17/687	A	
	G 0 5 F	1/56	3 2 0 C	
	H 0 2 M	3/155	E	
	H 0 2 M	3/155	C	

Fターム(参考) 5H430 BB01 BB09 BB11 BB12 EE04 FF04 FF13 GG01 GG11 HH03
 LA07 LB01
 5H730 AA02 AS05 BB13 BB57 DD04 DD12 EE52 EE59 FD01 FG05
 FG07 XX03 XX12 XX23 XX32 XX43
 5J055 AX03 AX55 AX66 BX16 CX30 DX14 DX22 EY01 EY05 EY10
 EY13 EY21 EZ03 EZ09 EZ11 EZ25

专利名称(译)	栅极驱动器驱动电路和液晶显示器件		
公开(公告)号	JP2019060962A	公开(公告)日	2019-04-18
申请号	JP2017183760	申请日	2017-09-25
[标]申请(专利权)人(译)	罗姆股份有限公司		
申请(专利权)人(译)	ROHM株式会社		
发明人	田古部 勲		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H03K17/0412 H03K17/687 G05F1/56 H02M3/155		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.612.D G09G3/20.642.A G02F1/133.520 H03K17/0412 H03K17/687.A G05F1/56.320.C H02M3/155.E H02M3/155.C		
F-TERM分类号	2H193/ZA04 2H193/ZD23 2H193/ZF06 5C006/AF54 5C006/BB16 5C006/BC03 5C006/BC13 5C006/BF25 5C006/BF26 5C006/BF33 5C006/BF36 5C006/BF37 5C006/BF42 5C006/FA16 5C006/FA22 5C006/FA23 5C006/FA31 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD09 5C080/DD12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5H430/BB01 5H430/BB09 5H430/BB11 5H430/BB12 5H430/EE04 5H430/FF04 5H430/FF13 5H430/GG01 5H430/GG11 5H430/HH03 5H430/LA07 5H430/LB01 5H730/AA02 5H730/AS05 5H730/BB13 5H730/BB57 5H730/DD04 5H730/DD12 5H730/EE52 5H730/EE59 5H730/FD01 5H730/FG05 5H730/FG07 5H730/XX03 5H730/XX12 5H730/XX23 5H730/XX32 5H730/XX43 5J055/AX03 5J055/AX55 5J055/AX66 5J055/BX16 5J055/CX30 5J055/DX14 5J055/DX22 5J055/EY01 5J055/EY05 5J055/EY10 5J055/EY13 5J055/EY21 5J055/EZ03 5J055/EZ09 5J055/EZ11 5J055/EZ25		
外部链接	Espacenet		

摘要(译)

能够向栅极驱动器提供电压以使得在液晶面板中不发生闪烁并且液晶面板的显示器不会延迟的栅极驱动器驱动电路，以及包括这种栅极驱动器驱动电路的液晶提供显示设备。预驱动器PD响应于具有陡峭上升沿或下降沿的控制信号将驱动电压VX输出到第一节点NDX。第一晶体管M11设置在电源端子A3和与栅极驱动器连接的输出端子P2之间，并且具有连接到第一节点NDX的控制电极。第二晶体管M13设置在第一节点NDX和地之间。当第一节点NDX的电压VX高于导通第一晶体管M11的电压时，控制电路79导通第二晶体管M13。 [选择图]图8

