

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-218330

(P2016-218330A)

(43) 公開日 平成28年12月22日(2016. 12. 22)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1345 (2006.01)	G02F 1/1345	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2015-105019 (P2015-105019)
 (22) 出願日 平成27年5月23日 (2015. 5. 23)

(71) 出願人 000103747
 京セラディスプレイ株式会社
 滋賀県野洲市市三宅641-1
 (72) 発明者 市村 照彦
 滋賀県野洲市市三宅641-1 京セラディスプレイ株式会社内
 Fターム(参考) 2H092 GA32 GA59 GA60 JA24 NA25
 PA06 PA09
 2H192 AA24 EA22 EA32 EA43 FA32
 FA52 FA54 FA73 FB02 FB27
 GD61
 2H193 ZA04 ZF36 ZF37 ZF43 ZF44
 ZP13
 5C006 AA16 AA22 BB16 FA41

最終頁に続く

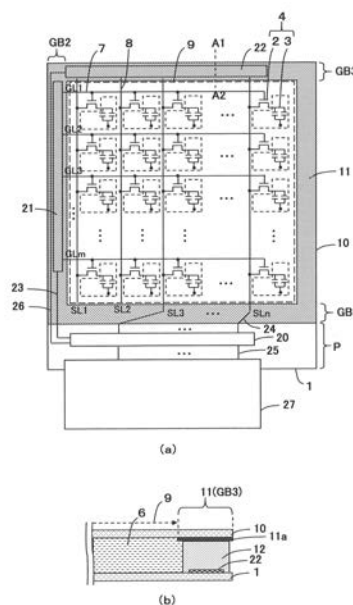
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 額縁部の幅が増大することを抑えること、また配線構造を簡易化することによって、液晶表示装置を小型化すること。

【解決手段】 液晶表示装置は、画素電極3は、複数のものが所定の方向においてグループを構成しているとともに、それらの画素電極3のそれぞれに電氣的に接続された画像信号線8のうち特定の画像信号線8 (SL3) のみが駆動回路部20に電氣的に接続されており、第1の基板1は、液晶6側の面の表示領域9を介して駆動回路部20と対向する側に、額縁部11に平面視で重なる画素電極選択回路22が配置されており、画素電極選択回路22は、特定の画像信号線8 (SL3) を通してグループを構成する複数の画素電極3のそれぞれに駆動回路部20から画像信号を時分割で供給する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

液晶側の面に所定の方向に形成された複数本のゲート信号線と、前記ゲート信号線と交差させて形成された複数本の画像信号線と、前記ゲート信号線と前記画像信号線の各交差部に対応してそれぞれ配置された、薄膜トランジスタ及び画素電極と、を備えて成る表示領域、及び前記表示領域の周囲に額縁部を有する第 1 の基板と、

前記第 1 の基板との間に液晶を挟持する第 2 の基板と、

前記第 1 の基板の前記第 2 の基板よりも外側に突出している突出部において前記表示領域を駆動する駆動回路部と、を有している液晶表示装置であって、

前記画素電極は、複数のものが前記所定の方向においてグループを構成しているとともに、それらの画素電極のそれぞれに電氣的に接続された前記画像信号線のうち特定の画像信号線のみが前記駆動回路部に電氣的に接続されており、

前記第 1 の基板は、液晶側の面の前記表示領域を介して前記駆動回路部と対向する側に、前記額縁部に平面視で重なる画素電極選択回路が配置されており、

前記画素電極選択回路は、前記特定の画像信号線を通して前記グループを構成する複数の画素電極のそれぞれに前記駆動回路部から画像信号を時分割で供給する液晶表示装置。

【請求項 2】

前記グループを構成する複数の画素電極は、3 個乃至 12 個の画素電極である請求項 1 に記載の液晶表示装置。

【請求項 3】

前記グループを構成する複数の画素電極は、赤色表示用の画素電極、緑色表示用の画素電極、青色表示用の画素電極であり、これらの画素電極のそれぞれに電氣的に接続されている前記画像信号線のうちの 1 本を通して前記駆動回路部から画像信号が時分割で供給される請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】

前記特定の画像信号線は、前記グループを構成する複数の画素電極のうち最後に前記画像信号が供給される画素電極に電氣的に接続されている請求項 1 乃至請求項 3 のいずれかに記載の液晶表示装置。

【請求項 5】

前記額縁部は、前記駆動回路部側の部位の幅を W_1 、前記駆動回路部と前記表示領域を介して対向する側の部位の幅を W_2 としたとき、 $W_1 > W_2$ である請求項 1 乃至請求項 4 のいずれかに記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示パネルの表示部の周囲に額縁部を有する液晶表示装置 (Liquid Crystal display : LCD) に関するものである。

【背景技術】**【0002】**

従来、LCD は、薄膜トランジスタ (Thin Film Transistor : TFT) を含む画素部が多数形成されたアレイ側基板と、カラーフィルタ及びブラックマトリクスが形成されたカラーフィルタ側基板とを互いに対向させて、それらの基板を所定の間隔をもって貼り合わせ、それらの基板間に液晶を充填、封入させることによって作製される。また、一般的に、カラーフィルタ側基板は、TFT 及び画素電極に対向する側の面 (液晶側の面) の全面に、画素電極との間で液晶に印加する垂直電界を形成するための共通電極が形成されている。また、LCD が画素電極と共通電極との間で液晶に印加する横電界を形成する IPS (In-Plane Switching) 方式の LCD である場合、共通電極はアレイ側基板の画素電極と同じ面内に形成される。LCD が画素電極と共通電極との間で液晶に印加する端部電界を形成する FFS (Fringe Field Switching) 方式の LCD である場合、共通電極はアレイ側基板の画素部に画素電極の上方または下方に絶縁層を挟んで形成される。また

、カラーフィルタ側基板の液晶側の面には、それぞれの画素部に対応する赤（Ｒ）、緑（Ｇ）、青（Ｂ）のカラーフィルタが形成されており、それぞれの画素部を通過する光が相互に干渉することを防ぐブラックマトリクスがカラーフィルタの外周を囲むように形成されている。

【０００３】

従来のアクティブマトリクス型のＬＣＤの基本構成の１例を図５に示す。例えばＩＰＳ方式のＬＣＤの場合、ＴＦＴ５２を含む画素部Ｐ１１，Ｐ１２，Ｐ１３～Ｐｍｎが多数形成されたアレイ側基板は、その上の第１の方向（例えば、行方向）に形成された複数本のゲート信号線５７（ＧＬ１，ＧＬ２，ＧＬ３～ＧＬｍ）と、第１の方向と交差する第２の方向（例えば、列方向）にゲート信号線５７（ＧＬ１，ＧＬ２，ＧＬ３～ＧＬｍ）と交差させて形成された複数本の画像信号線（ソース信号線）５８（ＳＬ１，ＳＬ２，ＳＬ３～ＳＬｎ）と、ゲート信号線５７（ＧＬ１，ＧＬ２，ＧＬ３～ＧＬｍ）と画像信号線５８（ＳＬ１，ＳＬ２，ＳＬ３～ＳＬｎ）の各交差部に対応して形成された、ＴＦＴ５２及び液晶に印加する横電界（水平電界）を形成するための画素電極ＰＥ１１，ＰＥ１２，ＰＥ１３～ＰＥｍｎ及び共通電極（基準電極）と、それらを含む画素部Ｐ１１，Ｐ１２，Ｐ１３～Ｐｍｎと、共通電極に共通電圧（Ｖcom）を供給する共通電圧線６２と、を有する構成である。なお、図５において、５９は表示領域、７０はゲート信号線選択回路７１及び画像信号線選択回路７２を駆動する駆動回路部、７１はゲート信号線５７（ＧＬ１，ＧＬ２，ＧＬ３～ＧＬｍ）に順次ゲート信号を入力するゲート信号線選択回路（第１のセレクト回路）、７２は画像信号線５８（ＳＬ１，ＳＬ２，ＳＬ３～ＳＬｎ）に順次画像信号を入力する画像信号線選択回路（第２のセレクト回路）、７３は駆動回路部７０とゲート信号線選択回路７１との間で駆動信号、制御信号等を入出力するための第１の接続線、７４は駆動回路部７０と画像信号線選択回路７２との間で駆動信号、制御信号等を入出力するための第２の接続線、８０は液晶表示パネルである。ＩＰＳ方式のＬＣＤは、垂直電界によってツイステッドネマチック（Twisted Nematic : TN）液晶を駆動するＬＣＤと比較して、コントラスト、グレー反転、色ずれ等の視野角特性を高めることができる。その結果、広視野角を得ることができるので、大型のＬＣＤに好適に用いられている。

【０００４】

ＴＦＴ５２は、例えば、アモルファスシリコン（a-Si）、低温多結晶シリコン（Low-Temperature Poly Silicon : LTPS）等から成る半導体膜を有し、ゲート電極部、ソース電極部、ドレイン電極部の３端子部を有する構成である。そして、ゲート電極部に所定電位の電圧（例えば、６Ｖ）を印加することにより、ソース電極部とドレイン電極部の間の半導体膜（チャンネル）に電流を流す、スイッチング素子（ゲートトランスファ素子）として機能する。また、画素電極ＰＥ１１，ＰＥ１２，ＰＥ１３・・・ＰＥｍｎは、一般に酸化インジウムスズ（Indium Tin Oxide : ITO）等から成る透明導電体層から構成されている。

【０００５】

図６は、図５の構成のＬＣＤにおいて、画像信号線選択回路７２の詳細な構成を示す回路図である。図６に示すように、ゲート信号線ＧＬ１，ＧＬ２，ＧＬ３と画像信号線ＳＬ１，ＳＬ２，ＳＬ３，ＳＬ４，ＳＬ５，ＳＬ６との各交差部に対応して、ＴＦＴ及び画素電極Ｒ１１，Ｇ１１，Ｂ１１～Ｂ３２が形成されている。画像信号線ＳＬ１～ＳＬ６のそれぞれの画像信号の入力端部には、ＣＭＯＳトランスファゲート素子８０a，８０b，８０c，８０d，８０e，８０fがそれぞれ接続されており、ＣＭＯＳトランスファゲート素子８０a～８０cの各ソース電極は、駆動回路部７０の画像信号入力端子Ｓ１に共通接続され、ＣＭＯＳトランスファゲート素子８０d～８０fの各ソース電極は、駆動回路部７０の画像信号入力端子Ｓ２に共通接続されている。第２の接続線７４は、チップオンガラス（Chip On Glass : COG）方式でアレイ側基板上に実装された画像信号線駆動用ＩＣ，ＬＳＩ等から成る駆動回路部７０の画像信号入力端子Ｓ１，Ｓ２と、画像信号線選択回路７２とを電氣的に接続するものである。また、ＣＭＯＳトランスファゲート素子８０a～８０cの各ドレイン電極は、それぞれ画像信号線ＳＬ１，ＳＬ２，ＳＬ３に接続され、ＣＭＯＳトランスファゲート素子８０d～８０fの各ドレイン電極は、それぞれ画像信号線ＳＬ４，ＳＬ５，ＳＬ６に接続されている。

【０００６】

10

20

30

40

50

C M O S トランスファゲート素子80a ~ 80fはそれぞれ、p 型 M O S トランジスタ (p チャンネル T F T) と n 型 M O S トランジスタ (n チャンネル T F T) が、それらのソース電極とドレイン電極が共通接続されて成り、p 型 M O S トランジスタのゲート電極と n 型 M O S トランジスタのゲート電極が制御入力電極とされている。即ち、p 型 M O S トランジスタのゲート電極にロー (L) の信号が入力されるとともに n 型 M O S トランジスタのゲート電極にハイ (H) の信号が入力されたときに、ソース電極とドレイン電極との間に電流が流れて画像信号が入力される。

【 0 0 0 7 】

また、MUXR , XMUXR , MUXG , XMUXG , MUXB , XMUXB は、画像信号線 SL1 ~ SL6 を時分割駆動するための時分割信号入力線である。MUXR は、C M O S トランスファゲート素子80a , 80d の n 型 M O S トランジスタのゲート電極に接続され、XMUXR (MUXR の反転信号線) は C M O S トランスファゲート素子80a , 80d の p 型 M O S トランジスタのゲート電極に接続されており、MUXR に H の信号が入力されるとともに XMUXR に L の信号が入力されたときに、画像信号入力端子 S 1 , S 2 から入力された画像信号 SigR1 , SigR2 が、画像信号線 SL1 , SL4 を伝送される。MUXG は、C M O S トランスファゲート素子80b , 80e の n 型 M O S トランジスタのゲート電極に接続され、XMUXG (MUXG の反転信号線) は C M O S トランスファゲート素子80b , 80e の p 型 M O S トランジスタのゲート電極に接続されており、MUXG に H の信号が入力されるとともに XMUXG に L の信号が入力されたときに、画像信号入力端子 S 1 , S 2 から入力された画像信号 SigG1 , SigG2 が、画像信号線 SL2 , SL5 を伝送される。MUXB は、C M O S トランスファゲート素子80c , 80f の n 型 M O S トランジスタのゲート電極に接続され、XMUXB (MUXB の反転信号線) は C M O S トランスファゲート素子80c , 80f の p 型 M O S トランジスタのゲート電極に接続されており、MUXB に H の信号が入力されるとともに XMUXB に L の信号が入力されたときに、画像信号入力端子 S 1 , S 2 から入力された画像信号 SigB1 , SigB2 が、画像信号線 SL3 , SL6 を伝送される。

【 0 0 0 8 】

図 7 は、図 5 の画素電極 R11 , G11 , B11 を時分割で駆動するためのタイミングチャートである。ゲート信号線 GL1 がオン状態のときであって、MUXR に H の信号が入力されるとともに XMUXR に L の信号が入力されたときに、画素電極 R11 に所定の画像信号が入力される。ゲート信号線 GL1 がオン状態のときであって、MUXG に H の信号が入力されるとともに XMUXG に L の信号が入力されたときに、画素電極 G11 に所定の画像信号が入力される。ゲート信号線 GL1 がオン状態のときであって、MUXB に H の信号が入力されるとともに XMUXB に L の信号が入力されたときに、画素電極 B11 に所定の画像信号が入力される。

【 0 0 0 9 】

図 8 は、図 5 の回路構成の L C D について、額縁部を含む全体構成の平面図である。図 8 に示すように、平面視で表示領域 5 9 の周囲に額縁部 6 1 が設けられており、一般的に額縁部 6 1 は黒色等の遮光性の色合いを有している。そして、アレイ側基板 5 1 のカラーフィルタ側基板 6 0 から外側に突出した突出部 P における液晶側の面に、駆動回路部 7 0 が配置されており、矩形枠状の額縁部 6 1 の駆動回路部 7 0 側の部位 G B 1 に重なるように画像信号線選択回路 7 2 が配置されている。突出部 P の液晶側の面の端縁部には、駆動回路部 7 0 に駆動信号、制御信号等を入出力するための F P C (Flexible Printed Circuit) 7 7 が設置されている。駆動回路部 7 0 と F P C 7 7 とを電気的に接続する第 3 の接続線 7 5 が、突出部 P の液晶側の面に形成されている。また、アレイ側基板 5 1 の液晶側の面に、額縁部 6 1 の駆動回路部 7 0 側の部位 G B 1 の一端部から部位 G B 1 の長手方向に略直交する方向に伸びている他の部位 G B 2 に重なるようにゲート信号線選択回路 7 1 が形成されている。また、画素部 5 4 は、T F T 5 2 及び画素電極 5 3 を含んで成る。

【 0 0 1 0 】

ゲート信号線選択回路 7 1 、画像信号線選択回路 7 2 は、C V D (Chemical Vapor Deposition) 法等の薄膜形成法によって形成される。この場合、T F T 5 2 は、低温多結晶シリコン (Low-Temperature Poly Silicon : L T P S) から成るチャンネルを有しており、この L T P S を用いて n チャンネル T F T 及び p チャンネル T F T を形成すると、

ＣＭＯＳ回路を基礎とした駆動回路、ＳＲＡＭ回路、Ｄ／Ａ変換器、画像表示部等をガラス基板上に一体的に集積化することができる。

【００１１】

また、他の従来例として、表示領域の周囲に、信号線に信号を供給するソース回路と、信号線のうちの所定本を一組としてその一組内の各信号線にソース回路からの信号を時分割駆動で順次供給する複数のセクタとを内蔵して有するＬＣＤであって、表示領域は、第１の辺と、第１の辺にその一部が対向して第１の辺より長い第２の辺とを含む多角形状を有し、第１の辺の周囲にセクタの一部を配置し、第２の辺の周囲にセクタの残りの一部を配置するように構成されたことにより、表示領域周囲の額縁領域の増加を抑えたＬＣＤが提案されている（例えば、特許文献１参照）。

10

【先行技術文献】

【特許文献】

【００１２】

【特許文献１】特開２０１３－２３８８２９号公報

【発明の概要】

【発明が解決しようとする課題】

【００１３】

図８に示す上記従来のＬＣＤにおいては、棒状の額縁部６１の駆動回路部７０側の部位ＧＢ１に重なるように画像信号線選択回路７２が配置されているために、額縁部６１の駆動回路部７０側の部位ＧＢ１が他の部位よりも幅が大きくなり、その結果、ＬＣＤの小型化に支障をきたすという問題点があった。また、図６に示すように、画像信号線選択回路７２を駆動するための配線、画像信号線選択回路７２の周囲の配線の数が多いために、配線構造の簡易化が難しいという問題点があった。

20

【００１４】

また、特許文献１に開示されたＬＣＤにおいては、駆動ＩＣと対向する側の第２の辺の周囲に配置されたセクタの残りの一部と、駆動ＩＣとを電氣的に接続する配線が、表示領域の外側に引回されて形成されているために、ＬＣＤの小型化及び配線構造の簡易化が十分とはいえなかった。

【００１５】

本発明は、上記の問題点に鑑みて完成されたものであり、その目的は、額縁部の幅が増大することを抑えること、また配線構造を簡易化することによって、ＬＣＤを小型化することである。

30

【課題を解決するための手段】

【００１６】

本発明の液晶表示装置は、液晶側の面に所定方向に形成された複数本のゲート信号線と、前記ゲート信号線と交差させて形成された複数本の画像信号線と、前記ゲート信号線と前記画像信号線の各交差部に対応してそれぞれ配置された、薄膜トランジスタ及び画素電極と、を備えて成る表示領域、及び前記表示領域の周囲に額縁部を有する第１の基板と、

40

前記第１の基板との間に液晶を挟持する第２の基板と、

前記第１の基板の前記第２の基板よりも外側に突出している突出部であって前記表示領域を駆動する駆動回路部と、を有している液晶表示装置であって、

前記画素電極は、複数のものが前記所定方向においてグループを構成しているとともに、それらの画素電極のそれぞれに電氣的に接続された前記画像信号線のうち特定の画像信号線のみが前記駆動回路部に電氣的に接続されており、

前記第１の基板は、液晶側の面の前記表示領域を介して前記駆動回路部と対向する側に、前記額縁部に平面視で重なる画素電極選択回路が配置されており、

前記画素電極選択回路は、前記特定の画像信号線を通して前記グループを構成する複数の画素電極のそれぞれに前記駆動回路部から画像信号を時分割で供給する構成である。

【００１７】

50

本発明の液晶表示装置は、好ましくは、前記グループを構成する複数の画素電極は、3個乃至12個の画素電極である。

【0018】

また本発明の液晶表示装置は、好ましくは、前記グループを構成する複数の画素電極は、赤色表示用の画素電極、緑色表示用の画素電極、青色表示用の画素電極であり、これらの画素電極のそれぞれに電氣的に接続されている前記画像信号線のうちの1本を通して前記駆動回路部から画像信号が時分割で供給される。

【0019】

また本発明の液晶表示装置は、好ましくは、前記特定の画像信号線は、前記グループを構成する複数の画素電極のうち最後に前記画像信号が供給される画素電極に電氣的に接続されている。

10

【0020】

また本発明の液晶表示装置は、好ましくは、前記額縁部は、前記駆動回路部側の部位の幅をW1、前記駆動回路部と前記表示領域を介して対向する側の部位の幅をW2としたとき、W1 > W2である。

【発明の効果】

【0021】

本発明の液晶表示装置は、液晶側の面に所定方向に形成された複数本のゲート信号線と、ゲート信号線と交差させて形成された複数本の画像信号線と、ゲート信号線と画像信号線の各交差部に対応してそれぞれ配置された、薄膜トランジスタ及び画素電極と、を備えて成る表示領域、及び表示領域の周囲に額縁部を有する第1の基板と、

20

第1の基板との間に液晶を挟持する第2の基板と、

第1の基板の第2の基板よりも外側に突出している突出部であって表示領域を駆動する駆動回路部と、を有している液晶表示装置であって、

画素電極は、複数のものが所定方向においてグループを構成しているとともに、それらの画素電極のそれぞれに電氣的に接続された画像信号線のうち特定の画像信号線のみが駆動回路部に電氣的に接続されており、

第1の基板は、液晶側の面の表示領域を介して駆動回路部と対向する側に、額縁部に平面視で重なる画素電極選択回路が配置されており、

画素電極選択回路は、特定の画像信号線を通してグループを構成する複数の画素電極のそれぞれに駆動回路部から画像信号を時分割で供給する構成であることから、以下のような効果を奏する。第1の基板は、液晶側の面の表示領域を介して駆動回路部と対向する側に、額縁部に平面視で重なる画素電極選択回路が配置されているので、額縁部の幅が増大することを抑えることができる。また、画素電極は、複数のものが所定方向においてグループを構成しているとともに、それらの画素電極のそれぞれに電氣的に接続された画像信号線のうち特定の画像信号線のみが駆動回路部に電氣的に接続されているので、配線構造が簡易化される。以上より、液晶表示装置の小型化が達成される。

30

【0022】

本発明の液晶表示装置は、グループを構成する複数の画素電極は、3個乃至12個の画素電極である場合、配線構造が簡易化されるとともに、各画素電極に表示を1フレーム保持するのに十分な電力を時分割駆動によって供給することができる。

40

【0023】

また本発明の液晶表示装置は、グループを構成する複数の画素電極は、赤色表示用の画素電極、緑色表示用の画素電極、青色表示用の画素電極であり、これらの画素電極のそれぞれに電氣的に接続されている画像信号線のうちの1本を通して駆動回路部から画像信号が時分割で供給される場合、フルカラーの表示を行う液晶表示装置を小型化することができる。

【0024】

また本発明の液晶表示装置は、特定の画像信号線は、グループを構成する複数の画素電極のうち最後に画像信号が供給される画素電極に電氣的に接続されている場合、グループ

50

を構成する複数の画素電極のすべてに画像信号を供給することができるので、高い表示品質を保持することができる。

【 0 0 2 5 】

また本発明の液晶表示装置は、額縁部は、駆動回路部側の部位の幅を $W1$ 、駆動回路部と表示領域を介して対向する側の部位の幅を $W2$ としたとき、 $W1 = W2$ である場合、額縁部の駆動回路部側の部位の幅を小さくして、配線構造が複雑化しやすい駆動回路部周囲の面積を小さくすることができる。その結果、液晶表示装置をより小型化することができる。

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】図 1 (a) , (b) は、本発明の液晶表示装置について実施の形態の 1 例を示す図であり、(a) は液晶表示装置の平面図、(b) は (a) の $A1 - A2$ 線における断面図である。

【図 2】図 2 は、本発明の液晶表示装置の画素電極選択回路について実施の形態の 1 例を示す図であり、画素電極選択回路の詳細を示す回路図である。

【図 3】図 3 は、本発明の液晶表示装置の画素電極選択回路について実施の形態の他例を示す図であり、画素電極選択回路の詳細を示す回路図である。

【図 4】図 4 (a) は、図 2 の液晶表示装置の画素電極選択回路の駆動を説明するためのタイミングチャート、(b) は、図 3 の液晶表示装置の画素電極選択回路の駆動を説明するためのタイミングチャートである。

【図 5】図 5 は、従来の液晶表示装置のブロック回路図である。

【図 6】図 6 は、図 5 の液晶表示装置の画素電極選択回路の詳細を示す回路図である。

【図 7】図 7 は、図 6 の液晶表示装置の画素電極選択回路の駆動を説明するためのタイミングチャートである。

【図 8】図 8 は、図 5 の液晶表示装置について額縁部を含む全体構成の平面図である。

【発明を実施するための形態】

【 0 0 2 7 】

以下、本発明の LCD の実施の形態について、図面を参照しながら説明する。但し、以下で参照する各図は、本発明の LCD の実施の形態における構成部材のうち、本発明の LCD を説明するための主要部を示している。従って、本発明の LCD は、図に示されていない回路基板、配線導体、制御 IC、LSI 等の周知の構成部材を備えていてもよい。

【 0 0 2 8 】

図 1 ~ 図 4 は、本発明の LCD について実施の形態の例を示す図である。これらの図に示すように、本発明の LCD は、液晶 6 側の面に所定方向 (例えば、行方向) に形成された複数本のゲート信号線 7 ($GL1, GL2, GL3 \sim GLm$) と、ゲート信号線 7 と交差させて形成された複数本の画像信号線 8 ($SL1, SL2, SL3 \sim SLn$) と、ゲート信号線 7 と画像信号線 8 の各交差部に対応してそれぞれ配置された、TFT 2 及び画素電極 3 と、を備えて成る表示領域 9、及び表示領域 9 の周囲に額縁部 11 を有するガラス基板等から成る第 1 の基板 1 と、第 1 の基板 1 との間に液晶 6 を挟持するガラス基板等から成る第 2 の基板 10 と、第 1 の基板 1 の第 2 の基板 10 よりも外側に突出している突出部 P にあって表示領域 9 を駆動する駆動回路部 20 と、を有している LCD であって、画素電極 3 は、複数のものが所定方向においてグループを構成しているとともに、それらの画素電極 3 のそれぞれに電気的に接続された画像信号線 8 のうち特定の画像信号線 8 ($SL3$ 等) のみが駆動回路部 20 に直接電気的に接続されており、第 1 の基板 1 は、液晶 6 側の面の表示領域 9 を介して駆動回路部 20 と対向する側に、額縁部 11 に平面視で重なる画素電極選択回路 22 が配置されており、画素電極選択回路 22 は、特定の画像信号線 8 を通してグループを構成する複数の画素電極 3 のそれぞれに駆動回路部 20 から画像信号を時分割で供給する構成である。この構成により、以下のような効果を奏する。第 1 の基板 1 は、液晶 6 側の面の表示領域 9 を介して駆動回路部 20 と対向する側に、額縁部 11 に平面視で重なる画素電極選択回路 22 が配置されているので、額縁部 11 の幅が増大することを抑えることが

10

20

30

40

50

できる。また、画素電極 3 は、複数のものが所定の方向においてグループを構成しているとともに、それらの画素電極 3 のそれぞれに電氣的に接続された画像信号線 8 のうち特定の画像信号線 8 のみが駆動回路部 20 に常時電氣的に接続されているので、配線構造が簡易化される。以上より、LCD の小型化が達成される。なお、グループを構成している画素電極 3 のそれぞれに電氣的に接続された画像信号線 8 のうち特定の画像信号線 8 (SL3 等) のみが駆動回路部 20 に直接電氣的に接続されているが、駆動回路部 20 に物理的に接続されているともいえる。また、グループを構成している画素電極 3 のそれぞれに電氣的に接続された画像信号線 8 のうち特定の画像信号線 8 以外の画像信号線 8 は、駆動回路部 20 に直接電氣的に接続されておらず、特定の画像信号線 8 を介して、例えばスイッチングにより駆動回路部 20 に電氣的に一時的に接続されるように構成される。

10

【0029】

図 1 (a) に示すように、平面視で表示領域 9 の周囲に額縁部 11 が設けられており、一般的に額縁部 11 は黒色等の遮光性の色合いを有しているが、必ずしも額縁部 11 は遮光性の色合いを有していなくてもよい。そして、第 1 の基板 (アレイ側基板) 1 の第 2 の基板 (カラーフィルタ側基板) 10 から外側に突出した突出部 P における液晶 6 側の面に、駆動回路部 20 が配置されており、矩形棒状の額縁部 11 の駆動回路部 20 と表示領域 9 を介して対向する側の部位 GB3 に重なるように画素電極選択回路 (第 2 のセクタ回路) 22 が配置されている。また、第 1 の基板 1 の液晶 6 側の面に、額縁部 11 の駆動回路部 20 側の部位 GB1 の一端部から部位 GB1 の長手方向に略直交する方向に伸びている他の部位 GB2 に重なるようにゲート信号線選択回路 (第 1 のセクタ回路) 21 が形成されている。COG 方式等により実装された IC, LSI 等から成る駆動回路部 20 は、ゲート信号線選択回路 21 及び画素電極選択回路 22 を駆動する。ゲート信号線選択回路 21 は、ゲート信号線 7 (GL1, GL2, GL3 ~ GLm) に順次ゲート信号を入力する。第 1 の接続線 23 は、駆動回路部 20 とゲート信号線選択回路 21 との間で駆動信号、制御信号等を入出力する。第 2 の接続線 24 は、駆動回路部 20 と画像信号線 8 とを電氣的に接続するものであり、画素電極選択回路 22 へ画像信号を伝送する。FPC27 は、突出部 P の液晶 6 側の面の端縁部に設置されている。駆動回路部 20 と FPC27 とを電氣的に接続する第 3 の接続線 25 が、突出部 P の液晶 6 側の面に形成されており、第 3 の接続線 25 は、FPC27 と駆動回路部 20 との間で駆動信号、制御信号等を入出力する。また、駆動回路部 20 と画素電極選択回路 22 を電氣的に接続する時分割信号入力線としての第 4 の接続線 26 が、額縁部の部位 GB2 と重なるように形成されている。また、画素部 4 は、TFT2 及び画素電極 3 を含んで成る。

20

30

【0030】

ゲート信号線選択回路 21、画素電極選択回路 22 は、CVD 法等の薄膜形成法によって形成される。この場合、TFT2 は好ましくは、LTPS から成るチャンネルを有しており、この LTPS を用いて n チャンネル TFT 及び p チャンネル TFT を形成すると、CMOS 回路を基礎とした駆動回路、SRAM 回路、D/A 変換器、画像表示部等をガラス基板上に一体的に集積化することができる。

【0031】

図 1 (b) は、図 1 (a) の A1 - A2 線における断面図である。図 1 (b) に示すように、画素電極選択回路 22 は、額縁部 11 の駆動回路部 20 と表示領域 9 を介して対向する側の部位 GB3 に重なるように配置されている。額縁部 11 は、例えば遮光性を有するものである場合、ブラックマトリクス等から成る遮光層 11a を、第 2 の基板 10 の液晶 6 側の面の周縁部に形成することによって設けられる。また、第 1 の基板 1 の液晶 6 側の面の周縁部と、第 2 の基板 10 の液晶 6 側の面の周縁部とが、エポキシ樹脂、シリコン樹脂、合成ゴム等から成る封止材 12 によって接着され、液晶 6 を封止している。画素電極選択回路 22 は、封止材 12 によって覆われていてもよく、あるいは封止材 12 によって覆われていなくてもよい。また、画素電極選択回路 22 は、平面視で額縁部 11 から表示領域 9 に入り込まないように形成されていることがよい。この場合、画素電極選択回路 22 が表示品質を劣化させないものとなる。

40

50

【 0 0 3 2 】

図 2 は、本発明の L C D の画素電極選択回路 2 2 について実施の形態の 1 例を示す図であり、画素電極選択回路 2 2 の詳細を示す回路図である。画素電極 R11, G11, B11 ~ B32 は、3 個のものがゲート信号線 (GL1, GL2, GL3 ~) においてグループを構成している。すなわち、フルカラーの表示を行うための好適な構成であり、グループを構成する 3 個の画素電極 (例えば、R11, G11, B11) は、赤色表示用の画素電極 (例えば、R11)、緑色表示用の画素電極 (例えば、G11)、青色表示用の画素電極 (例えば、B11) であり、これらの画素電極 (R11, G11, B11) のそれぞれに電氣的に接続されている画像信号線 (例えば、SL1, SL2, SL3) のうちの 1 本 (例えば、SL3) を通して駆動回路部 2 0 から画像信号 (例えば、SigR1, SigG1, SigB1) が時分割で供給される構成である。この場合、フルカラーの表示を行う液晶表示装置を小型化することができる。

10

【 0 0 3 3 】

各グループは、画素電極 R11, G11, B11 のグループ、画素電極 R12, G12, B12 のグループ、画素電極 R21, G21, B21 のグループ、画素電極 R22, G22, B22 のグループ、画素電極 R31, G31, B31 のグループ、画素電極 R32, G32, B32 のグループである。画素電極 R11, G11, B11 のグループについて、これらの画素電極 R11, G11, B11 のそれぞれに電氣的に接続された画像信号線 SL1, SL2, SL3 のうち 1 本の画像信号線 SL3 のみが、第 2 の接続線 2 4 を介して、駆動回路部 2 0 の画像信号入力端子 S 1 に電氣的に接続されている。画素電極選択回路 2 2 は、1 本の画像信号線 SL3 を通してグループを構成する 3 個の画素電極 R11, G11, B11 のそれぞれに駆動回路部 2 0 から画像信号 SigR1, SigG1, SigB1 を時分割で供給する。

20

【 0 0 3 4 】

MUXR, XMUXR, MUXG, XMUXG, MUXB, XMUXB は、画素電極 R11, G11, B11 ~ B32 を時分割駆動するための時分割信号入力線である。MUXR は、C M O S トランスファゲート素子 30a の n 型 M O S トランジスタのゲート電極に接続され、XMUXR (MUXR の反転信号線) は C M O S トランスファゲート素子 30a の p 型 M O S トランジスタのゲート電極に接続されている。MUXG は、C M O S トランスファゲート素子 30b の n 型 M O S トランジスタのゲート電極に接続され、XMUXG (MUXG の反転信号線) は C M O S トランスファゲート素子 30b の p 型 M O S トランジスタのゲート電極に接続されている。MUXB は、C M O S トランスファゲート素子 30c の n 型 M O S トランジスタのゲート電極に接続され、XMUXB (MUXB の反転信号線) は C M O S トランスファゲート素子 30c の p 型 M O S トランジスタのゲート電極に接続されている。

30

【 0 0 3 5 】

そして、図 4 (a) のタイミングチャートに示すように、ゲート信号線 GL1 がオン状態であり、MUXR に H の信号が入力されるとともに XMUXR に L の信号が入力され、かつ MUXB に H の信号が入力されるとともに XMUXB に L の信号が入力されたときに、画像信号入力端子 S 1 から入力された画像信号 SigR1 が、画像信号線 SL3 を伝送されてきて、画素電極 R11 に入力される。このとき、C M O S トランスファゲート素子 30a, 30c がオン状態となっている。

【 0 0 3 6 】

また、ゲート信号線 GL1 がオン状態であり、MUXG に H の信号が入力されるとともに XMUXG に L の信号が入力され、かつ MUXB に H の信号が入力されるとともに XMUXB に L の信号が入力されたときに、画像信号入力端子 S 1 から入力された画像信号 SigG1 が、画像信号線 SL3 を伝送されてきて、画素電極 G11 に入力される。このとき、C M O S トランスファゲート素子 30b, 30c がオン状態となっている。

40

【 0 0 3 7 】

また、ゲート信号線 GL1 がオン状態であり、C M O S トランスファゲート素子 30c がオフ状態 (非導通状態) であるとき、例えば、MUXB に H の信号が入力されず及び / または XMUXB に L の信号が入力されないときに、画像信号入力端子 S 1 から入力された画像信号 SigB1 が、画像信号線 SL3 を伝送されてきて、画素電極 B11 に入力される。このようにして、画素電極 R11, G11, B11 が順次、時分割駆動される。なお、画像信号 SigR1, SigG1 を画像信号

50

線SL3を伝送させる際に、画素電極B11に画像信号SigR1, SigG1が順次入力されるが、それらの入力画像信号SigB1の入力によってリセットされ、画像信号SigB1の入力が画素電極B11において1フレーム保持されるので、表示品質に影響することはない。

【0038】

画素電極R12, G12, B12のグループについて、MUXRは、CMOSトランスファゲート素子30dのn型MOSトランジスタのゲート電極に接続され、XMUXRはCMOSトランスファゲート素子30dのp型MOSトランジスタのゲート電極に接続されている。MUXGは、CMOSトランスファゲート素子30eのn型MOSトランジスタのゲート電極に接続され、XMUXRはCMOSトランスファゲート素子30eのp型MOSトランジスタのゲート電極に接続されている。MUXBは、CMOSトランスファゲート素子30fのn型MOSトランジスタのゲート電極に接続され、XMUXBはCMOSトランスファゲート素子30fのp型MOSトランジスタのゲート電極に接続されている。

10

【0039】

そして、ゲート信号線GL1がオン状態であり、MUXRにHの信号が入力されるとともにXMUXRにLの信号が入力され、かつMUXBにHの信号が入力されるとともにXMUXBにLの信号が入力されたときに、画像信号入力端子S2から入力された画像信号SigR2が、画像信号線SL6を伝送されてきて、画素電極R12に入力される。このとき、CMOSトランスファゲート素子30d, 30fがオン状態となっている。

【0040】

また、ゲート信号線GL1がオン状態であり、MUXGにHの信号が入力されるとともにXMUXGにLの信号が入力され、かつMUXBにHの信号が入力されるとともにXMUXBにLの信号が入力されたときに、画像信号入力端子S2から入力された画像信号SigG2が、画像信号線SL6を伝送されてきて、画素電極G12に入力される。このとき、CMOSトランスファゲート素子30e, 30fがオン状態となっている。

20

【0041】

また、ゲート信号線GL1がオン状態であり、CMOSトランスファゲート素子30fがオフ状態（非導通状態）であるとき、例えば、MUXBにHの信号が入力されず及び/またはXMUXBにLの信号が入力されないときに、画像信号入力端子S2から入力された画像信号SigB2が、画像信号線SL6を伝送されてきて、画素電極B12に入力される。このようにして、画素電極R12, G12, B12が順次、時分割駆動される。なお、画像信号SigR2, SigG2を画像信号線SL6を伝送させる際に、画素電極B12に画像信号SigR2, SigG2が順次入力されるが、それらの入力画像信号SigB2の入力によってリセットされ、画像信号SigB2の入力が画素電極B12において1フレーム保持されるので、表示品質に影響することはない。

30

【0042】

画素電極R21, G21, B21のグループは、画素電極R11, G11, B11のグループと同様にしてゲート信号線GL2がオン状態のときに順次、時分割駆動される。画素電極R22, G22, B22のグループは、画素電極R12, G12, B12のグループと同様にしてゲート信号線GL2がオン状態のときに順次、時分割駆動される。

【0043】

画素電極R31, G31, B31のグループは、画素電極R11, G11, B11のグループと同様にしてゲート信号線GL3がオン状態のときに順次、時分割駆動される。画素電極R32, G32, B32のグループは、画素電極R12, G12, B12のグループと同様にしてゲート信号線GL3がオン状態のときに順次、時分割駆動される。

40

【0044】

以上の時分割駆動をすべてのゲート信号線及び画素電極について順次行うことにより、1フレームの表示を実行させることができる。

【0045】

本発明のLCDは、グループを構成する複数の画素電極は、3個乃至12個の画素電極であることが好ましい。この場合、配線構造が簡易化されるとともに、各画素電極に表示を1フレーム保持するのに十分な電力を時分割駆動によって供給することができる。すな

50

わち、グループを構成する複数の画素電極が 13 個以上となると、各画素電極に時分割で入力される画像信号のパルス幅（時間幅）が小さくなり、各画素電極に表示を 1 フレーム保持するのに十分な電力を時分割駆動によって供給することが難しくなる傾向がある。

【0046】

また本発明の LCD は、画像信号を伝送する特定の画像信号線は、グループを構成する複数の画素電極のうち最後に画像信号が供給される画素電極に電氣的に接続されていることが好ましい。図 2 の画素電極 R11, G11, B11 のグループの場合、画像信号 SigR1, SigG1, SigB1 を伝送する 1 本の画像信号線 SL3 は、グループを構成する 3 個の画素電極 R11, G11, B11 のうち最後に画像信号 SigB1 が供給される画素電極 B11 に電氣的に接続されている。この場合、グループを構成する 3 個の画素電極 R11, G11, B11 のすべてに画像信号 SigR1, SigG1, SigB1 を供給することができるので、高い表示品質を保持することができる。すなわち、3 個の画素電極 R11, G11, B11 のすべてについて、最終的に入力された画像信号がそれぞれ SigR1, SigG1, SigB1 となり、それらが 1 フレーム保持されるからである。

10

20

30

【0047】

図 3 は、本発明の LCD の画素電極選択回路 22 について実施の形態の他例を示す図であり、画素電極選択回路 22 の詳細を示す回路図である。図 3 の構成は、図 2 の構成において CMOS トランジスタ素子 30c, 30f を省いたものである。この場合、時分割信号入力線 MUXB, XMUXB も省くことができ、配線構造がさらに簡易化されたものとなる。画素電極 R11, G11, B11 について、図 4 (b) に示すように、ゲート信号線 GL1 がオン状態であり、MUXR に H の信号が入力されるとともに XMUXR に L の信号が入力されたときに、画像信号入力端子 S1 から入力された画像信号 SigR1 が、画像信号線 SL3 を伝送されてきて、画素電極 R11 に入力される。また、ゲート信号線 GL1 がオン状態であり、MUXG に H の信号が入力されるとともに XMUXG に L の信号が入力されたときに、画像信号入力端子 S1 から入力された画像信号 SigG1 が、画像信号線 SL3 を伝送されてきて、画素電極 G11 に入力される。また、ゲート信号線 GL1 がオン状態であり、CMOS トランジスタ素子 30a, 30b がオフ状態（非導通状態）であるとき、例えば、MUXR に H の信号が入力されず及び / または XMUXR に L の信号が入力されないとき、かつ MUXG に H の信号が入力されず及び / または XMUXG に L の信号が入力されないときに、画像信号入力端子 S1 から入力された画像信号 SigB1 が、画像信号線 SL3 を伝送されてきて、画素電極 B11 に入力される。このようにして、画素電極 R11, G11, B11 が順次、時分割駆動される。

40

【0048】

また、画素電極 R12, G12, B12 について、ゲート信号線 GL1 がオン状態であり、MUXR に H の信号が入力されるとともに XMUXR に L の信号が入力されたときに、画像信号入力端子 S2 から入力された画像信号 SigR2 が、画像信号線 SL6 を伝送されてきて、画素電極 R12 に入力される。ゲート信号線 GL1 がオン状態であり、MUXG に H の信号が入力されるとともに XMUXG に L の信号が入力されたときに、画像信号入力端子 S2 から入力された画像信号 SigG2 が、画像信号線 SL6 を伝送されてきて、画素電極 G12 に入力される。ゲート信号線 GL1 がオン状態であり、CMOS トランジスタ素子 30d, 30e がオフ状態（非導通状態）であるとき、例えば、MUXR に H の信号が入力されず及び / または XMUXR に L の信号が入力されないとき、かつ MUXG に H の信号が入力されず及び / または XMUXG に L の信号が入力されないときに、画像信号入力端子 S2 から入力された画像信号 SigB2 が、画像信号線 SL6 を伝送されてきて、画素電極 B12 に入力される。このようにして、画素電極 R12, G12, B12 が順次、時分割駆動される。

50

【0049】

画素電極 R21, G21, B21 のグループは、画素電極 R11, G11, B11 のグループと同様にしてゲート信号線 GL2 がオン状態のときに順次、時分割駆動される。画素電極 R22, G22, B22 のグループは、画素電極 R12, G12, B12 のグループと同様にしてゲート信号線 GL2 がオン状態のときに順次、時分割駆動される。

【0050】

画素電極 R31, G31, B31 のグループは、画素電極 R11, G11, B11 のグループと同様にして

50

ゲート信号線GL3がオン状態のときに順次、時分割駆動される。画素電極R32, G32, B32のグループは、画素電極R12, G12, B12のグループと同様にしてゲート信号線GL3がオン状態のときに順次、時分割駆動される。

【0051】

以上の時分割駆動をすべてのゲート信号線及び画素電極について順次行うことにより、1フレームの表示を実行させることができる。

【0052】

図2、図3に示した本発明のLCDにおいて、例えばグループを構成する3個の画素電極R11, G11, B11のそれぞれに駆動回路部20から画像信号SigR1, SigG1, SigB1を時分割で供給する画像信号線SL3は、他の画像信号線SL1, SL2よりも抵抗が小さいことが好ましい。この場合、画素電極R11, G11は、画像信号SigR1, SigG1が画像信号線SL3及び画素電極選択回路22を介して入力されるため、画像信号SigB1と比較して画像信号SigR1, SigG1は波形の鈍りが生じ、その結果画素電極R11, G11への画像信号SigR1, SigG1の書き込みが不十分となり表示品質が劣化しやすい傾向がある。従って、画像信号線SL3の抵抗が他の画像信号線SL1, SL2よりも抵抗が小さい場合、画像信号SigR1, SigG1の波形の鈍りを抑えることができる。また、画像信号SigR1, SigG1, SigB1のパルス幅を狭めて高速で時分割駆動を行う際に、画像信号SigR1, SigG1, SigB1のさらなる波形の鈍り、変形等を抑えることもできる。画像信号線SL3の抵抗を小さくするには、その幅を広くする、厚みを厚くする、低抵抗の材料を用いて形成するという手段によって実現することができる。画像信号線SL1, SL2, SL3は、アルミニウム(A1)、チタン(Ti)、モリブデン(Mo)、タンタル(Ta)、タングステン(W)、クロム(Cr)、銀(Ag)、銅(Cu)、ネオジウム(Nd)等から選ばれた元素から成る金属材料、これらの元素を主成分とする合金材料、または窒化チタン、窒化タンタル、窒化モリブデン等の金属窒化物等の導電性を有する材料を用いて形成される。画像信号線SL1, SL2, SL3を構成する導電層は、これらの材料から成る単層構造のもの、または積層構造のものとすることができる。積層構造とすることにより、より低抵抗化を実現することができる。

【0053】

また本発明のLCDは、図1(a)に示すように、額縁部11は、駆動回路部20側の部位GB1の幅をW1、駆動回路部20と表示領域9を介して対向する側の部位GB3の幅をW2としたとき、 $W1 = W2$ であることが好ましい。この場合、額縁部11の駆動回路部20側の部位GB1の幅を小さくして、配線構造が複雑化しやすい駆動回路部20周囲の面積を小さくすることができる。その結果、LCDをより小型化することができる。また、 $W1 / W2$ は、 $0.5 \sim 1$ であることがよい。 $W1 / W2$ が0.5未満では、駆動回路部20と画像信号線8とを電氣的に接続する第2の接続線24が部位GB1で斜め配線構造とされるが、第2の接続線24同士の間隔が狭くなりすぎてそれらの間で寄生容量が発生しやすくなる傾向がある。

【0054】

なお、本発明のLCDは、上記実施の形態に限定されるものではなく、適宜の設計的な変更、改良を含んでいてもよい。

【産業上の利用可能性】

【0055】

本発明のLCDは各種の電子機器に適用できる。その電子機器としては、自動車経路誘導システム(カーナビゲーションシステム)、船舶経路誘導システム、航空機経路誘導システム、スマートフォン端末、携帯電話、タブレット端末、パーソナルデジタルアシスタント(PDA)、ビデオカメラ、デジタルスチルカメラ、電子手帳、電子書籍、電子辞書、パーソナルコンピュータ、複写機、ゲーム機器の端末装置、テレビジョン、商品表示タグ、価格表示タグ、産業用のプログラマブル表示装置、カーオーディオ、デジタルオーディオプレイヤー、ファクシミリ、プリンター、現金自動預け入れ払い機(ATM)、自動販売機、ヘッドアップディスプレイ装置、プロジェクタ装置、デジタル表示式腕時計、スマートウォッチ、頭部装着型画像表示装置(Head Mounted Display device : HMD

）などがある。

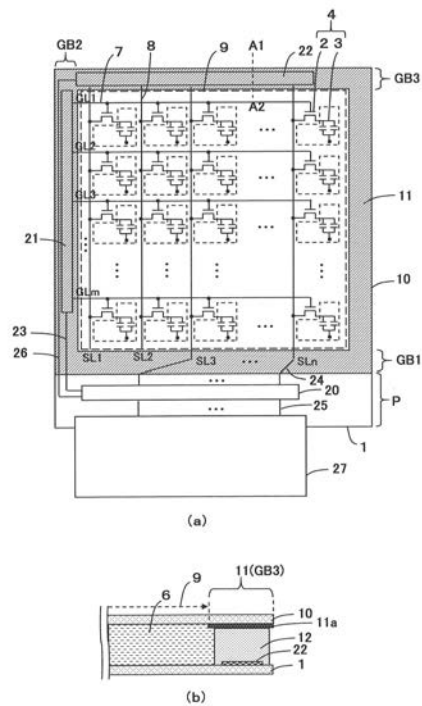
【符号の説明】

【 0 0 5 6 】

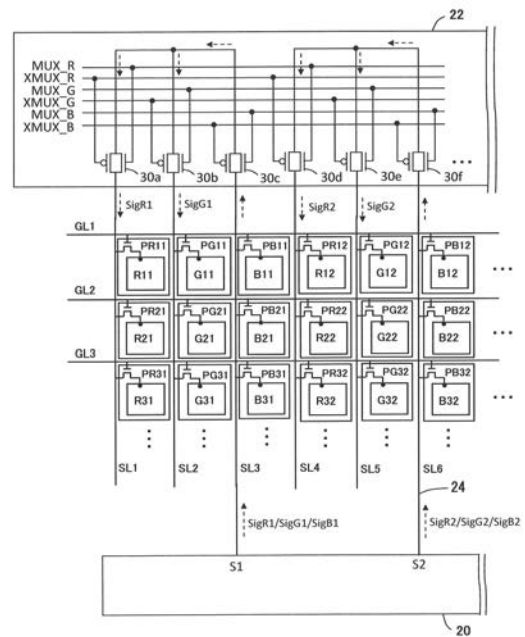
- 1 第 1 の基板
- 2 T F T
- 3 画素電極
- 4 画素部
- 6 液晶
- 7 ゲート信号線
- 8 画像信号線
- 9 表示領域
- 10 第 2 の基板
- 11 額縁部
- 20 駆動回路部
- 22 画素電極選択回路

10

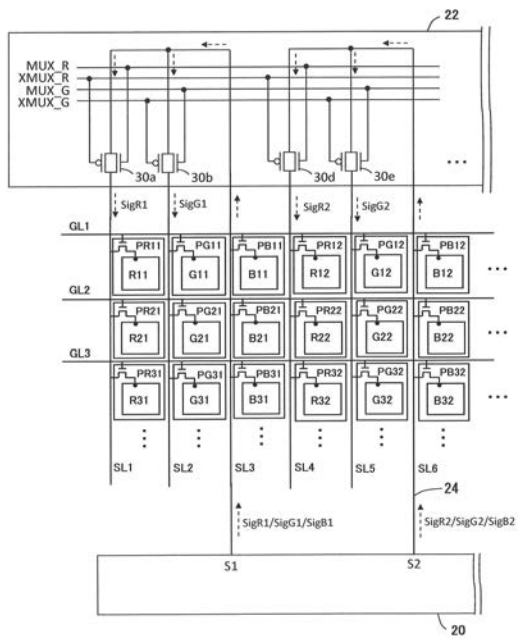
【 図 1 】



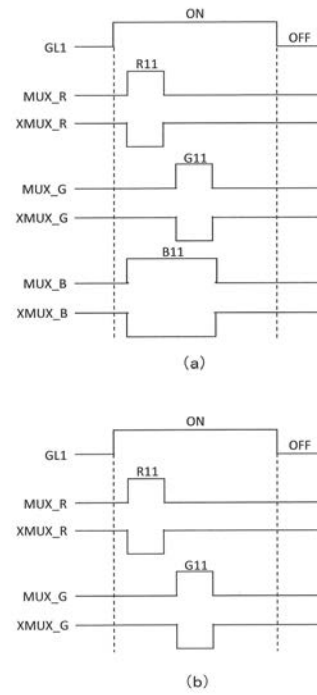
【 図 2 】



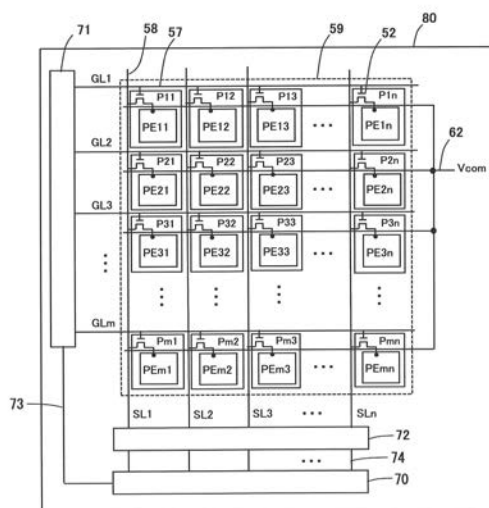
【図 3】



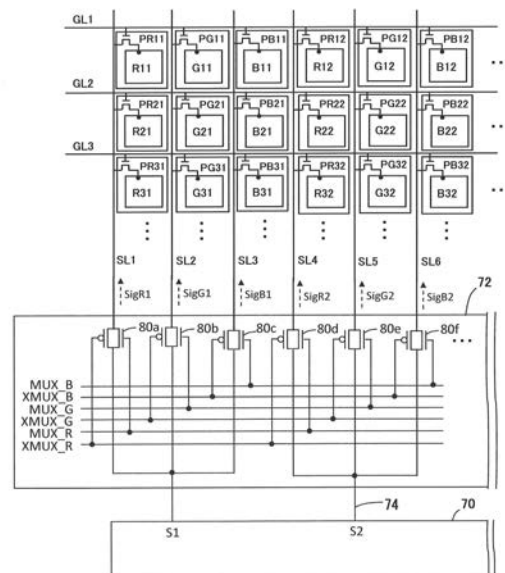
【図 4】



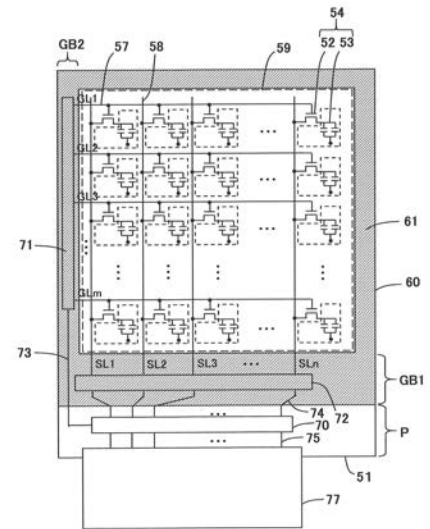
【図 5】



【図 6】



【 図 8 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20 6 4 1 C	
	G 0 9 G 3/20 6 2 3 B	

F ターム(参考) 5C080 AA10 BB05 CC03 DD22 EE29 EE30 FF11 FF12 JJ02 JJ03
JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2016218330A	公开(公告)日	2016-12-22
申请号	JP2015105019	申请日	2015-05-23
[标]申请(专利权)人(译)	京瓷显示器株式会社		
申请(专利权)人(译)	京瓷显示器有限公司		
[标]发明人	市村照彦		
发明人	市村 照彦		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/133 G09G3/36 G09G3/20		
FI分类号	G02F1/1345 G02F1/1368 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.641.C G09G3/20.623.B		
F-TERM分类号	2H092/GA32 2H092/GA59 2H092/GA60 2H092/JA24 2H092/NA25 2H092/PA06 2H092/PA09 2H192/AA24 2H192/EA22 2H192/EA32 2H192/EA43 2H192/FA32 2H192/FA52 2H192/FA54 2H192/FA73 2H192/FB02 2H192/FB27 2H192/GD61 2H193/ZA04 2H193/ZF36 2H193/ZF37 2H193/ZF43 2H193/ZF44 2H193/ZP13 5C006/AA16 5C006/AA22 5C006/BB16 5C006/FA41 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
外部链接	Espacenet		

摘要(译)

本发明，能够抑制在框架部分的宽度增加时，也通过简化布线构造，降低了液晶显示装置的尺寸。一的液晶显示装置中，像素电极3，与这些多个一起构成的组中的给定方向，在图像信号线8中的特定图像信号被电连接到它们各自的象素电极3只有8行（SL3）电连接到驱动电路部分20

