

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-232697

(P2011-232697A)

(43) 公開日 平成23年11月17日(2011.11.17)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/36	(2006.01)	G09G 3/36 2H193
G09G 3/20	(2006.01)	G09G 3/20 622E 5C006
G02F 1/133	(2006.01)	G09G 3/20 612K 5C080
		G09G 3/20 624B
		G09G 3/20 621B

審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く

(21) 出願番号	特願2010-105422 (P2010-105422)	(71) 出願人	506087819 パナソニック液晶ディスプレイ株式会社 兵庫県姫路市飾磨区妻鹿日田町1-6
(22) 出願日	平成22年4月30日 (2010.4.30)	(74) 代理人	110000154 特許業務法人はるか国際特許事務所
		(72) 発明者	喜田 和夫 千葉県茂原市早野3732番地 株式会社 IPSアルファテクノロジ内
			F ターム (参考) 2H193 ZA04 ZC25 ZF23 ZQ06 ZQ11 ZQ16 5C006 AA14 AA16 AA22 AC24 AC27 AC28 AF42 AF43 AF44 AF72 AF75 BB16 BC03 BC06 BC11 BC22 BF03 FA33 FA41 FA47 FA51
			最終頁に続く

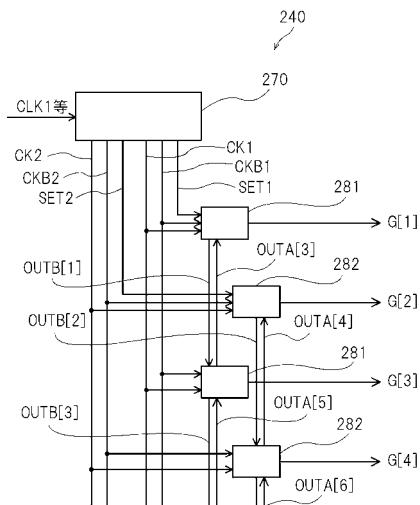
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】液晶表示装置において、画素トランジスタの長寿命化と消費電力を低減させるゲート信号の波形により簡易な構成により出力する。

【解決手段】各画素の液晶の配向を制御する画素トランジスタのゲートに入力されるゲート信号を出力し、各画素が並べられたライン毎に配置された複数のシフトレジスタ回路(281, 282)と、奇数ラインシフトレジスタ回路(281)に入力される第1クロック出力線CK1と、偶数ラインシフトレジスタ回路(282)に入力される第2クロック出力線CK2と、を備え、第1クロック出力線CK_A及び第2クロック出力線CK_Bには、1画面分を表示する期間であるフレーム期間ごとに第1クロック信号CK_A及び第2クロック信号CK_Bの2種類の異なるクロック信号が交互に印加され、第1クロック信号CK_A及び第2クロック信号CK_Bは、周期が同じで位相が異なるクロック信号である。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

各画素の液晶の配向を制御する画素トランジスタのゲートに入力されるゲート信号を出力し、前記各画素が並べられたライン毎に配置された複数のシフトレジスタ回路と、

前記シフトレジスタ回路に入力される第1クロック出力線と、を備え、

前記第1クロック出力線は、1画面分を表示する期間であるフレーム期間ごとに2種類の異なるクロック信号が交互に印加される、ことを特徴とする液晶表示装置。

【請求項 2】

前記2種類の異なるクロック信号は、第1クロック信号及び第2クロック信号であり、

前記第1クロック信号及び前記第2クロック信号は、周期が同じで位相が異なるクロック信号であり、

前記第1クロック信号は、第1ハイレベルの電圧値と、前記第1ハイレベルの電圧値よりも低い電圧値である第1ローレベルの電圧値とが交互に繰り返される信号であり、

前記第2クロック信号は、前記第1ハイレベルの電圧値よりも低く、前記第1ローレベルの電圧値よりも高い電圧値である第2ハイレベルの電圧値と、前記第1ローレベルの電圧値よりも低い電圧値である第2ローレベルの電圧値とが交互に繰り返される信号である、ことを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

前記シフトレジスタ回路に入力される第2クロック出力線を更に備え、

前記第1クロック出力線は、前記シフトレジスタ回路のうち、奇数ラインの画素に前記ゲート信号を出力する奇数ラインシフトレジスタ回路に接続され、

前記第2クロック出力線は、前記シフトレジスタ回路のうち、偶数ラインの画素に前記ゲート信号を出力する偶数ラインシフトレジスタ回路に接続され、

前記第2クロック出力線には、前記第1クロック出力線が前記第1クロック信号を出力している前記フレーム期間に、前記第2クロック信号が印加され、前記第1クロック出力線が前記第2クロック信号を出力している前記フレーム期間には、前記第1クロック信号が印加される、ことを特徴とする請求項2に記載の液晶表示装置。

【請求項 4】

前記第1クロック信号の反転信号である第3クロック信号が出力される第3クロック出力線と、

前記第2クロック信号の反転信号である第4クロック信号が出力される第4クロック出力線と、を更に備え、

前記第3クロック出力線は、前記第1クロック出力線と共に前記奇数ラインシフトレジスタ回路に入力され、

前記第4クロック出力線は、前記第2クロック出力線と共に前記偶数ラインシフトレジスタ回路に入力される、ことを特徴とする請求項3に記載の液晶表示装置。

【請求項 5】

前記第1ハイレベルの電圧値、前記第1ローレベルの電圧値、前記第2ハイレベルの電圧値及び前記第2ローレベルの電圧値を生成する電圧変換部と、

前記電圧変換部により生成された前記第1ハイレベルの電圧値、前記第1ローレベルの電圧値、前記第2ハイレベルの電圧値及び前記第2ローレベルの電圧値と、外部から入力される基準クロック信号とから第1クロック信号と第2クロック信号とを生成するレベルシフト部と、

フレーム期間毎に第1クロック信号と第2クロック信号とを入れ替える信号スイッチ部と、を更に備える請求項3に記載の液晶表示装置。

【請求項 6】

前記偶数ラインシフトレジスタ回路及び前記奇数ラインシフトレジスタ回路のいずれかからの出力信号が印加され、基板上で第1方向に延びる複数の導電線である走査信号線と、

前記基板上で前記走査信号線と垂直な第2方向に延びる複数の導電線であるデータ信号

10

20

30

40

50

線と、

前記走査信号線と前記データ信号線により囲まれることにより形成された複数の画素にそれぞれ配置された画素トランジスタと、

前記複数の画素のうちの一画素の前記画素トランジスタのゲートは、前記一画素の第1方向側の前記走査信号線に接続され、前記一画素の前記画素トランジスタのソース及びドレインのいずれか一方は、前記一画素の第2方向とは反対側の前記データ信号線に接続され、

前記一画素に隣接する前記複数の画素である隣接画素の前記画素トランジスタのゲートは、前記隣接画素の第1方向とは反対側の前記走査信号線に接続され、前記隣接画素の前記画素トランジスタのソース及びドレインのいずれか一方は、前記隣接画素の第2方向側の前記データ信号線に接続されることにより、前記第2方向に延びる前記複数の画素が同じ極性であり、前記第1方向に延びる、隣り合う前記複数の画素は極性が入れ替わる反転駆動であるカラム反転駆動を行う、ことを特徴とする請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

コンピュータ等の情報通信端末やテレビ受像機の表示デバイスとして、液晶表示装置が広く用いられている。液晶表示装置は、電界を変化させることにより、2つの基板の間に封じ込められた液晶組成物の配向を変え、2つの基板と液晶組成物を通過する光の透過度合いを制御することにより画像を表示させる装置であり、この電界を変化させるために、各画素の階調値に対応する電圧（以下、「階調電圧」という。）を、各画素の画素トランジスタを介して画素電極に印加している。一般に、画面の1ライン分の各画素トランジスタの各ゲートは一つの信号線（以下、「走査信号線」という。）に接続され、走査信号線は、駆動回路内で、各ライン毎に設けられたシフトレジスタにより、1ライン毎に順番に画素トランジスタを導通させる信号を出力するように制御されている。

【0003】

一方、画素トランジスタのソース・ドレイン線に印加される階調電圧において、供給される電荷の極性に偏りがある場合には液晶パネルの短寿命化を招くため、電荷の極性を反転させながら駆動する、いわゆる反転駆動により表示画像の制御を行うのが一般的となっている。特許文献1は、反転駆動を行うアクティブマトリクス基板において、信号書込と信号保持との間のレベルシフト V を小さくするゲート信号の波形について開示している。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平7-159756号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

各ラインのすべての画素トランジスタを導通させるための走査信号線には大きな電圧が印加されるため、画素トランジスタの長寿命化と消費電力の低減のために、走査信号線にかかる信号の波形を工夫することは重要である。

【0006】

本発明は上述の事情に鑑みてされたものであり、画素トランジスタの長寿命化と消費電力を低減させる走査信号線にかかる信号の波形を、より簡易な構成により実現させることを目的とする。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 7 】

本発明の液晶表示装置は、各画素の液晶の配向を制御する画素トランジスタのゲートに入力されるゲート信号を出力し、前記各画素が並べられたライン毎に配置された複数のシフトレジスタ回路と、前記シフトレジスタ回路に入力される第1クロック出力線と、を備え、前記第1クロック出力線は、1画面分を表示する期間であるフレーム期間ごとに2種類の異なるクロック信号が交互に印加される、ことを特徴とする液晶表示装置である。

【 0 0 0 8 】

また、本発明の液晶表示装置は、前記2種類の異なるクロック信号は、第1クロック信号及び第2クロック信号であり、前記第1クロック信号及び前記第2クロック信号は、周期が同じで位相が異なるクロック信号であり、前記第1クロック信号は、第1ハイレベルの電圧値と、前記第1ハイレベルの電圧値よりも低い電圧値である第1ローレベルの電圧値とが交互に繰り返される信号であり、前記第2クロック信号は、前記第1ハイレベルの電圧値よりも低く、前記第1ローレベルの電圧値よりも高い電圧値である第2ハイレベルの電圧値と、前記第1ローレベルの電圧値よりも低い電圧値である第2ローレベルの電圧値とが交互に繰り返される信号である、とすることができます。10

【 0 0 0 9 】

また、本発明の液晶表示装置は、前記シフトレジスタ回路に入力される第2クロック出力線を更に備え、前記第1クロック出力線は、前記シフトレジスタ回路のうち、奇数ラインの画素に前記ゲート信号を出力する奇数ラインシフトレジスタ回路に接続され、前記第2クロック出力線は、前記シフトレジスタ回路のうち、偶数ラインの画素に前記ゲート信号を出力する偶数ラインシフトレジスタ回路に接続され、前記第2クロック出力線には、前記第1クロック出力線が前記第1クロック信号を出力している前記フレーム期間に、前記第2クロック信号が印加され、前記第1クロック出力線が前記第2クロック信号を出力している前記フレーム期間には、前記第1クロック信号が印加される、とすることができます。20

【 0 0 1 0 】

また、本発明の液晶表示装置は、前記第1クロック信号の反転信号である第3クロック信号が出力される第3クロック出力線と、前記第2クロック信号の反転信号である第4クロック信号が出力される第4クロック出力線と、を更に備え、前記第3クロック出力線は、前記第1クロック出力線と共に前記奇数ラインシフトレジスタ回路に入力され、前記第4クロック出力線は、前記第2クロック出力線と共に前記偶数ラインシフトレジスタ回路に入力される、とすることができます。30

【 0 0 1 1 】

また、本発明の液晶表示装置は、前記第1ハイレベルの電圧値、前記第1ローレベルの電圧値、前記第2ハイレベルの電圧値及び前記第2ローレベルの電圧値を生成する電圧変換部と、前記電圧変換部により生成された前記第1ハイレベルの電圧値、前記第1ローレベルの電圧値、前記第2ハイレベルの電圧値及び前記第2ローレベルの電圧値と、外部から入力される基準クロック信号とから第1クロック信号と第2クロック信号とを生成するレベルシフト部と、フレーム期間毎に第1クロック信号と第2クロック信号とを入れ替える信号スイッチ部と、を更に備えることとしてもよい。40

【 0 0 1 2 】

また、本発明の液晶表示装置は、前記偶数ラインシフトレジスタ回路及び前記奇数ラインシフトレジスタ回路のいずれかからの出力信号が印加され、基板上で第1方向に延びる複数の導電線である走査信号線と、前記基板上で前記走査信号線と垂直な第2方向に延びる複数の導電線であるデータ信号線と、前記走査信号線と前記データ信号線とにより囲まれることにより形成された複数の画素にそれぞれ配置された画素トランジスタと、前記複数の画素のうちの一画素の前記画素トランジスタのゲートは、前記一画素の第1方向側の前記走査信号線に接続され、前記一画素の前記画素トランジスタのソース及びドレインのいずれか一方は、前記一画素の第2方向とは反対側の前記データ信号線に接続され、前記一画素に隣接する前記複数の画素である隣接画素の前記画素トランジスタのゲートは、前50

記隣接画素の第1方向とは反対側の前記走査信号線に接続され、前記隣接画素の前記画素トランジスタのソース及びドレインのいずれか一方は、前記隣接画素の第2方向側の前記データ信号線に接続されることにより、前記第2方向に延びる前記複数の画素が同じ極性であり、前記第1方向に延びる、隣り合う前記複数の画素は極性が入れ替わる反転駆動であるカラム反転駆動を行う、とすることができます。

【画面の簡単な説明】

【0013】

【図1】本発明の第1実施形態に係る液晶表示装置を示す図である。

【図2】図1の液晶表示パネルの構成を示す図である。

【図3】図2のTFT基板に形成された複数の画素の一部と、画素内の回路について概略的に示す図である。 10

【図4】図2の走査信号駆動回路の構成について概略的に示す図である。

【図5】図4のクロック波形生成回路の内部構成について概略的に示す図である。

【図6】図4のシフトレジスタ回路を示す回路図である。

【図7】図4の走査信号駆動回路のタイミングチャートである。

【図8】本発明の第2実施形態に係る液晶表示装置のTFT基板に形成された複数の画素の一部と画素内の回路について概略的に示す図である。 20

【図9】本発明の第3実施形態に係る液晶表示装置のTFT基板に形成された複数の画素の一部と画素内の回路について概略的に示す図である。

【図10】本発明の第4実施形態に係る液晶表示装置の走査信号駆動回路の構成について概略的に示す図である。 20

【発明を実施するための形態】

【0014】

以下、本発明の実施形態について、図面を参照しつつ説明する。なお、図面において、同一又は同等の要素には同一の符号を付し、重複する説明を省略する。

【0015】

[第1実施形態]

図1は、本発明の第1実施形態に係る液晶表示装置100を示す図である。この図に示すように、液晶表示装置100は、液晶表示パネル200と、液晶表示パネル200を挟むように固定する上フレーム101及び下フレーム102と、表示する情報を生成する回路素子を備える不図示の回路基板と、その回路基板において生成された表示情報を液晶表示パネル200に伝える不図示のフレキシブル基板と、により構成される。 30

【0016】

図2には、図1の液晶表示パネル200の構成が示されている。液晶表示パネル200は、TFT基板230とカラーフィルタ基板220の2枚の基板を有し、これらの基板の間には液晶組成物が封止されている。TFT基板230には、走査信号駆動回路240により制御される走査信号線G[N]、及びデータ信号駆動回路250により制御されるデータ信号線D[M]が張り巡らされ、これらの信号線は、液晶表示装置100の画素260を形成している。なお、M及びNは、それぞれカラム数及びライン数に対応した自然数である。また、液晶表示パネル200は、その表示の解像度に対応する数の画素260を有するが、図が煩雑になるのを避けるため、図2では簡略化して示している。 40

【0017】

なお、本実施形態の液晶表示パネル200は、TFT基板230内に2つの電極(図3の画素電極262及び共通電極263)を有するいわゆるIPS(In Plane Switching)方式の液晶表示パネル200である。

【0018】

図3は、TFT基板230に形成された複数の画素260の一部と画素260内の回路について概略的に示す図である。画素260は、各画素の階調値に対応する電圧が印加される画素電極262と、画素電極262との間で電界を形成し、各画素で共通の電位を有する共通電極263と、走査信号線G[N]がゲートに接続され、ソース及びドレインの

10

20

30

40

50

いずれか一方がデータ信号線 D [M] に、他方が画素電極 262 に接続された画素トランジスタ 261 と、を有している。本実施形態においては、1 ライン毎に異なる極性のデータ信号を印加する、いわゆるライン反転駆動を行うため、図 3 に示すように、画面の第 1 ラインの画素 260 の画素トランジスタ 261 は、すべて走査信号線 G [1] に接続され、画面の第 1 カラムの画素 260 の画素トランジスタ 261 は、すべてデータ信号線 D [1] に接続されており、他のライン及びカラムの各画素トランジスタ 261 についても同様に、対応する走査信号線 G [N] 及びデータ信号線 D [M] に接続されている。

【 0019 】

図 4 は、走査信号駆動回路 240 の構成について概略的に示す図である。走査信号駆動回路 240 は、クロック波形生成回路 270 と、偶数ライン (N : 偶数) の走査信号線 G [N] に接続された複数のシフトレジスタ回路 281 と、奇数ライン (N : 奇数) の走査信号線 G [N] に接続された複数のシフトレジスタ回路 282 と、を有している。

10

【 0020 】

クロック波形生成回路 270 は、外部からのクロック信号 CLK1 等を入力とし、奇数ラインの画素の走査信号線 G [N] に走査信号を出力するシフトレジスタ回路 281 に対する入力信号である第 1 クロック信号及び第 1 クロック信号の反転信号である第 1 クロック反転信号、並びに第 1 ラインのシフトレジスタ回路 281 への開始の合図となる第 1 セット信号を、それぞれ第 1 クロック信号線 CK1、第 1 クロック反転信号線 CKB1 及び第 1 セット信号線 SET1 に印加し、偶数ラインの画素の走査信号線 G [N] に走査信号を出力するシフトレジスタ回路 282 に対する入力信号である第 2 クロック信号及び第 2 クロック信号の反転信号である第 2 クロック反転信号、並びに第 2 ラインのシフトレジスタ回路 282 への開始の合図となる第 2 セット信号を、それぞれ第 2 クロック信号線 CK2 及び第 2 クロック反転信号線 CKB2、並びに第 2 セット信号線 SET2 に印加する。

20

【 0021 】

クロック波形生成回路 270 から出力された上述の各信号を入力した各シフトレジスタ回路 281 及び 282 は、各走査信号線 G [N] に走査信号を出力する。なお、各シフトレジスタ回路 281 及び 282 には、2 ライン前のシフトレジスタの出力 OUTB [N - 2] の信号、及び 2 ライン後のシフトレジスタの出力 OUTA [N + 2] の信号も入力される。

30

【 0022 】

図 5 は、クロック波形生成回路 270 の内部構成について概略的に示す図である。クロック波形生成回路 270 は、クロック信号において使用される 2 種類のハイレベル電圧及び 2 種類のローレベル電圧を生成する電圧変換部 272 と、フレーム期間毎に、2 種類のハイレベル電圧及び 2 種類のローレベル電圧をそれぞれ入れ替えて出力する信号スイッチ部 276 と、2 種類のクロック信号をクロック信号線 CK1 及び CK2 等に出力するレベルシフト部 274 とを備えている。

40

【 0023 】

これら各部について詳細に説明すると、電圧変換部 272 は、電源電圧 VDD 及び接地電圧 GND を入力し、第 1 のクロック信号のハイレベル電圧値 VDD_H 及びローレベル電圧値 VSS_H、並びに第 2 のクロック信号のハイレベル電圧値 VDD_L 及びローレベル電圧値 VSS_L を出力する。

40

【 0024 】

信号スイッチ部 276 は、電圧変換部 272 の出力である第 1 のクロック信号のハイレベル電圧値 VDD_H 及びローレベル電圧値 VSS_H、第 2 のクロック信号のハイレベル電圧値 VDD_L 及びローレベル電圧値 VSS_L、並びに制御信号を入力し、第 1 のクロック信号の各電圧と第 2 のクロック信号の各電圧が出力される端子をフレーム期間毎に切替える。すなわちレベルシフト部 274 に入力される各電圧値はフレーム期間毎に切替えられる。

【 0025 】

また、レベルシフト部 274 は、外部からの 2 種類のクロック信号 CK1_in 及び CK

50

2 in と、その反転信号 CKB1in 及び CKB2in、スタート信号 SET1in 及び SET2in を入力すると共に、電圧変換部 272 で生成され、信号スイッチ部を介して入力される各レベル電圧値 VDD_H、VSS_H、VDD_L 及び VSS_L を入力し、2種類のクロック信号をクロック信号線 CK2 及び CK1 に出力し、その反転信号を反転信号線 CKB1 及び CKB2 に出力し、スタート信号を第1セット信号線 SET1 及び SET2 に出力する。ここで、2種類のクロック信号の一方は、タイミングをクロック信号 CK1in のタイミングとするクロックであり、他方は、タイミングをクロック信号 CK2in のタイミングとするクロックである。また、それぞれのクロック信号には、ハイレベル電圧を VDD_H、ローレベル電圧を VSS_H とするクロック電圧と、ハイレベル電圧を VDD_L、ローレベル電圧を VSS_L とするクロック電圧とのいずれかがフレーム期間毎に交互に印加される。

10

【0026】

図6には、奇数ラインに配置されたシフトレジスタ回路281の代表的な回路図が示されており、図7には、タイミングチャートが示されている。また、OUTA[N]は走査信号線G[N]に接続されている。なお、第1ラインのシフトレジスタ回路281におけるOUTB[N-2]には、第1セット信号線SET1が接続されている。

【0027】

第1ラインのシフトレジスタ回路281の動作について、図6及び図7を参照しつつ説明する。図7の時刻t2において、第1クロック反転信号線CKB1及びOUTB[N-2]に接続された第1セット信号線SET1に電位VDD_Hが印加されると、まず、トランジスタT1及びトランジスタT2が導通し、ノードN1に電位VDD_Hとなると共に、ノードN2が電位VSS_Hとなるため、容量C1には電位VDD_H及び電位VSS_Hの差の電位差が生じると共に、トランジスタT3及びトランジスタT4が導通する。次に、時刻t3において、第1クロック信号線CK1に電位VDD_Hが印加されると、トランジスタT3及びトランジスタT4が導通しているため、第1クロック信号線CK1の信号はそのままOUTA[1]及びOUTB[1]に出力され走査信号線G[1]に印加されると共に、トランジスタT5が導通し、容量C1は放電する。時刻t4において、第1クロック信号線CK1に電位VSS_Hが印加され、2ライン後の出力信号であるOUTA[N+2]が電位VDD_Hになると、トランジスタT6及びT7が導通し、ノードN1が電位VSS_Hになるため、第1クロック信号線CK1へ電位VDD_Hは出力されなくなる。

20

【0028】

一方、偶数ラインに配置されたシフトレジスタ回路282も同様の動作を行うが、入力信号が第2クロック信号線CK2及び第2クロック反転信号線CKB2等に印加された信号であるため、出力される電位も異なっている。図7の走査信号線G[2]及びG[4]の出力に表されるように、偶数ラインの走査信号線G[N]の電位は、電位VSS_Hを跨ぐように、ハイレベル電位VDD_L及びローレベル電位VSS_Lが設定されている。つまり、第1ラインの書きの際には、各カラムのデータ信号線D[M]の極性が正極性の階調電圧が印加され、走査信号線G[1]には、ハイレベル電位VDD_H及びローレベル電位VSS_Hを有するAクロック信号CK_Aが印加される。次に、第2ラインの書きの際には、各カラムのデータ信号線D[M]には負極性の階調電圧が印加され、走査信号線G[2]には、走査信号線G[1]に印加した電位より低い、ハイレベル電位VDD_L及びローレベル電位VSS_Lを有するBクロック信号CK_Bが印加される。以下、各ライン毎に極性の異なるデータ信号が印加されると共に、奇数ラインにAクロック信号CK_A、偶数ラインにBクロック信号CK_Bが印加される。図3では、ハッチングにより、ライン毎にデータ信号の極性が入れ替わる様子が示されている。

40

【0029】

なお、各画素の画素電極262に印加される信号の反転の極性は、一画面を書き換えるフレーム期間ごとに入れ替わり、クロック波形生成回路270から出力される第1クロック信号線CK1及び第2クロック信号線CK2に印加されるAクロック信号CK_A及び

50

B クロック信号 CK_B も、クロック波形生成回路 270 の信号スイッチ部 276 により、フレーム期間ごとに入れ替えられる。そのため、正極性のデータ信号の場合には、A クロック信号 CK_A が用いられ、負極性のデータ信号の場合には、B クロック信号 CK_B が用いられるように制御されている。

【0030】

したがって、正極性のデータ信号を印加する場合と、負極性のデータ信号を印加する場合とで、走査信号線 G[N] に印加されるハイレベル電位及びローレベル電位を異ならせているため、画素トランジスタ 261 に与える負荷を軽減することができ、画素トランジスタ 261 の長寿命化と消費電力を低減させることができる。また、クロック信号の種類を増加させるのみの簡易な構成で実現することができる。10

【0031】

[第2実施形態]

図 8 には、本発明の第 2 実施形態に係る液晶表示装置の TFT 基板 330 に形成された複数の画素 360 の一部と画素 360 内の回路について概略的に示す図である。本実施形態の液晶表示装置及び液晶表示パネルの構成は、第 1 実施形態の図 1 及び図 2 と同様であるため説明を省略する。

【0032】

第 1 実施形態の TFT 基板 230 の回路とは、各画素トランジスタ 361 のゲートが接続する走査信号線 G[N] が異なっている。具体的には、奇数カラムで第 N ラインの画素トランジスタ 361 のゲートは、第 1 実施形態と同様に、走査信号線 G[N] に接続されているが、偶数カラムで第 N ラインの画素トランジスタ 361 のゲートは、走査信号線 G[N+1] に接続されている。このような接続とし、第 1 実施形態と同様の走査信号駆動回路 240 を用いることにより、市松模様状に極性が反転する、いわゆるドット反転駆動を実現することができる。20

【0033】

したがって、TFT 基板 330 のような回路としたとしても、第 1 実施形態と同様に、正極性のデータ信号を印加する場合と、負極性のデータ信号を印加する場合とで、走査信号線 G[N] に印加するハイレベル電位及びローレベル電位を異ならせているため、画素トランジスタ 361 に与える負荷を軽減することができ、画素トランジスタ 361 の長寿命化と消費電力を低減させることができる。また、クロック信号の種類を増加させるのみの簡易な構成で実現することができる。30

【0034】

[第3実施形態]

図 9 には、本発明の第 3 実施形態に係る液晶表示装置の TFT 基板 430 に形成された複数の画素 460 の一部と画素 460 内の回路について概略的に示す図である。本実施形態の液晶表示装置及び液晶表示パネルの構成は、第 1 実施形態の図 1 及び図 2 と同様であるため説明を省略する。本実施形態の TFT 基板 430 の回路は、第 1 実施形態の TFT 基板 230 の回路と比較して、各画素トランジスタのゲートが接続する走査信号線 G[N] が異なると共に、各画素トランジスタ 461 のソース及びドレインのいずれかが接続するデータ信号線 D[N] が異なっている。40

【0035】

具体的には、第 M カラムで第 N ラインの画素で、M と N の和が偶数となる場合には、画素トランジスタ 461 のゲートは走査信号線 G[N] に接続され、ソース及びドレインのいずれかはデータ信号線 D[M+1] に接続される。また、M と N の和が奇数となる場合には、画素トランジスタ 461 のゲートは走査信号線 G[N+1] に接続され、ソース及びドレインのいずれかはデータ信号線 D[M] に接続されている。別の表現では、ある一画素から見て、その一画素の画素トランジスタのゲートがデータ信号線の延びる方向とは逆の方向の走査信号線に接続され、ソース及びドレインのいずれか一方が走査信号線が延びる方向のデータ信号線に接続されている場合に、その一画素と隣接する画素では、画素トランジスタのゲートがデータ信号線の延びる方向の走査信号線に接続され、ソース及び50

ドレインのいずれか一方が走査信号線が延びる方向とは逆の方向のデータ信号線に接続されている。このような接続とし、第1実施形態と同様の走査信号駆動回路240を用いることにより、列ごとに極性が反転する、いわゆるカラム反転駆動を実現することができる。

【0036】

したがって、TFT基板430のような回路としたとしても、第1実施形態と同様に、正極性のデータ信号を印加する場合と、負極性のデータ信号を印加する場合とで、走査信号線G[N]に印加するハイレベル電位及びローレベル電位を異ならせているため、画素トランジスタ461に与える負荷を軽減することができ、画素トランジスタ461の長寿命化と消費電力を低減させることができる。また、クロック信号の種類を増加されるのみの簡易な構成で実現することができる。10

【0037】

[第4実施形態]

図10には、本発明の第4実施形態に係る液晶表示装置の走査信号駆動回路540の構成について概略的に示す図である。本実施形態の液晶表示装置、液晶表示パネル及びTFT基板の画素内の回路の構成は、走査信号駆動回路を除き、第1実施形態の図1～図3と同様であるため、説明を省略する。

【0038】

走査信号駆動回路540は、第1実施形態の走査信号駆動回路240と同様に、クロック波形生成回路570と、走査信号線G[N]の数に対応した数のシフトレジスタ回路580と、を有している。クロック波形生成回路570は、外部からのクロック信号CLKを入力とし、画素の走査信号線G[N]に走査信号を出力するシフトレジスタ回路580に対する入力信号である第1クロック信号及び第1クロック信号の反転信号である第1クロック反転信号、並びに第1ラインのシフトレジスタ回路580への開始の合図となる第1セット信号を、それぞれ第1クロック信号線CK1、第1クロック反転信号線CKB1及び第1セット信号線SET1に印加する。20

【0039】

クロック波形生成回路570から出力された上述の各信号を入力した各シフトレジスタ回路580は、各走査信号線G[N]に走査信号を出力する。なお、各シフトレジスタ回路580には、1ライン前のシフトレジスタの出力OUTB[N-1]の信号、及び1ライン後のシフトレジスタの出力OUTA[N+1]の信号も入力される。30

【0040】

ここで、クロック波形生成回路570は、図5に示された第1実施形態のクロック波形生成回路270と同様の構成であり、第1クロック信号線CK1、第1クロック反転信号線CKB1及び第1セット信号線SET1に出力される信号のみが使用され、第2クロック信号線CK2、第2クロック反転信号線CKB2及び第2セット信号線SET2に出力される信号は使用しない。なお、第1実施形態で説明したように、第1クロック信号線CK1及び第1クロック反転信号線CKB1に印加される信号は、フレーム期間毎に2種類のAクロック信号CK_A及びBクロック信号CK_Bのいずれかに切替えて出力されている。40

【0041】

このように、第1実施形態と同様のTFT基板の画素回路において、本実施形態の走査信号駆動回路540を用いることにより、フレーム期間ごとに極性が反転する、いわゆるフレーム反転駆動を実現することができる。

【0042】

したがって、本実施形態の走査信号駆動回路540を用いたとしても、第1実施形態と同様に、正極性のデータ信号を印加する場合と、負極性のデータ信号を印加する場合とで、走査信号線G[N]に印加するハイレベル電位及びローレベル電位を異ならせているため、画素トランジスタに与える負荷を軽減することができ、画素トランジスタの長寿命化と消費電力を低減させることができる。また、クロック信号の種類を増加させるのみの簡

易な構成で実現することができる。

【0043】

なお、上述の実施形態では、第1クロック信号線CK1と第2クロック信号線CK2に印加される信号は、位相が $\pi/2$ だけずれた信号を使用しているが、これに限られず、及び $\pi/4$ その他の位相ずれの信号を使用してもよい。

【0044】

また、上述の実施形態に係る液晶表示装置は、TFT基板にのみに電極が設けられたIPS(In Plane Switching)方式としたが、TFT基板及びカラーフィルタ基板の両方に電極が設けられたTN(Twisted Nematic)方式又はVA(Vertical Alignment)方式の液晶表示装置にも適用することができる。

10

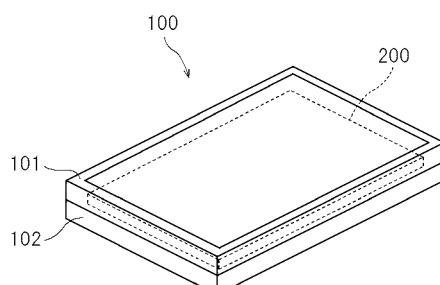
【符号の説明】

【0045】

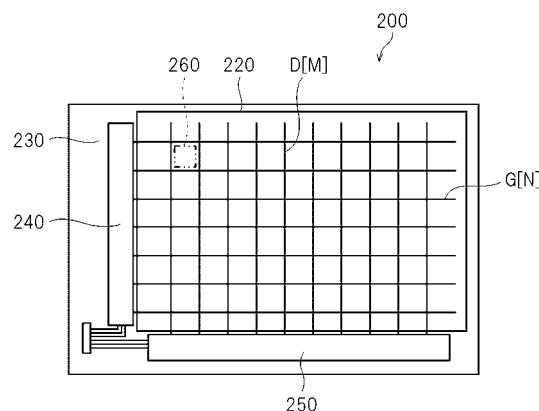
100 液晶表示装置、101 上フレーム、102 下フレーム、200 液晶表示パネル、220 カラーフィルタ基板、230 TFT基板、240 走査信号駆動回路、250 データ信号駆動回路、260 画素、261 画素トランジスタ、262 画素電極、263 共通電極、270 クロック波形生成回路、272 電圧変換部、274 レベルシフト部、276 信号スイッチ部、281, 282 シフトレジスタ回路、330 TFT基板、360 画素、361 画素トランジスタ、430 TFT基板、460 画素、461 画素トランジスタ、540 走査信号駆動回路、570 クロック波形生成回路、580 シフトレジスタ回路。

20

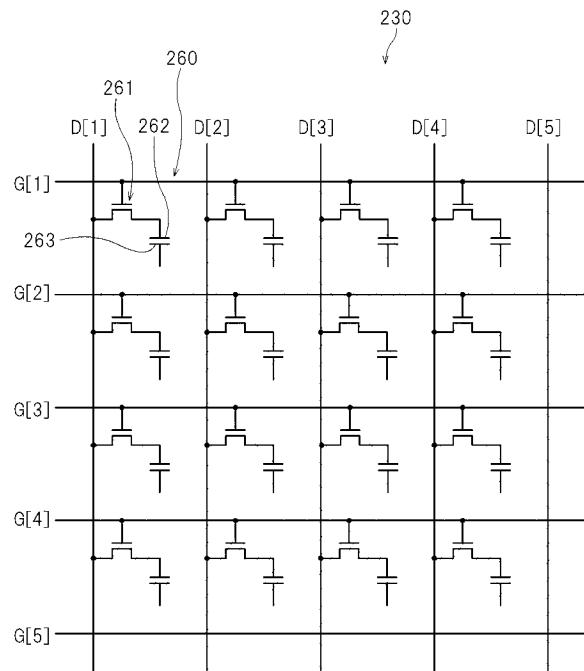
【図1】



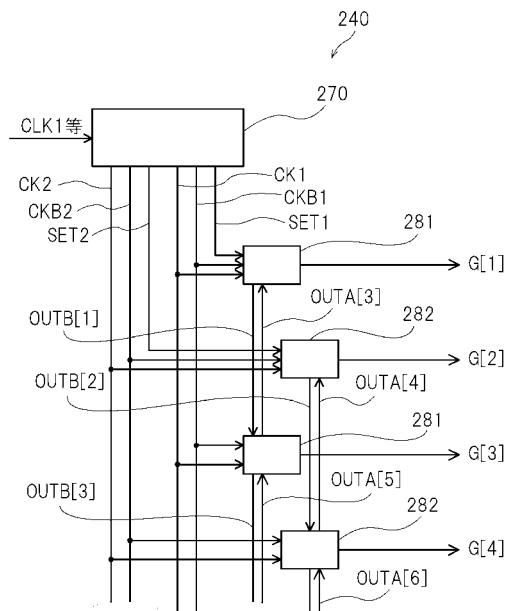
【図2】



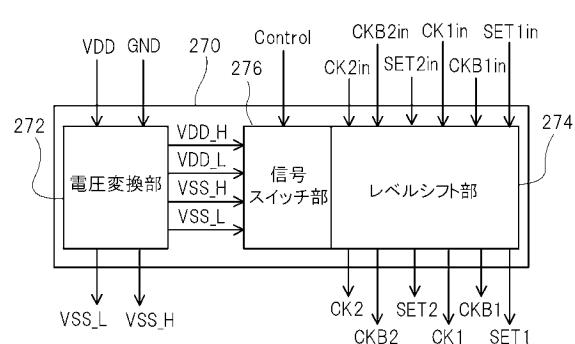
【図3】



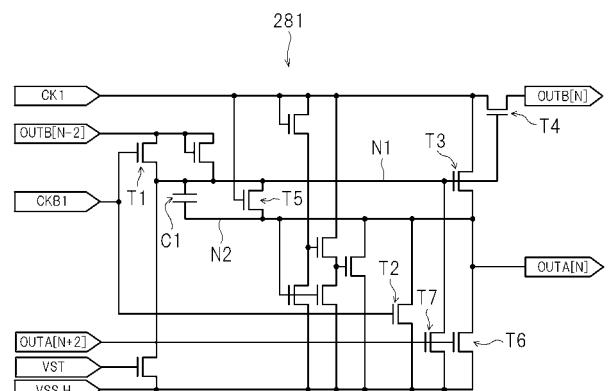
【図4】



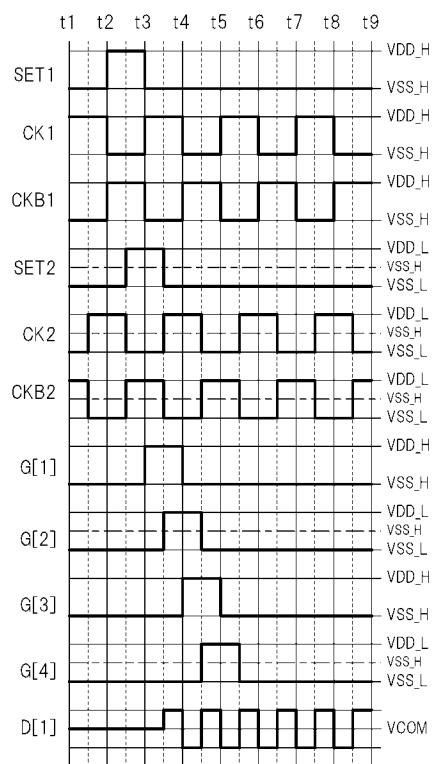
【図5】



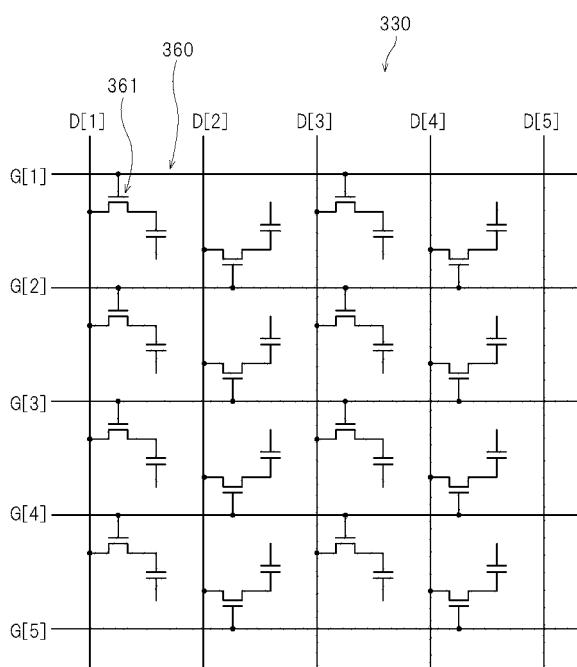
【図6】



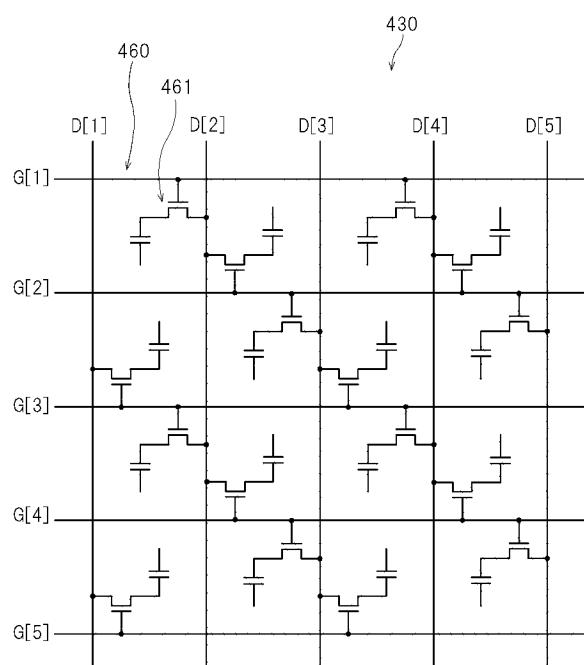
【図7】



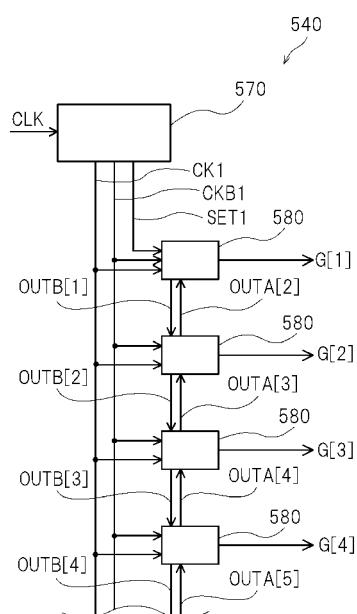
【図8】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G	3/20 6 2 1 A
	G 0 9 G	3/20 6 1 1 A
	G 0 9 G	3/20 6 7 0 K
	G 0 2 F	1/133 5 5 0

F ターム(参考) 5C080 AA10 BB05 CC03 DD18 DD19 DD22 DD26 DD27 DD29 FF11
JJ02 JJ03 JJ04 JJ06 KK02 KK43

专利名称(译)	液晶表示装置		
公开(公告)号	JP2011232697A	公开(公告)日	2011-11-17
申请号	JP2010105422	申请日	2010-04-30
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	喜田和夫		
发明人	喜田 和夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
F1分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.K G09G3/20.624.B G09G3/20.621.B G09G3/20.621.A G09G3/20.611.A G09G3/20.670.K G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28. 230		
F-TERM分类号	2H193/ZA04 2H193/ZC25 2H193/ZF23 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AA14 5C006 /AA16 5C006/AA22 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF72 5C006/AF75 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC22 5C006 /BF03 5C006/FA33 5C006/FA41 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD18 5C080/DD19 5C080/DD22 5C080/DD26 5C080/DD27 5C080/DD29 5C080/FF11 5C080 /JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK43 5B074/AA10 5B074/CA01 5B074 /EA01		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，并输出更简单的结构的栅极信号的波形，以减小像素晶体管的功率消耗的寿命。A输出输入到像素晶体管的栅极，用于控制每个像素的液晶的取向的栅极信号，设置用于像素的每一行的多个移位寄存器电路布置(281, 282)，奇的第一时钟输出线CK1输入到线移位寄存器电路(281)，第二时钟输出线CK2输入到偶数行的移位寄存器电路(282)包括：第一时钟输出线CK_A和所述2个时钟输出线CK_B，第一时钟信号和CK_A第二时钟信号的CK_B 2不同的时钟信号被交替地施加到每个帧周期是用于显示一个屏幕，所述第一时钟信号CK_A一个周期并且第二时钟信号CK_B是具有相同周期但不同相位的时钟信号。点域4

