

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-232697

(P2011-232697A)

(43) 公開日 平成23年11月17日(2011.11.17)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 622E	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 612K	5C080
	G09G 3/20 624B	
	G09G 3/20 621B	
審査請求 未請求 請求項の数 6 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2010-105422 (P2010-105422)	(71) 出願人	506087819
(22) 出願日	平成22年4月30日 (2010. 4. 30)		パナソニック液晶ディスプレイ株式会社
			兵庫県姫路市飾磨区妻鹿日田町1-6
		(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	喜田 和夫
			千葉県茂原市早野3732番地 株式会社
			I P S アルファテクノロジー内
		Fターム(参考)	2H193 ZA04 ZC25 ZF23 ZQ06 ZQ11
			ZQ16
			5C006 AA14 AA16 AA22 AC24 AC27
			AC28 AF42 AF43 AF44 AF72
			AF75 BB16 BC03 BC06 BC11
			BC22 BF03 FA33 FA41 FA47
			FA51
			最終頁に続く

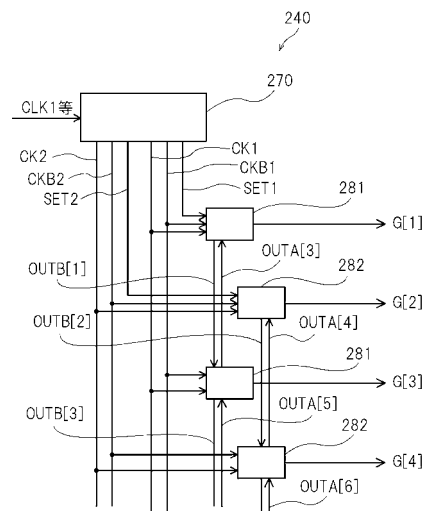
(54) 【発明の名称】 液晶表示装置

## (57) 【要約】

【課題】液晶表示装置において、画素トランジスタの長寿命化と消費電力を低減させるゲート信号の波形をより簡易な構成により出力する。

【解決手段】各画素の液晶の配向を制御する画素トランジスタのゲートに入力されるゲート信号を出力し、各画素が並べられたライン毎に配置された複数のシフトレジスタ回路(281, 282)と、奇数ラインシフトレジスタ回路(281)に入力される第1クロック出力線CK1と、偶数ラインシフトレジスタ回路(282)に入力される第2クロック出力線CK2と、を備え、第1クロック出力線CK\_A及び第2クロック出力線CK\_Bには、1画面分を表示する期間であるフレーム期間ごとに第1クロック信号CK\_A及び第2クロック信号CK\_Bの2種類の異なるクロック信号が交互に印加され、第1クロック信号CK\_A及び第2クロック信号CK\_Bは、周期が同じで位相が異なるクロック信号である。

【選択図】図4



**【特許請求の範囲】****【請求項 1】**

各画素の液晶の配向を制御する画素トランジスタのゲートに入力されるゲート信号を出力し、前記各画素が並べられたライン毎に配置された複数のシフトレジスタ回路と、

前記シフトレジスタ回路に入力される第 1 クロック出力線と、を備え、

前記第 1 クロック出力線は、1 画面分を表示する期間であるフレーム期間ごとに 2 種類の異なるクロック信号が交互に印加される、ことを特徴とする液晶表示装置。

**【請求項 2】**

前記 2 種類の異なるクロック信号は、第 1 クロック信号及び第 2 クロック信号であり、

前記第 1 クロック信号及び前記第 2 クロック信号は、周期が同じで位相が異なるクロック信号であり、

前記第 1 クロック信号は、第 1 ハイレベルの電圧値と、前記第 1 ハイレベルの電圧値よりも低い電圧値である第 1 ローレベルの電圧値とが交互に繰り返される信号であり、

前記第 2 クロック信号は、前記第 1 ハイレベルの電圧値よりも低く、前記第 1 ローレベルの電圧値よりも高い電圧値である第 2 ハイレベルの電圧値と、前記第 1 ローレベルの電圧値よりも低い電圧値である第 2 ローレベルの電圧値とが交互に繰り返される信号である、ことを特徴とする請求項 1 に記載の液晶表示装置。

**【請求項 3】**

前記シフトレジスタ回路に入力される第 2 クロック出力線を更に備え、

前記第 1 クロック出力線は、前記シフトレジスタ回路のうち、奇数ラインの画素に前記ゲート信号を出力する奇数ラインシフトレジスタ回路に接続され、

前記第 2 クロック出力線は、前記シフトレジスタ回路のうち、偶数ラインの画素に前記ゲート信号を出力する偶数ラインシフトレジスタ回路に接続され、

前記第 2 クロック出力線には、前記第 1 クロック出力線が前記第 1 クロック信号を出力している前記フレーム期間に、前記第 2 クロック信号が印加され、前記第 1 クロック出力線が前記第 2 クロック信号を出力している前記フレーム期間には、前記第 1 クロック信号が印加される、ことを特徴とする請求項 2 に記載の液晶表示装置。

**【請求項 4】**

前記第 1 クロック信号の反転信号である第 3 クロック信号が出力される第 3 クロック出力線と、

前記第 2 クロック信号の反転信号である第 4 クロック信号が出力される第 4 クロック出力線と、を更に備え、

前記第 3 クロック出力線は、前記第 1 クロック出力線と共に前記奇数ラインシフトレジスタ回路に入力され、

前記第 4 クロック出力線は、前記第 2 クロック出力線と共に前記偶数ラインシフトレジスタ回路に入力される、ことを特徴とする請求項 3 に記載の液晶表示装置。

**【請求項 5】**

前記第 1 ハイレベルの電圧値、前記第 1 ローレベルの電圧値、前記第 2 ハイレベルの電圧値及び前記第 2 ローレベルの電圧値を生成する電圧変換部と、

前記電圧変換部により生成された前記第 1 ハイレベルの電圧値、前記第 1 ローレベルの電圧値、前記第 2 ハイレベルの電圧値及び前記第 2 ローレベルの電圧値と、外部から入力される基準クロック信号とから第 1 クロック信号と第 2 クロック信号とを生成するレベルシフト部と、

フレーム期間毎に第 1 クロック信号と第 2 クロック信号とを入れ替える信号スイッチ部と、を更に備える請求項 3 に記載の液晶表示装置。

**【請求項 6】**

前記偶数ラインシフトレジスタ回路及び前記奇数ラインシフトレジスタ回路のいずれかからの出力信号が印加され、基板上で第 1 方向に延びる複数の導電線である走査信号線と、

前記基板上で前記走査信号線と垂直な第 2 方向に延びる複数の導電線であるデータ信号

10

20

30

40

50

線と、

前記走査信号線と前記データ信号線とにより囲まれることにより形成された複数の画素にそれぞれ配置された画素トランジスタと、

前記複数の画素のうちの一画素の前記画素トランジスタのゲートは、前記一画素の第1方向側の前記走査信号線に接続され、前記一画素の前記画素トランジスタのソース及びドレインのいずれか一方は、前記一画素の第2方向とは反対側の前記データ信号線に接続され、

前記一画素に隣接する前記複数の画素である隣接画素の前記画素トランジスタのゲートは、前記隣接画素の第1方向とは反対側の前記走査信号線に接続され、前記隣接画素の前記画素トランジスタのソース及びドレインのいずれか一方は、前記隣接画素の第2方向側の前記データ信号線に接続されることにより、前記第2方向に延びる前記複数の画素が同じ極性であり、前記第1方向に延びる、隣り合う前記複数の画素は極性が入れ替わる反転駆動であるカラム反転駆動を行う、ことを特徴とする請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

コンピュータ等の情報通信端末やテレビ受像機の表示デバイスとして、液晶表示装置が広く用いられている。液晶表示装置は、電界を変化させることにより、2つの基板の間に封じ込められた液晶組成物の配向を変え、2つの基板と液晶組成物を通過する光の透過度合いを制御することにより画像を表示させる装置であり、この電界を変化させるために、各画素の階調値に対応する電圧（以下、「階調電圧」という。）を、各画素の画素トランジスタを介して画素電極に印加している。一般に、画面の1ライン分の各画素トランジスタの各ゲートは一つの信号線（以下、「走査信号線」という。）に接続され、走査信号線は、駆動回路内で、各ライン毎に設けられたシフトレジスタにより、1ライン毎に順番に画素トランジスタを導通させる信号を出力するように制御されている。

【0003】

一方、画素トランジスタのソース・ドレイン線に印加される階調電圧において、供給される電荷の極性に偏りがある場合には液晶パネルの短寿命化を招くため、電荷の極性を反転させながら駆動する、いわゆる反転駆動により表示画像の制御を行うのが一般的となっている。特許文献1は、反転駆動を行うアクティブマトリクス基板において、信号書込と信号保持との間のレベルシフト  $V$  を小さくするゲート信号の波形について開示している。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平7-159756号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

各ラインのすべての画素トランジスタを導通させるための走査信号線には大きな電圧が印加されるため、画素トランジスタの長寿命化と消費電力の低減のために、走査信号線にかかる信号の波形を工夫することは重要である。

【0006】

本発明は上述の事情に鑑みてされたものであり、画素トランジスタの長寿命化と消費電力を低減させる走査信号線にかかる信号の波形を、より簡易な構成により実現させることを目的とする。

【課題を解決するための手段】

## 【 0 0 0 7 】

本発明の液晶表示装置は、各画素の液晶の配向を制御する画素トランジスタのゲートに  
入力されるゲート信号を出力し、前記各画素が並べられたライン毎に配置された複数のシ  
フトレジスタ回路と、前記シフトレジスタ回路に入力される第 1 クロック出力線と、を備  
え、前記第 1 クロック出力線は、1 画面分を表示する期間であるフレーム期間ごとに 2 種  
類の異なるクロック信号が交互に印加される、ことを特徴とする液晶表示装置である。

## 【 0 0 0 8 】

また、本発明の液晶表示装置は、前記 2 種類の異なるクロック信号は、第 1 クロック信  
号及び第 2 クロック信号であり、前記第 1 クロック信号及び前記第 2 クロック信号は、周  
期が同じで位相が異なるクロック信号であり、前記第 1 クロック信号は、第 1 ハイレベル  
の電圧値と、前記第 1 ハイレベルの電圧値よりも低い電圧値である第 1 ローレベルの電圧  
値とが交互に繰り返される信号であり、前記第 2 クロック信号は、前記第 1 ハイレベルの  
電圧値よりも低く、前記第 1 ローレベルの電圧値よりも高い電圧値である第 2 ハイレベル  
の電圧値と、前記第 1 ローレベルの電圧値よりも低い電圧値である第 2 ローレベルの電圧  
値とが交互に繰り返される信号である、とすることができる。

10

## 【 0 0 0 9 】

また、本発明の液晶表示装置は、前記シフトレジスタ回路に入力される第 2 クロック出  
力線を更に備え、前記第 1 クロック出力線は、前記シフトレジスタ回路のうち、奇数ライ  
ンの画素に前記ゲート信号を出力する奇数ラインシフトレジスタ回路に接続され、前記第  
2 クロック出力線は、前記シフトレジスタ回路のうち、偶数ラインの画素に前記ゲート信  
号を出力する偶数ラインシフトレジスタ回路に接続され、前記第 2 クロック出力線には、  
前記第 1 クロック出力線が前記第 1 クロック信号を出力している前記フレーム期間に、前  
記第 2 クロック信号が印加され、前記第 1 クロック出力線が前記第 2 クロック信号を出力  
している前記フレーム期間には、前記第 1 クロック信号が印加される、とすることができ  
る。

20

## 【 0 0 1 0 】

また、本発明の液晶表示装置は、前記第 1 クロック信号の反転信号である第 3 クロック  
信号が出力される第 3 クロック出力線と、前記第 2 クロック信号の反転信号である第 4 ク  
ロック信号が出力される第 4 クロック出力線と、を更に備え、前記第 3 クロック出力線は  
、前記第 1 クロック出力線と共に前記奇数ラインシフトレジスタ回路に入力され、前記第  
4 クロック出力線は、前記第 2 クロック出力線と共に前記偶数ラインシフトレジスタ回路  
に入力される、とすることができる。

30

## 【 0 0 1 1 】

また、本発明の液晶表示装置は、前記第 1 ハイレベルの電圧値、前記第 1 ローレベルの  
電圧値、前記第 2 ハイレベルの電圧値及び前記第 2 ローレベルの電圧値を生成する電圧変  
換部と、前記電圧変換部により生成された前記第 1 ハイレベルの電圧値、前記第 1 ロー  
レベルの電圧値、前記第 2 ハイレベルの電圧値及び前記第 2 ローレベルの電圧値と、外部か  
ら入力される基準クロック信号とから第 1 クロック信号と第 2 クロック信号とを生成する  
レベルシフト部と、フレーム期間毎に第 1 クロック信号と第 2 クロック信号とを入れ替え  
る信号スイッチ部と、を更に備えることとしてもよい。

40

## 【 0 0 1 2 】

また、本発明の液晶表示装置は、前記偶数ラインシフトレジスタ回路及び前記奇数ライ  
ンシフトレジスタ回路のいずれかからの出力信号が印加され、基板上で第 1 方向に延びる  
複数の導電線である走査信号線と、前記基板上で前記走査信号線と垂直な第 2 方向に延び  
る複数の導電線であるデータ信号線と、前記走査信号線と前記データ信号線とにより囲ま  
れることにより形成された複数の画素にそれぞれ配置された画素トランジスタと、前記複  
数の画素のうちの一画素の前記画素トランジスタのゲートは、前記一画素の第 1 方向側の  
前記走査信号線に接続され、前記一画素の前記画素トランジスタのソース及びドレインの  
いずれか一方は、前記一画素の第 2 方向とは反対側の前記データ信号線に接続され、前記  
一画素に隣接する前記複数の画素である隣接画素の前記画素トランジスタのゲートは、前

50

記隣接画素の第 1 方向とは反対側の前記走査信号線に接続され、前記隣接画素の前記画素トランジスタのソース及びドレインのいずれか一方は、前記隣接画素の第 2 方向側の前記データ信号線に接続されることにより、前記第 2 方向に延びる前記複数の画素が同じ極性であり、前記第 1 方向に延びる、隣り合う前記複数の画素は極性が入れ替わる反転駆動であるカラム反転駆動を行う、とすることができる。

【図面の簡単な説明】

【0013】

【図 1】本発明の第 1 実施形態に係る液晶表示装置を示す図である。

【図 2】図 1 の液晶表示パネルの構成を示す図である。

【図 3】図 2 の T F T 基板に形成された複数の画素の一部と、画素内の回路について概略的に示す図である。

10

【図 4】図 2 の走査信号駆動回路の構成について概略的に示す図である。

【図 5】図 4 のクロック波形生成回路の内部構成について概略的に示す図である。

【図 6】図 4 のシフトレジスタ回路を示す回路図である。

【図 7】図 4 の走査信号駆動回路のタイミングチャートである。

【図 8】本発明の第 2 実施形態に係る液晶表示装置の T F T 基板に形成された複数の画素の一部と画素内の回路について概略的に示す図である。

【図 9】本発明の第 3 実施形態に係る液晶表示装置の T F T 基板に形成された複数の画素の一部と画素内の回路について概略的に示す図である。

【図 10】本発明の第 4 実施形態に係る液晶表示装置の走査信号駆動回路の構成について概略的に示す図である。

20

【発明を実施するための形態】

【0014】

以下、本発明の実施形態について、図面を参照しつつ説明する。なお、図面において、同一又は同等の要素には同一の符号を付し、重複する説明を省略する。

【0015】

[第 1 実施形態]

図 1 は、本発明の第 1 実施形態に係る液晶表示装置 100 を示す図である。この図に示すように、液晶表示装置 100 は、液晶表示パネル 200 と、液晶表示パネル 200 を挟むように固定する上フレーム 101 及び下フレーム 102 と、表示する情報を生成する回路素子を備える不図示の回路基板と、その回路基板において生成された表示情報を液晶表示パネル 200 に伝える不図示のフレキシブル基板と、により構成される。

30

【0016】

図 2 には、図 1 の液晶表示パネル 200 の構成が示されている。液晶表示パネル 200 は、T F T 基板 230 とカラーフィルタ基板 220 の 2 枚の基板を有し、これらの基板の間には液晶組成物が封止されている。T F T 基板 230 には、走査信号駆動回路 240 により制御される走査信号線 G [ N ]、及びデータ信号駆動回路 250 により制御されるデータ信号線 D [ M ] が張り巡らされ、これらの信号線は、液晶表示装置 100 の画素 260 を形成している。なお、M 及び N は、それぞれカラム数及びライン数に対応した自然数である。また、液晶表示パネル 200 は、その表示の解像度に対応する数の画素 260 を有するが、図が煩雑になるのを避けるため、図 2 では簡略化して示している。

40

【0017】

なお、本実施形態の液晶表示パネル 200 は、T F T 基板 230 内に 2 つの電極（図 3 の画素電極 262 及び共通電極 263）を有するいわゆる I P S（In Plane Switching）方式の液晶表示パネル 200 である。

【0018】

図 3 は、T F T 基板 230 に形成された複数の画素 260 の一部と画素 260 内の回路について概略的に示す図である。画素 260 は、各画素の階調値に対応する電圧が印加される画素電極 262 と、画素電極 262 との間で電界を形成し、各画素で共通の電位を有する共通電極 263 と、走査信号線 G [ N ] がゲートに接続され、ソース及びドレインの

50

いずれか一方がデータ信号線 D [ M ] に、他方が画素電極 2 6 2 に接続された画素トランジスタ 2 6 1 と、を有している。本実施形態においては、1 ライン毎に異なる極性のデータ信号を印加する、いわゆるライン反転駆動を行うため、図 3 に示すように、画面の第 1 ラインの画素 2 6 0 の画素トランジスタ 2 6 1 は、すべて走査信号線 G [ 1 ] に接続され、画面の第 1 カラムの画素 2 6 0 の画素トランジスタ 2 6 1 は、すべてデータ信号線 D [ 1 ] に接続されており、他のライン及びカラムの各画素トランジスタ 2 6 1 についても同様に、対応する走査信号線 G [ N ] 及びデータ信号線 D [ M ] に接続されている。

#### 【 0 0 1 9 】

図 4 は、走査信号駆動回路 2 4 0 の構成について概略的に示す図である。走査信号駆動回路 2 4 0 は、クロック波形生成回路 2 7 0 と、偶数ライン ( N : 偶数 ) の走査信号線 G [ N ] に接続された複数のシフトレジスタ回路 2 8 1 と、奇数ライン ( N : 奇数 ) の走査信号線 G [ N ] に接続された複数のシフトレジスタ回路 2 8 2 と、を有している。

10

#### 【 0 0 2 0 】

クロック波形生成回路 2 7 0 は、外部からのクロック信号 C L K 1 等を入力とし、奇数ラインの画素の走査信号線 G [ N ] に走査信号を出力するシフトレジスタ回路 2 8 1 に対する入力信号である第 1 クロック信号及び第 1 クロック信号の反転信号である第 1 クロック反転信号、並びに第 1 ラインのシフトレジスタ回路 2 8 1 への開始の合図となる第 1 セット信号を、それぞれ第 1 クロック信号線 C K 1、第 1 クロック反転信号線 C K B 1 及び第 1 セット信号線 S E T 1 に印加し、偶数ラインの画素の走査信号線 G [ N ] に走査信号を出力するシフトレジスタ回路 2 8 2 に対する入力信号である第 2 クロック信号及び第 2 クロック信号の反転信号である第 2 クロック反転信号、並びに第 2 ラインのシフトレジスタ回路 2 8 2 への開始の合図となる第 2 セット信号を、それぞれ第 2 クロック信号線 C K 2 及び第 2 クロック反転信号線 C K B 2、並びに第 2 セット信号線 S E T 2 に印加する。

20

#### 【 0 0 2 1 】

クロック波形生成回路 2 7 0 から出力された上述の各信号を入力した各シフトレジスタ回路 2 8 1 及び 2 8 2 は、各走査信号線 G [ N ] に走査信号を出力する。なお、各シフトレジスタ回路 2 8 1 及び 2 8 2 には、2 ライン前のシフトレジスタの出力 O U T B [ N - 2 ] の信号、及び 2 ライン後のシフトレジスタの出力 O U T A [ N + 2 ] の信号も入力される。

#### 【 0 0 2 2 】

図 5 は、クロック波形生成回路 2 7 0 の内部構成について概略的に示す図である。クロック波形生成回路 2 7 0 は、クロック信号において使用される 2 種類のハイレベル電圧及び 2 種類のローレベル電圧を生成する電圧変換部 2 7 2 と、フレーム期間毎に、2 種類のハイレベル電圧及び 2 種類のローレベル電圧をそれぞれ入れ替えて出力する信号スイッチ部 2 7 6 と、2 種類のクロック信号をクロック信号線 C K 1 及び C K 2 等に出力するレベルシフト部 2 7 4 とを備えている。

30

#### 【 0 0 2 3 】

これら各部について詳細に説明すると、電圧変換部 2 7 2 は、電源電圧 V D D 及び接地電圧 G N D を入力し、第 1 のクロック信号のハイレベル電圧値 V D D \_ H 及びローレベル電圧値 V S S \_ H、並びに第 2 のクロック信号のハイレベル電圧値 V D D \_ L 及びローレベル電圧値 V S S \_ L を出力する。

40

#### 【 0 0 2 4 】

信号スイッチ部 2 7 6 は、電圧変換部 2 7 2 の出力である第 1 のクロック信号のハイレベル電圧値 V D D \_ H 及びローレベル電圧値 V S S \_ H、第 2 のクロック信号のハイレベル電圧値 V D D \_ L 及びローレベル電圧値 V S S \_ L、並びに制御信号を入力し、第 1 のクロック信号の各電圧と第 2 のクロック信号の各電圧が出力される端子をフレーム期間毎に切替える。すなわちレベルシフト部 2 7 4 に入力される各電圧値はフレーム期間毎に切替えられる。

#### 【 0 0 2 5 】

また、レベルシフト部 2 7 4 は、外部からの 2 種類のクロック信号 C K 1 i n 及び C K

50

2 i n と、その反転信号 C K B 1 i n 及び C K B 2 i n、スタート信号 S E T 1 i n 及び S E T 2 i n とを入力すると共に、電圧変換部 2 7 2 で生成され、信号スイッチ部を介して入力される各レベル電圧値 V D D \_ H、V S S \_ H、V D D \_ L 及び V S S \_ L を入力し、2 種類のクロック信号をクロック信号線 C K 2 及び C K 1 に出力し、その反転信号を反転信号線 C K B 1 及び C K B 2 に出力し、スタート信号を第 1 セット信号線 S E T 1 及び S E T 2 に出力する。ここで、2 種類のクロック信号の一方は、タイミングをクロック信号 C K 1 i n のタイミングとするクロックであり、他方は、タイミングをクロック信号 C K 2 i n のタイミングとするクロックである。また、それぞれのクロック信号には、ハイレベル電圧を V D D \_ H、ローレベル電圧を V S S \_ H とするクロック電圧と、ハイレベル電圧を V D D \_ L、ローレベル電圧を V S S \_ L とするクロック電圧とのいずれかがフレーム期間毎に交互に印加される。

10

#### 【 0 0 2 6 】

図 6 には、奇数ラインに配置されたシフトレジスタ回路 2 8 1 の代表的な回路図が示されており、図 7 には、タイミングチャートが示されている。また、O U T A [ N ] は走査信号線 G [ N ] に接続されている。なお、第 1 ラインのシフトレジスタ回路 2 8 1 における O U T B [ N - 2 ] には、第 1 セット信号線 S E T 1 が接続されている。

#### 【 0 0 2 7 】

第 1 ラインのシフトレジスタ回路 2 8 1 の動作について、図 6 及び図 7 を参照しつつ説明する。図 7 の時刻 t 2 において、第 1 クロック反転信号線 C K B 1 及び O U T B [ N - 2 ] に接続された第 1 セット信号線 S E T 1 に電位 V D D \_ H が印加されると、まず、トランジスタ T 1 及びトランジスタ T 2 が導通し、ノード N 1 に電位 V D D \_ H となると共に、ノード N 2 が電位 V S S \_ H となるため、容量 C 1 には電位 V D D \_ H 及び電位 V S S \_ H の差の電位差が生じると共に、トランジスタ T 3 及びトランジスタ T 4 が導通する。次に、時刻 t 3 において、第 1 クロック信号線 C K 1 に電位 V D D \_ H が印加されると、トランジスタ T 3 及びトランジスタ T 4 が導通しているため、第 1 クロック信号線 C K 1 の信号はそのまま O U T A [ 1 ] 及び O U T B [ 1 ] に出力され走査信号線 G [ 1 ] に印加されると共に、トランジスタ T 5 が導通し、容量 C 1 は放電する。時刻 t 4 において、第 1 クロック信号線 C K 1 に電位 V S S \_ H が印加され、2 ライン後の出力信号である O U T A [ N + 2 ] が電位 V D D \_ H になると、トランジスタ T 6 及び T 7 が導通し、ノード N 1 が電位 V S S \_ H になるため、第 1 クロック信号線 C K 1 へ電位 V D D \_ H は出力されなくなる。

20

30

#### 【 0 0 2 8 】

一方、偶数ラインに配置されたシフトレジスタ回路 2 8 2 も同様の動作を行うが、入力信号が第 2 クロック信号線 C K 2 及び第 2 クロック反転信号線 C K B 2 等に印加された信号であるため、出力される電位も異なっている。図 7 の走査信号線 G [ 2 ] 及び G [ 4 ] の出力に表されるように、偶数ラインの走査信号線 G [ N ] の電位は、電位 V S S \_ H を跨ぐように、ハイレベル電位 V D D \_ L 及びローレベル電位 V S S \_ L が設定されている。つまり、第 1 ラインの書込の際には、各カラムのデータ信号線 D [ M ] の極性が正極性の階調電圧が印加され、走査信号線 G [ 1 ] には、ハイレベル電位 V D D \_ H 及びローレベル電位 V S S \_ H を有する A クロック信号 C K \_ A が印加される。次に、第 2 ラインの書込の際には、各カラムのデータ信号線 D [ M ] には負極性の階調電圧が印加され、走査信号線 G [ 2 ] には、走査信号線 G [ 1 ] に印加した電位より低い、ハイレベル電位 V D D \_ L 及びローレベル電位 V S S \_ L を有する B クロック信号 C K \_ B が印加される。以下、各ライン毎に極性の異なるデータ信号が印加されると共に、奇数ラインに A クロック信号 C K \_ A、偶数ラインに B クロック信号 C K \_ B が印加される。図 3 では、ハッチングにより、ライン毎にデータ信号の極性が入れ替わる様子が示されている。

40

#### 【 0 0 2 9 】

なお、各画素の画素電極 2 6 2 に印加される信号の反転の極性は、一画面を書き換えるフレーム期間ごとに入れ替わり、クロック波形生成回路 2 7 0 から出力される第 1 クロック信号線 C K 1 及び第 2 クロック信号線 C K 2 に印加される A クロック信号 C K \_ A 及び

50

Bクロック信号CK $\bar{B}$ も、クロック波形生成回路270の信号スイッチ部276により、フレーム期間ごとに入れ替えられる。そのため、正極性のデータ信号の場合には、Aクロック信号CK $\bar{A}$ が用いられ、負極性のデータ信号の場合には、Bクロック信号CK $\bar{B}$ が用いられるように制御されている。

【0030】

したがって、正極性のデータ信号を印加する場合と、負極性のデータ信号を印加する場合とで、走査信号線G[N]に印加されるハイレベル電位及びローレベル電位を異ならせているため、画素トランジスタ261に与える負荷を軽減することができ、画素トランジスタ261の長寿命化と消費電力を低減させることができる。また、クロック信号の種類を増加させるのみの簡易な構成で実現することができる。

10

【0031】

[第2実施形態]

図8には、本発明の第2実施形態に係る液晶表示装置のTFT基板330に形成された複数の画素360の一部と画素360内の回路について概略的に示す図である。本実施形態の液晶表示装置及び液晶表示パネルの構成は、第1実施形態の図1及び図2と同様であるため説明を省略する。

【0032】

第1実施形態のTFT基板230の回路とは、各画素トランジスタ361のゲートが接続する走査信号線G[N]が異なっている。具体的には、奇数カラムで第Nラインの画素トランジスタ361のゲートは、第1実施形態と同様に、走査信号線G[N]に接続されているが、偶数カラムで第Nラインの画素トランジスタ361のゲートは、走査信号線G[N+1]に接続されている。このような接続とし、第1実施形態と同様の走査信号駆動回路240を用いることにより、市松模様状に極性が反転する、いわゆるドット反転駆動を実現することができる。

20

【0033】

したがって、TFT基板330のような回路としたとしても、第1実施形態と同様に、正極性のデータ信号を印加する場合と、負極性のデータ信号を印加する場合とで、走査信号線G[N]に印加するハイレベル電位及びローレベル電位を異ならせているため、画素トランジスタ361に与える負荷を軽減することができ、画素トランジスタ361の長寿命化と消費電力を低減させることができる。また、クロック信号の種類を増加させるのみの簡易な構成で実現することができる。

30

【0034】

[第3実施形態]

図9には、本発明の第3実施形態に係る液晶表示装置のTFT基板430に形成された複数の画素460の一部と画素460内の回路について概略的に示す図である。本実施形態の液晶表示装置及び液晶表示パネルの構成は、第1実施形態の図1及び図2と同様であるため説明を省略する。本実施形態のTFT基板430の回路は、第1実施形態のTFT基板230の回路と比較して、各画素トランジスタのゲートが接続する走査信号線G[N]が異なると共に、各画素トランジスタ461のソース及びドレインのいずれかが接続するデータ信号線D[N]が異なっている。

40

【0035】

具体的には、第Mカラムで第Nラインの画素で、MとNの和が偶数となる場合には、画素トランジスタ461のゲートは走査信号線G[N]に接続され、ソース及びドレインのいずれかはデータ信号線D[M+1]に接続される。また、MとNの和が奇数となる場合には、画素トランジスタ461のゲートは走査信号線G[N+1]に接続され、ソース及びドレインのいずれかはデータ信号線D[M]に接続されている。別の表現では、ある一画素から見て、その一画素の画素トランジスタのゲートがデータ信号線の延びる方向とは逆の方向の走査信号線に接続され、ソース及びドレインのいずれか一方が走査信号線が延びる方向のデータ信号線に接続されている場合に、その一画素と隣接する画素では、画素トランジスタのゲートがデータ信号線の延びる方向の走査信号線に接続され、ソース及び

50



ドレインのいずれか一方が走査信号線が延びる方向とは逆の方向のデータ信号線に接続されている。このような接続とし、第1実施形態と同様の走査信号駆動回路240を用いることにより、列ごとに極性が反転する、いわゆるカラム反転駆動を実現することができる。

#### 【0036】

したがって、TFT基板430のような回路としたとしても、第1実施形態と同様に、正極性のデータ信号を印加する場合と、負極性のデータ信号を印加する場合とで、走査信号線G[N]に印加するハイレベル電位及びローレベル電位を異ならせているため、画素トランジスタ461に与える負荷を軽減することができ、画素トランジスタ461の長寿命化と消費電力を低減させることができる。また、クロック信号の種類を増加されるのみの簡易な構成で実現することができる。

10

#### 【0037】

##### [第4実施形態]

図10には、本発明の第4実施形態に係る液晶表示装置の走査信号駆動回路540の構成について概略的に示す図である。本実施形態の液晶表示装置、液晶表示パネル及びTFT基板の画素内の回路の構成は、走査信号駆動回路を除き、第1実施形態の図1～図3と同様であるため、説明を省略する。

#### 【0038】

走査信号駆動回路540は、第1実施形態の走査信号駆動回路240と同様に、クロック波形生成回路570と、走査信号線G[N]の数に対応した数のシフトレジスタ回路580と、を有している。クロック波形生成回路570は、外部からのクロック信号CLKを入力とし、画素の走査信号線G[N]に走査信号を出力するシフトレジスタ回路580に対する入力信号である第1クロック信号及び第1クロック信号の反転信号である第1クロック反転信号、並びに第1ラインのシフトレジスタ回路580への開始の合図となる第1セット信号を、それぞれ第1クロック信号線CK1、第1クロック反転信号線CKB1及び第1セット信号線SET1に印加する。

20

#### 【0039】

クロック波形生成回路570から出力された上述の各信号を入力した各シフトレジスタ回路580は、各走査信号線G[N]に走査信号を出力する。なお、各シフトレジスタ回路580には、1ライン前のシフトレジスタの出力OUTB[N-1]の信号、及び1ライン後のシフトレジスタの出力OUTA[N+1]の信号も入力される。

30

#### 【0040】

ここで、クロック波形生成回路570は、図5に示された第1実施形態のクロック波形生成回路270と同様の構成であり、第1クロック信号線CK1、第1クロック反転信号線CKB1及び第1セット信号線SET1に出力される信号のみが使用され、第2クロック信号線CK2、第2クロック反転信号線CKB2及び第2セット信号線SET2に出力される信号は使用しない。なお、第1実施形態で説明したように、第1クロック信号線CK1及び第1クロック反転信号線CKB1に印加される信号は、フレーム期間毎に2種類のAクロック信号CK\_\_A及びBクロック信号CK\_\_Bのいずれかに切替えて出力されている。

40

#### 【0041】

このように、第1実施形態と同様のTFT基板の画素回路において、本実施形態の走査信号駆動回路540を用いることにより、フレーム期間ごとに極性が反転する、いわゆるフレーム反転駆動を実現することができる。

#### 【0042】

したがって、本実施形態の走査信号駆動回路540を用いたとしても、第1実施形態と同様に、正極性のデータ信号を印加する場合と、負極性のデータ信号を印加する場合とで、走査信号線G[N]に印加するハイレベル電位及びローレベル電位を異ならせているため、画素トランジスタに与える負荷を軽減することができ、画素トランジスタの長寿命化と消費電力を低減させることができる。また、クロック信号の種類を増加させるのみの簡

50

易な構成で実現することができる。

【 0 0 4 3 】

なお、上述の実施形態では、第 1 クロック信号線 C K 1 と第 2 クロック信号線 C K 2 に印加される信号は、位相が  $\pi/2$  だけずれた信号を使用しているが、これに限られず、 $\pi/4$  その他の位相ずれの信号を使用してもよい。

【 0 0 4 4 】

また、上述の実施形態に係る液晶表示装置は、ＴＦＴ基板にのみに電極が設けられたＩＰＳ（In Plane Switching）方式としたが、ＴＦＴ基板及びカラーフィルタ基板の両方に電極が設けられたＴＮ（Twisted Nematic）方式又はＶＡ（Vertical Alignment）方式の液晶表示装置にも適用することができる。

### 【符号の説明】

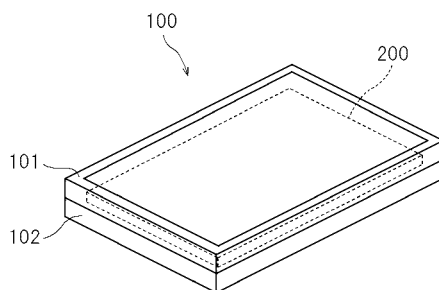
【 0 0 4 5 】

100 液晶表示装置、101 上フレーム、102 下フレーム、200 液晶表示  
パネル、220 カラーフィルタ基板、230 TFT基板、240 走査信号駆動回路  
、250 データ信号駆動回路、260 画素、261 画素トランジスタ、262 画  
素電極、263 共通電極、270 クロック波形生成回路、272 電圧変換部、27  
4 レベルシフト部、276 信号スイッチ部、281, 282 シフトレジスタ回路、  
330 TFT基板、360 画素、361 画素トランジスタ、430 TFT基板、  
460 画素、461 画素トランジスタ、540 走査信号駆動回路、570 クロッ  
ク波形生成回路、580 シフトレジスタ回路。

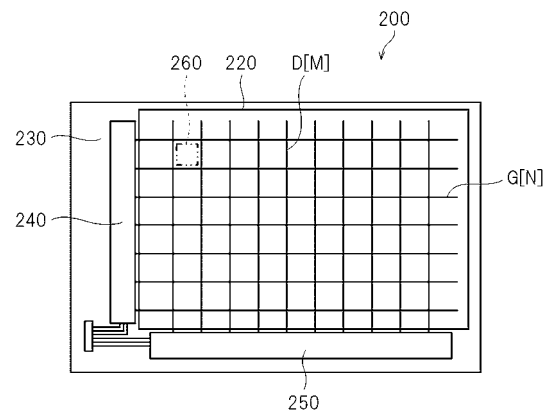
10

20

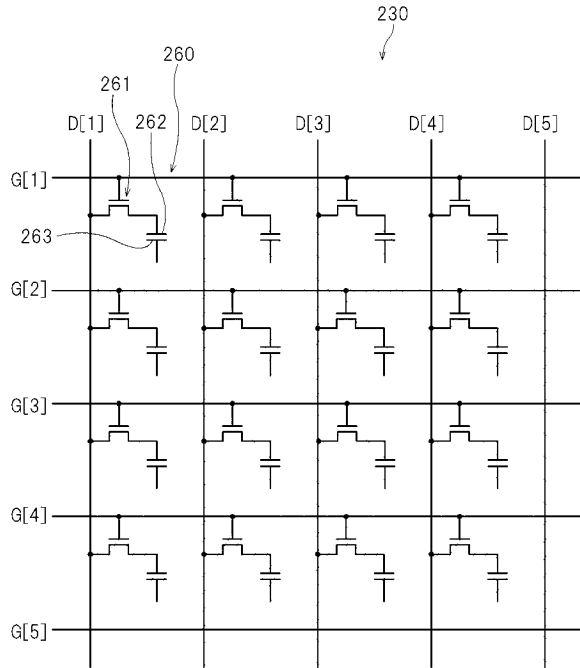
【 図 1 】



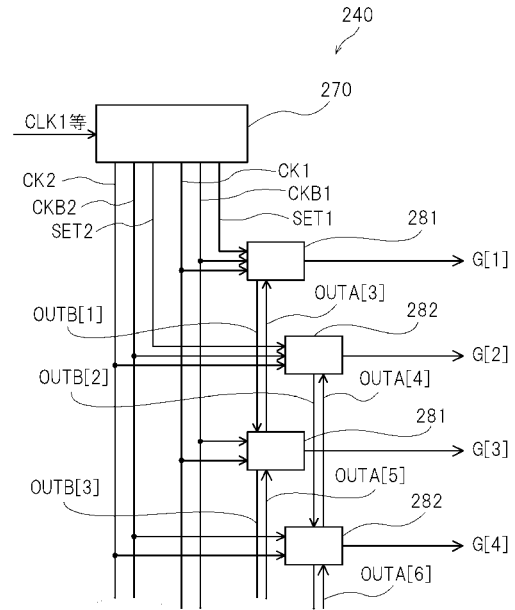
【圖 2】



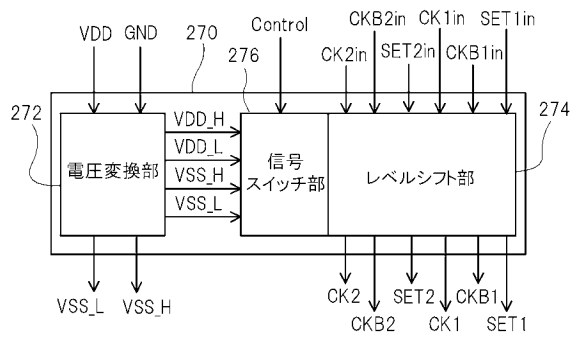
【図 3】



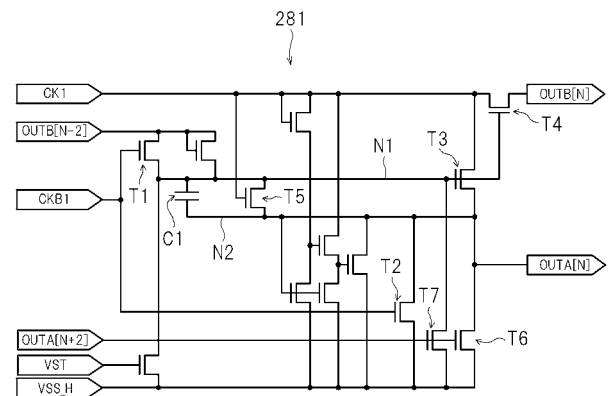
【図 4】



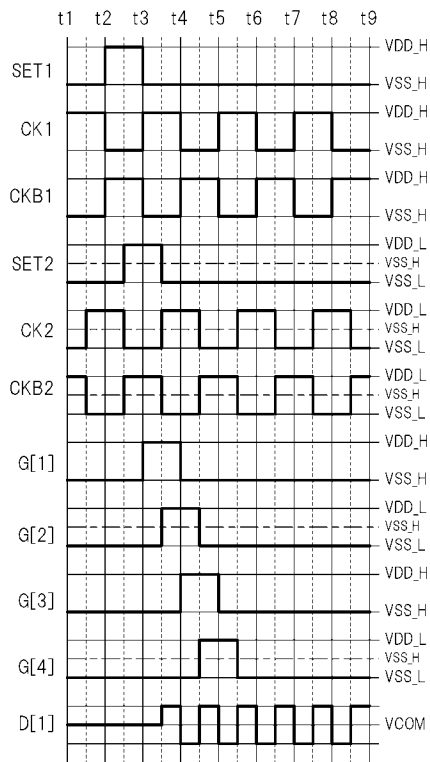
【図 5】



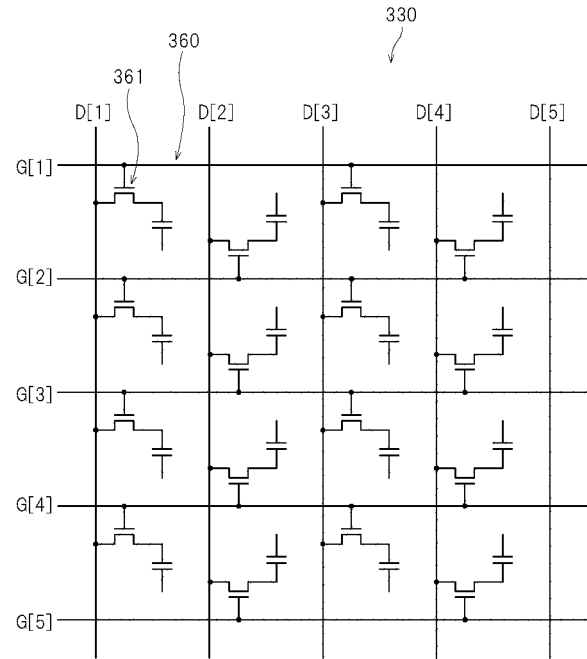
【図 6】



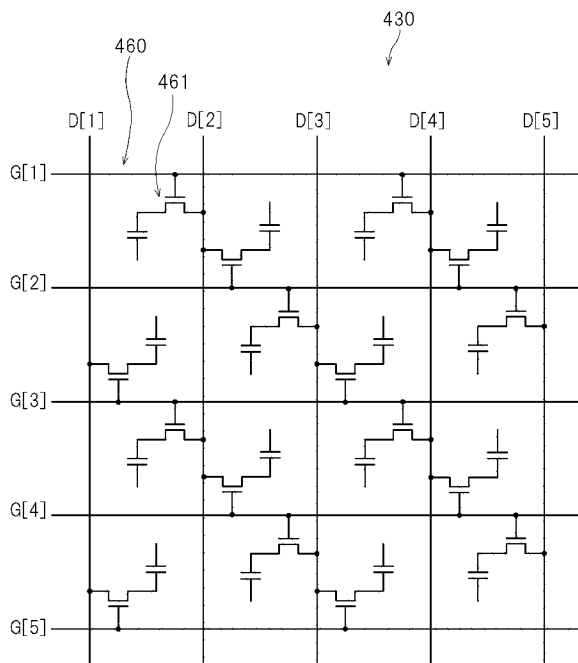
【図 7】



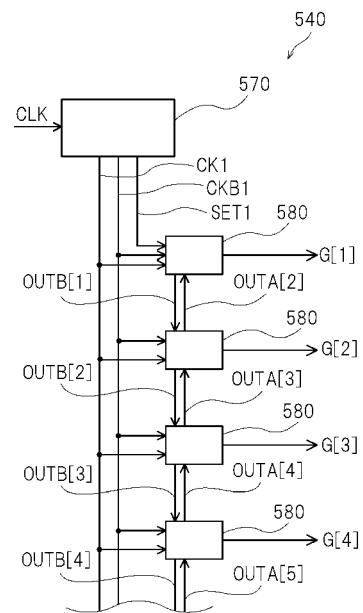
【図 8】



【図 9】



【図 10】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 7 0 K
G 0 2 F	1/133	5 5 0

F ターム(参考) 5C080 AA10 BB05 CC03 DD18 DD19 DD22 DD26 DD27 DD29 FF11  
JJ02 JJ03 JJ04 JJ06 KK02 KK43

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2011232697A</a>	公开(公告)日	2011-11-17
申请号	JP2010105422	申请日	2010-04-30
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	喜田和夫		
发明人	喜田 和夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.K G09G3/20.624.B G09G3/20.621.B G09G3/20.621.A G09G3/20.611.A G09G3/20.670.K G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZC25 2H193/ZF23 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AA14 5C006/AA16 5C006/AA22 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF72 5C006/AF75 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC22 5C006/BF03 5C006/FA33 5C006/FA41 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD18 5C080/DD19 5C080/DD22 5C080/DD26 5C080/DD27 5C080/DD29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK43 5B074/AA10 5B074/CA01 5B074/EA01		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明提供一种液晶显示装置，并输出更简单的结构的栅极信号的波形，以减小像素晶体管的功率消耗的寿命。A输出输入到像素晶体管的栅极，用于控制每个像素的液晶的取向的栅极信号，设置用于像素的每一行的多个移位寄存器电路布置（281，282），奇的第一时钟输出线CK1输入到线移位寄存器电路（281），第二时钟输出线CK2输入到偶数行的移位寄存器电路（282）包括：第一时钟输出线CK\_A和所述2个时钟输出线CK\_B，第一时钟信号和CK\_A第二时钟信号的CK\_B 2不同的时钟信号被交替地施加到每个帧周期是用于显示一个屏幕，所述第一时钟信号CK\_A一个周期并且第二时钟信号CK\_B是具有相同周期但不同相位的时钟信号。点域4

