

(11)特許出願公開番号

特開2012-137708

(P2012-137708A)

(43) 公開日 平成24年7月19日(2012.7.19)

(51) Int.Cl.

F 1

テーマコード (参考)

G09G 3/36 (2006.01)

G O 9 G 3/36

2H193

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 2 1 B

5C006

GO2F 1/133 (2006.01)

G O 9 G 3/20 6 4 1 C

5C080

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 2 3 W

審査請求 未請求 請求項の数 2 O L (全 14 頁) 最終頁に続く

(21) 出願番号 特願2010-291604 (P2010-291604)

(22) 出願日 平成22年12月28日 (2010.12.28)

(71) 出願人 308036402

株式会社JVCケンウッド

神奈川県横浜市神奈川区守屋町3丁目12番地

(74) 代理人 100085235

弁理士 松浦 兼行

(72) 発明者 清水 健

神奈川県横浜市神奈川区守屋町3丁目12番地

Fターム(参考) 2H193 ZA03 ZA04 ZA19 ZC20 ZR02

最終頁に続く

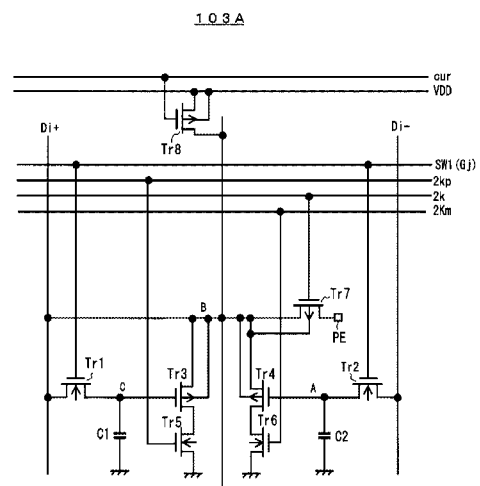
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】ソースフォロワ用トランジスタの基板効果無くしてリニアリティを改善する。

【解決手段】ソースフォロワ用PMOSトランジスタTr3、Tr4は、ソースがバックゲートに接続されている。PMOSトランジスタTr8は、画素部の同一列方向の各画素に共通に接続されている。このTr8は、各画素内のソースフォロワ用PMOSトランジスタTr3、Tr4のソースとバックゲートに共通に接続された定電流用トランジスタである。トランジスタTr3、Tr5、Tr4、Tr6、Tr7及びTr8は、保持容量C1に保持された正極性の画素値と、保持容量C2に保持された負極性の画素値とを、垂直走査周期より短い周期で交互に画素電極PEへ読み出す読み出し部を構成している。ソースフォロワ用PMOSトランジスタTr3、Tr4の閾値電圧Vth3、Vth4は、信号レベル（ゲート電圧）により変動しない（基板効果がない）状態となり固定の電圧となる。

【選択図】図2



【特許請求の範囲】

【請求項 1】

2本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶層が挟持された表示素子と、

一組の前記2本のデータ線のうち一方のデータ線を介して供給される正極性映像信号をサンプリングして一定期間第1の保持容量に保持する第1のサンプリング及び保持手段と

、
一組の前記2本のデータ線のうち他方のデータ線を介して供給される、前記正極性映像信号とは逆極性の負極性映像信号をサンプリングして一定期間第2の保持容量に保持する第2のサンプリング及び保持手段と、

それぞれソースがバックゲートに接続された第1及び第2のソースフォロウ用トランジスタと、

前記第1及び第2のソースフォロウ用トランジスタのドレインに別々に接続されており、前記第1の保持容量に保持された正極性映像信号電圧を前記第1のソースフォロウ用トランジスタのソースから出力させ、前記第2の保持容量に保持された負極性映像信号電圧を前記第2のソースフォロウ用トランジスタのソースから出力させる動作を、垂直走査周期より短い所定の周期で交互に切り替える第1及び第2のスイッチング用トランジスタと

、
前記第1及び第2のソースフォロウ用トランジスタの各ソースにドレインとバックゲートとが共通接続され、かつ、前記画素電極にソースが接続されており、前記第1及び第2のスイッチング用トランジスタの切り替えに同期して切り替わり、前記第1のソースフォロウ用トランジスタを通して入力される前記第1の保持容量に保持された正極性映像信号電圧と、前記第2のソースフォロウ用トランジスタを通して入力される前記第2の保持容量に保持された負極性映像信号電圧とを前記画素電極に印加する第3のスイッチング用トランジスタと、

を備え、前記複数の画素のうち列方向の各画素毎に、前記画素内の前記第1及び第2のソースフォロウ用トランジスタと前記第3のスイッチング用トランジスタとの共通接続点にドレインが共通に接続された定電流用トランジスタを有することを特徴とする液晶表示装置。

【請求項 2】

2本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶層が挟持された表示素子と、

一組の前記2本のデータ線のうち一方のデータ線を介して供給される正極性映像信号をサンプリングして一定期間第1の保持容量に保持する第1のサンプリング及び保持手段と

、
一組の前記2本のデータ線のうち他方のデータ線を介して供給される、前記正極性映像信号とは逆極性の負極性映像信号をサンプリングして一定期間第2の保持容量に保持する第2のサンプリング及び保持手段と、

前記第1の保持容量に保持された正極性映像信号電圧を差動増幅して出力するゲイン1の第1の差動アンプと、

前記第2の保持容量に保持された負極性映像信号電圧を差動増幅して出力するゲイン1の第2の差動アンプと、

前記第1及び第2の差動アンプを垂直走査周期より短い所定の周期で交互に選択し、選択された前記差動アンプから前記正極性映像信号電圧又は前記負極性映像信号電圧を出力させる第1及び第2のスイッチング用トランジスタと、

前記第1及び第2の差動アンプの出力端子にドレインが共通接続され、前記第1及び第2のスイッチング用トランジスタの切り替えに同期して切り替わり、前記第1の差動アンプを通して入力される前記第1の保持容量に保持された正極性映像信号電圧と、前記第2

10

20

30

40

50

の差動アンプを通して入力される前記第 2 の保持容量に保持された負極性映像信号電圧とを前記画素電極に印加する第 3 のスイッチング用トランジスタと、

を備え、前記複数の画素のうち列方向の各画素毎に、前記画素内の前記第 1 及び第 2 のスイッチング用トランジスタの各ドレインにドレインが共通に接続された定電流用トランジスタを有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に各画素において正極性映像信号と負極性映像信号とを 2 つの保持容量に別々にサンプリング保持した後、それらの保持電圧を交互に画素電極に印加して液晶表示素子を交流駆動する液晶表示装置に関する。

10

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品として L C O S (Liquid Crystal on Silicon) 型液晶表示装置が多く用いられている。この L C O S 型液晶表示装置の表示方式には、C M O S (Complementary Metal Oxide Semiconductor) 等の半導体素子へアナログ映像信号を入力し、その信号を画素毎の液晶表示素子の画素電極にそのまま保持して、液晶表示素子の液晶の配向を変える方式や、デジタル信号によりパルス幅変調 (P W M ; Pulse Width Modulation) した映像信号を液晶表示素子の画素電極に印加して、液晶表示素子の液晶の配向を時間的に切り替えて駆動する方式などがある。その中でアナログ映像信号を画素電極へ直接印加する方式は液晶の焼き付き等を起こし易いという問題がある。

20

【0003】

その問題を解決するため、本出願人は先に、2 本のデータ線 (列信号線) を一組とする複数組のデータ線と、複数本のゲート線 (行走査線) との各交差部にそれぞれ画素を配置し、それらの各画素において正極性映像信号と負極性映像信号とを 2 つの保持容量に別々にサンプリング保持した後、それらの保持電圧を交互に画素電極に印加して液晶表示素子を交流駆動する液晶表示装置を提案した (例えば、特許文献 1 参照) 。

【0004】

この液晶表示装置は、画素電極に印加する電圧を各画素内の 2 つの保持容量に 1 フレーム期間それぞれ保持しておくことができるので、液晶表示素子の交流駆動周波数は、垂直走査周波数によらず、画素回路での反転制御周期で自由に設定することができる。これにより、この液晶表示装置によれば、交流駆動周波数を垂直走査周波数よりも極めて高く設定でき、それにより従来に比べて焼き付きを防止でき、シミなどの表示品位低下を防止でき、更にデジタルの P W M 方式より階調を正しく表現できるなどの特長が得られる。

30

【0005】

また、この液晶表示装置は、デジタル映像信号を黒レベルから白レベルまで 1 水平走査期間 (1 H) 周期で単調的に変化する、正極性及び負極性の 2 つのランプ信号を 1 ラインの画素数に対応した数の各ビデオスイッチに共通に供給する。そして、そのビデオスイッチを水平走査期間開始毎に全てオンにした後、ランプ信号に同期したクロックをカウンタによりカウントして得た階調を示すカウンタ値とデジタル映像信号の画素値とを 1 ライン上の各画素単位で比較するコンパレータから、両者が一致した時に一致パルスを出力して、その画素に対応して設けられたビデオスイッチをオフとし、このときの 2 つのランプ信号の電圧をオフとされたビデオスイッチに一組 2 本のデータ線を介して接続された画素内の 2 つの保持容量にそれぞれ保持することでアナログ映像信号への D A 変換が行われる。この液晶表示装置では、上記の D A 変換を行う D A 変換部をチップ内に取り込みデジタル映像信号を入力することで、従来のアナログ映像信号を直接入力する方式に比べて使用し易く、外部回路の削減でもメリットがある。

40

【先行技術文献】

【特許文献】

50

【 0 0 0 6 】

【 特 許 文 献 1 】 特 開 2 0 0 9 - 2 2 3 2 8 9 号 公 報

【 発 明 の 概 要 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【 0 0 0 7 】

しかしながら、上記の液晶表示装置では以下のような課題がある。

【 0 0 0 8 】

第 1 の課題は、画素回路が 2 つの保持容量に別々に保持された正極性映像信号と負極性映像信号（具体的には正極性ランプ信号と負極性ランプ信号）の保持電圧を、ソースフォロワを用いた回路構成で液晶表示素子の画素電極に交互に印加する構成の場合、CMOS

10

ソースフォロワ特有の問題でリニアリティが悪化し、ゲインの低下も含め、液晶駆動電圧のダイナミックレンジを下げて、明るさや焼き付きに影響が出てしまう。

【 0 0 0 9 】

上記のソースフォロワのリニアリティの悪化について更に図 6 と共に説明する。図 6 は、特許文献 1 に記載の液晶表示装置の一画素の等価回路図を示す。図 6 において、ソースフォロワ用トランジスタ $T r 3$ 、 $T r 4$ は、ゲートが保持容量 $C 1$ 、 $C 2$ と画素選択用トランジスタ $T r 1$ 、 $T r 2$ のドレインとの接続点に接続され、ソースがスイッチング用トランジスタ $T r 2 1$ 、 $T r 2 2$ のドレイン・ソースを通して定電流用トランジスタ $T r 2 3$ のドレインに接続されている。トランジスタ $T r 2 1$ 、 $T r 2 2$ 及び $T r 2 3$ の各接続点は画素電極 $P E$ に接続されている。トランジスタ $T r 2 1$ 、 $T r 2 2$ はスイッチング信号 $2 k$ 、 $2 k b$ により交互にオンとされ、保持容量 $C 1$ 、 $C 2$ に保持されている正極性保持電圧と負極性保持電圧とをソースフォロワ用トランジスタ $T r 3$ 、 $T r 4$ を通して交互に画素電極 $P E$ に印加する。

20

【 0 0 1 0 】

ここで、以下の式で表わされる上記のソースフォロワ用トランジスタ $T r 3$ 、 $T r 4$ の閾値電圧 V_{th} が基板効果の影響で、 $T r 3$ 、 $T r 4$ のソース電圧により変化する。

【 0 0 1 1 】

$$V_{th} = V_{th0} + \gamma [\sqrt{(2 \times \phi_f + V_{sb})} - \sqrt{(2 \times \phi_f)}] \quad (1)$$

V_{th0} : $V_{sb} = 0$ の時の V_{th} V_{sb} : トランジスタの基板電圧

ϕ_f : フェルミ準位 $2 \times \phi_f$ 0.6 V

γ : 基板効果定数

30

Nチャネル MOS 型電界効果トランジスタである $T r 1$ 、 $T r 2$ の V_{th} 基板効果により、ソースフォロワ用トランジスタ $T r 3$ 、 $T r 4$ の入力電圧は V_{DD} から $T r 1$ 、 $T r 2$ の V_{th} だけ低い電圧までしか保持容量 $C 1$ 、 $C 2$ に保持できない。従って、以下の式が成立する。

【 0 0 1 2 】

$$V_{c1} = V_{DD} - V_{th1} \quad (2)$$

V_{c1} : $C 1$ に保持できる最大電圧

V_{th1} : $T r 1$ のソース電圧が V_{c1} の時の $T r 1$ の V_{th}

$$V_{c2} = V_{DD} - V_{th2} \quad (3)$$

V_{c2} : $C 2$ に保持できる最大電圧

V_{th2} : $T r 2$ のソース電圧が V_{c2} の時の $T r 2$ の V_{th}

40

また、Pチャネル MOS 型電界効果トランジスタである $T r 2 1$ 、 $T r 2 2$ の基板効果も含む V_{th} により画素電極 $P E$ に出力される電圧は電圧を下げて V_{th} 分下がらなくなる。つまり、次式が成立する。

【 0 0 1 3 】

$$V_{bl} = V_{th3m} \quad (4)$$

$$V_{bml} = V_{th4m} \quad (5)$$

V_{bl} : 正極性側の最小出力電圧

V_{bml} : 負極性側の最小出力電圧

50

V_{th3m} : T_{r3} のソース電圧が V_{b1} の場合の V_{th}

V_{th4m} : T_{r4} のソース電圧が V_{bm1} の場合の V_{th}

以上の結果から画素部の液晶層にかかる電圧 V_b はリニアリティが悪く、直線からはずれ曲線となる。特に基板効果の影響でゲインも約 0.8 程度になり、入力電圧範囲が 0 V ~ 5 V で傾きの変化が 50 mV 程度となる。

【0014】

第2の課題は、画素ピッチの問題で1画素に入れることができるトランジスタの数に制限があるため、回路構成を変更することが難しく、リニアリティの改善に限界がある。

【0015】

本発明は以上の点に鑑みなされたもので、ソースフォロワ用トランジスタの基板効果を無くして、リニアリティを改善し得る液晶表示装置を提供することを目的とする。

10

【課題を解決するための手段】

【0016】

上記目的を達成するため、本発明の液晶表示装置は、2本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶層が挟持された表示素子と、一組の2本のデータ線のうち一方のデータ線を介して供給される正極性映像信号をサンプリングして一定期間第1の保持容量に保持する第1のサンプリング及び保持手段と、一組の2本のデータ線のうち他方のデータ線を介して供給される、正極性映像信号とは逆極性の負極性映像信号をサンプリングして一定期間第2の保持容量に保持する第2のサンプリング及び保持手段と、それぞれソースがバックゲートに接続された第1及び第2のソースフォロワ用トランジスタと、第1及び第2のソースフォロワ用トランジスタのドレインに別々に接続されており、第1の保持容量に保持された正極性映像信号電圧を第1のソースフォロワ用トランジスタのソースから出力させ、第2の保持容量に保持された負極性映像信号電圧を第2のソースフォロワ用トランジスタのソースから出力させる動作を、垂直走査周期より短い所定の周期で交互に切り替える第1及び第2のスイッチング用トランジスタと、第1及び第2のソースフォロワ用トランジスタの各ソースにドレインとバックゲートとが共通接続され、かつ、画素電極にソースが接続されており、第1及び第2のスイッチング用トランジスタの切り替えに同期して切り替わり、第1のソースフォロワ用トランジスタを通して入力される第1の保持容量に保持された正極性映像信号電圧と、第2のソースフォロワ用トランジスタを通して入力される第2の保持容量に保持された負極性映像信号電圧とを画素電極に印加する第3のスイッチング用トランジスタと、を備え、

20

30

複数の画素のうち列方向の各画素毎に、画素内の第1及び第2のソースフォロワ用トランジスタと第3のスイッチング用トランジスタとの共通接続点にドレインが共通に接続された定電流用トランジスタを有することを特徴とする。

【0017】

また、上記の目的を達成するため、本発明の液晶表示装置は、2本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

40

対向する画素電極と共通電極との間に液晶層が挟持された表示素子と、一組の2本のデータ線のうち一方のデータ線を介して供給される正極性映像信号をサンプリングして一定期間第1の保持容量に保持する第1のサンプリング及び保持手段と、一組の2本のデータ線のうち他方のデータ線を介して供給される、正極性映像信号とは逆極性の負極性映像信号をサンプリングして一定期間第2の保持容量に保持する第2のサンプリング及び保持手段と、第1の保持容量に保持された正極性映像信号電圧を差動増幅して出力するゲイン1の第1の差動アンプと、第2の保持容量に保持された負極性映像信号電圧を差動増幅して出力するゲイン1の第2の差動アンプと、第1及び第2の差動アンプを垂直走査周期より短い所定の周期で交互に選択し、選択された差動アンプから正極性映像信号電圧又は負極性映像信号電圧を出力させる第1及び第2のスイッチング用トランジスタと、第1及び第

50

2の差動アンプの出力端子にドレインが共通接続され、第1及び第2のスイッチング用トランジスタの切り替えに同期して切り替わり、第1の差動アンプを通して入力される第1の保持容量に保持された正極性映像信号電圧と、第2の差動アンプを通して入力される第2の保持容量に保持された負極性映像信号電圧とを画素電極に印加する第3のスイッチング用トランジスタと、を備え、

複数の画素のうち列方向の各画素毎に、画素内の第1及び第2のスイッチング用トランジスタの各ドレインにドレインが共通に接続された定電流用トランジスタを有することを特徴とする。

【発明の効果】

【0018】

10

本発明によれば、ソースフォロワ用トランジスタの基板効果を無くすようにしたため、リニアリティを改善することができ、ゲインがほぼ1の理想的な回路により保持電圧を液晶層に印加することができる。

【図面の簡単な説明】

【0019】

【図1】本発明の液晶表示装置の一実施の形態のブロック図である。

【図2】本発明の液晶表示装置における一画素の第1の実施の形態の等価回路図である。

【図3】図2の動作説明用タイミングチャートである。

【図4】本発明の液晶表示装置における一画素の第2の実施の形態の等価回路図である。

【図5】図4の動作説明用タイミングチャートである。

20

【図6】特許文献1に記載の液晶表示装置の一画素の等価回路図である。

【発明を実施するための形態】

【0020】

次に、本発明の実施の形態について図面を参照して説明する。

【0021】

図1は、本発明になる液晶表示装置の一実施の形態のブロック図を示す。同図に示すように、本実施の形態の液晶表示装置100は、シフトレジスタ及びコンパレータ101と、ビデオスイッチ等からなる水平駆動回路102と、水平駆動回路102に接続された2本一組で全部で n 組（ n は2以上の自然数）のデータ線（列信号線） $Di+$ 、 $Di-$ （ $i=1, 2, 3, \dots, n$ ）と、全部で m 本（ m は2以上の自然数）のゲート線（行走査線） $G1 \sim Gm$ との各交差部に配置された全部で $m \times n$ 個の画素103₁₁～103_{mn}と、各列の m 個の画素毎に共通に接続された n 個の定電流用トランジスタ104₁～104_nと、垂直駆動回路105及び106とから構成される。

30

【0022】

シフトレジスタ及びコンパレータ101は、入力されるデジタル映像信号（画像データ）の1ライン分をシフトレジスタにより展開し、かつ、一時保持してコンパレータに供給する。シフトレジスタ及びコンパレータ101のコンパレータは、 n 組のデータ線（列信号線）に対応して各列毎に n 個設けられている。 n 個のコンパレータは、複数の階調値が例えば最小値から最大値まで水平走査期間内で一定期間毎に段階的に変化するカウンタ（図示せず）からの基準階調データが共通に供給される一方、上記のシフトレジスタにより保持された画像データが1ラインの n 画素の各画素単位で供給されて両者を比較し、両者が一致したとき一致パルスが水平駆動回路102に供給する。

40

【0023】

水平駆動回路102は、2本一組のデータ線（列信号線） $Di+$ 、 $Di-$ の一方のデータ線 $Di+$ に接続された正極性用ビデオスイッチと、他方のデータ線 $Di-$ に接続された負極性用ビデオスイッチとが各組のデータ線（列信号線）単位で全部で n 組設けられると共に、前述したシフトレジスタ及びコンパレータ101内の n 個のコンパレータのうち対応して設けられたコンパレータから一致パルスがバッファアンプを通して供給される構成である。以上の構成は前述した特許文献1記載の液晶表示装置の構成と同様である。

【0024】

50

垂直駆動回路 105 及び 106 は、ゲート線 $G_1 \sim G_m$ に対して行選択信号を 1 水平走査期間 (1H) 周期で順次 to 供給し、また同じゲート線に同じ行選択信号を同時に供給する。これは、チップが横に長い (水平画素数が多い) ために、左右からドライブしないと配線抵抗等で波形鈍りなどが発生し、画質に影響するためである。左右の垂直駆動回路 105 及び 106 によりドライブすることで、上記の波形鈍りを軽減できて、スピードを速くできるという効果が得られる。

【0025】

全体として画素部を構成しているマトリクス状に配置された画素 103₁₁ ~ 103_{mn} は、それぞれ前述した特許文献 1 記載の液晶表示装置の画素とは異なる本発明特有の構成であり、各列の画素単位で定電流用トランジスタ 104₁ ~ 104_n に接続されている。

10

【0026】

図 2 は、本発明になる液晶表示装置における一画素の第 1 の実施の形態の等価回路図を示す。同図中、図 6 と同一構成部分には同一符号を付してある。図 2 の等価回路に示す画素 103A は、図 1 中の画素 103₁₁ ~ 103_{mn} のうち任意の一つの第 1 の実施の形態の画素で、画素選択用 N チャネル MOS 型電界効果トランジスタ (以下、NMOS トランジスタという) Tr_1 及び Tr_2 と、NMOS トランジスタ Tr_1 、 Tr_2 のソースにゲートが接続されたソースフォロワ用の P チャネル MOS 型電界効果トランジスタ (以下、PMOS トランジスタという) Tr_3 、 Tr_4 と、スイッチング用の NMOS トランジスタ Tr_5 及び Tr_6 と、PMOS トランジスタ Tr_3 及び Tr_4 の各ソースと各バックゲートに、ドレインとバックゲートがそれぞれ共通接続された PMOS トランジスタ Tr_7 と、2 つの保持容量 C_1 及び C_2 と、トランジスタ Tr_7 のソースに画素電極 PE が接続されている液晶表示素子とから構成されている。この液晶表示素子は、図示を省略したが、上記の画素電極 PE と図示しない共通電極との間に液晶層が挟持された公知の構成である。

20

【0027】

また、PMOS トランジスタ Tr_8 は、ドレインが PMOS トランジスタ Tr_3 、 Tr_4 及び Tr_7 の共通接続点である B 点に接続され、ソースとバックゲートが電源電圧 V_D の電源ラインに接続され、ゲートが制御信号 c_{ur} の配線に接続されている。この PMOS トランジスタ Tr_8 は、 i 列目の各画素内の上記 B 点に共通接続された図 1 に示した定電流用トランジスタ 104_i に相当する。

30

【0028】

画素選択用 NMOS トランジスタ Tr_1 及び Tr_2 は、各ドレインが i 列目の一組のデータ線 (列信号線) $Di+$ 、 $Di-$ に接続され、各ゲートが同じ j 行目のゲート線 G_j に接続されて行選択信号 SW_1 が供給されて同時にスイッチング制御される。保持容量 C_1 は、NMOS トランジスタ Tr_1 のソースと PMOS トランジスタ Tr_3 のゲートとの接続点 C に一端が接続され、他端が接地されている。一方、保持容量 C_2 は、NMOS トランジスタ Tr_2 のソースと PMOS トランジスタ Tr_4 のゲートとの接続点 A に一端が接続され、他端が接地されている。ソースフォロワ用 PMOS トランジスタ Tr_3 と定電流用 PMOS トランジスタ Tr_8 とはスイッチング用 NMOS トランジスタ Tr_5 を駆動する第 1 のソースフォロワ回路を構成している。また、ソースフォロワ用 PMOS トランジスタ Tr_4 と定電流用 PMOS トランジスタ Tr_8 とはスイッチング用 NMOS トランジスタ Tr_6 を駆動する第 2 のソースフォロワ回路を構成している。

40

【0029】

PMOS トランジスタ Tr_5 のゲートには第 1 のスイッチング信号 $2k_p$ が印加され、PMOS トランジスタ Tr_6 のゲートには第 2 のスイッチング信号 $2k_m$ が印加される。また、PMOS トランジスタ Tr_7 のゲートには制御信号 $2k$ が印加される。トランジスタ Tr_3 、 Tr_5 、 Tr_4 、 Tr_6 、 Tr_7 及び Tr_8 は、保持容量 C_1 に保持された正極性の画素値と、保持容量 C_2 に保持された負極性の画素値とを、垂直走査周期より短い周期で交互に画素電極 PE へ読み出す読み出し部を構成している。

【0030】

50

ここで、本実施の形態では、ソースフォロワ用PMOSトランジスタTr3及びTr4は、それぞれソースがバックゲートに接続されている。また、スイッチング用のPMOSトランジスタTr7もドレインとバックゲートがトランジスタTr3及びTr4のソース及びバックゲートに共通接続されている。また、PMOSトランジスタTr8のバックゲートには電源電位VDDが印加される構成とされている。PMOSトランジスタTr3、Tr4、Tr7、Tr8の各バックゲートは基板に形成された同じNウェルの端子であるため、そのNウェル電位がVDDとされていることになる。なお、本実施の形態では、各列の画素毎に1個の定電流用PMOSトランジスタTr8が追加された構成であるが、画素103Aのトランジスタ数は特許文献1記載の液晶表示装置の画素のトランジスタ数と同じであるので、画素ピッチの変更は不要である。

10

【0031】

次に、画素103Aの動作について図3のフローチャートを併せ参照して説明する。

【0032】

画素103Aの書き込み期間では、スイッチング信号2kp及び2kmがそれぞれ図3(F)、(G)に示すようにハイレベルとされてPMOSトランジスタTr5及びTr6がオフ状態とされる。また、制御信号curが図3(E)に示すようにハイレベルとされてPMOSトランジスタTr8もオフ状態とされる。この状態で図3(C)に示すように、行選択信号SW1が時刻t1から時刻t2まで、1垂直走査期間(1V)よりもかなり短い期間、ハイレベルになると、このゲート線Gjに接続されている同一行方向の各画素が選択され、NMOSトランジスタTr1及びTr2が同時にオン状態とされる。

20

【0033】

これにより、水平駆動回路102からデータ線(列信号線)Di+を通して入力される画像データの正極性DA変換画素値がNMOSトランジスタTr1によりサンプリングされて保持容量C1に保持される。また、これと同時に、水平駆動回路102からデータ線(列信号線)Di-を通して入力される画像データの負極性DA変換画素値がNMOSトランジスタTr2によりサンプリングされて保持容量C2に保持される。ここで、保持容量C1に保持されてPMOSトランジスタTr3のゲートに印加されるC点の電圧VCと、保持容量C2に保持されてPMOSトランジスタTr4のゲートに印加されるA点の電圧VAとは、それぞれ以下のように設定されているものとする。

30

【0034】

$$V_C = V_p - V_{on1} \quad (6)$$

Von1: Tr1のオン電圧 VpがTr1の閾値電圧Vth1よりも大きい範囲

Vp : Di+から入力される信号電圧

$$V_A = V_m - V_{on2} \quad (7)$$

Von2: Tr2のオン電圧 VmがTr2の閾値電圧Vth2よりも大きい範囲

Vm : Di-から入力される信号電圧

時刻t1から時刻t2までの行選択信号SW1がハイレベルの期間は、上記の電圧VC、VAはそれぞれ図3(A)、(B)に示すように変化する。

【0035】

次に、画素103Aの読み出し期間では、行選択信号SW1が図3(C)に示すように時刻t2以降ローレベルとされてNMOSトランジスタTr1及びTr2がオフ状態とされる。この状態で、保持容量C1の正極性の保持電圧を読み出す場合は、図3(H)に示すように時刻t3でスイッチング信号2kをローレベルとしてPMOSトランジスタTr7をオン状態とした後、スイッチング用NMOSトランジスタTr5及びTr6のうちTr5のみを図3(F)に示すように時刻t4でスイッチング信号2kpをハイレベルとすることでオンとし、更に制御信号curを図3(E)に示すように時刻t5でローレベルとすることで定電流用トランジスタTr8をオンとして定電流を流す。これにより、保持容量C1の正極性の保持電圧がソースフォロワ用PMOSトランジスタTr3のソースからPMOSトランジスタTr7のドレイン・ソースを通して画素電極PEに印加される。この時の正極性の保持電圧のB点での読み出し電圧VBpは次式で表わされる。

40

50

【 0 0 3 6 】

$$V_{Bp} = V_p - V_{on1} + V_{th3} \quad (8)$$

ただし、(8)式中、 V_{th3} は基板効果のないトランジスタ T_{r3} の閾値電圧であり、素子特有の電圧で固定値である。図3(D)はB点の読み出し電圧 V_B を示し、制御信号 c_{ur} がハイレベルになる時刻 t_6 後に(2)式で表わされる電圧 V_{Bp} になる。

【 0 0 3 7 】

次に、保持容量 C_2 の負極性の保持電圧を読み出す場合は、図3(H)に示すようにスイッチング信号 $2k$ をローレベルとしてPMOSトランジスタ T_{r7} をオン状態とした状態で、スイッチング用NMOSトランジスタ T_{r5} 及び T_{r6} のうち T_{r6} のみを図3(G)に示すように時刻 t_7 でスイッチング信号 $2k_m$ をハイレベルとすることでオンとし、更に制御信号 c_{ur} を図3(E)に示すように時刻 t_8 でローレベルとすることで定電流用トランジスタ T_{r8} をオンとして定電流を流す。これにより、保持容量 C_2 の負極性の保持電圧がソースフォロワ用PMOSトランジスタ T_{r4} のソースからPMOSトランジスタ T_{r7} のドレイン・ソースを通して画素電極 P_E に印加される。この時の負極性の保持電圧のB点での読み出し電圧 V_{Bm} は次式で表わされる。

【 0 0 3 8 】

$$V_{Bm} = V_m - V_{on2} + V_{th4} \quad (9)$$

ただし、(9)式中、 V_{th4} は基板効果のないトランジスタ T_{r4} の閾値電圧であり、素子特有の電圧で固定値である。B点の読み出し電圧は、図3(D)に示すように制御信号 c_{ur} がハイレベルになる時刻 t_9 後に(4)式で表わされる電圧 V_{Bm} になる。

【 0 0 3 9 】

液晶層に印加される電圧は、B点の電圧にPMOSトランジスタ T_{r7} のオン電圧 V_{on7} が加算される。このため、正極性の保持電圧読み出し時の液晶層に印加される電圧 V_{op} と、負極性の保持電圧読み出し時の液晶層に印加される電圧 V_{om} とは、それぞれ次式で表わされる。

【 0 0 4 0 】

$$V_{op} = V_{Bp} + V_{on7} \quad (10)$$

$$V_{om} = V_{Bm} + V_{on7} \quad (11)$$

この場合、(10)式、(11)式は、 V_{Bp} 又は V_{Bm} がPMOSトランジスタ T_{r7} の閾値電圧 V_{th} より高い電圧以上で有効となる。下限は V_{th} により制限される。

【 0 0 4 1 】

結果的に V_{on1} 、 V_{on2} 、 V_{on7} が0Vとなっている範囲で、上記の電圧 V_{op} 、 V_{om} は(8)式～(11)式から次式で表わされる。

【 0 0 4 2 】

$$V_{op} = V_p + V_{th3} \quad (12)$$

$$V_{om} = V_m + V_{th4} \quad (13)$$

上記(12)式及び(13)式中のソースフォロワ用PMOSトランジスタ T_{r3} 、 T_{r4} の閾値電圧 V_{th3} 、 V_{th4} は、信号レベル(ゲート電圧)により変動しない(基板効果がない)状態となり固定の電圧となるため、ソースフォロワ用PMOSトランジスタ T_{r3} 、 T_{r4} によるゲイン1の理想的なソースフォロワ回路により保持電圧を液晶層に印加することができる。以下、NMOSトランジスタ T_{r5} 及び T_{r6} は、垂直走査周期よりも短い所定の周期で交互に切り替えられ、上記と同様の動作が行われる。

【 0 0 4 3 】

このように、本実施の形態では、画素内のトランジスタ数を増やす事が難しいという第1の制約と、Nウェルを用いてPMOSトランジスタのソースと基板(Nウェル)とを同電位にすることは可能であるが、1画素内にはプロセスルール上1種類の電位のNウェルのみ配置可能であるという第2の制約とをクリアして図2に示すような画素103Aの回路を構成しており、結果的に以下のような効果が得られる。

【 0 0 4 4 】

(a) 基板効果無くしているため、リニアリティはほぼ直線となり、ゲイン1の理想

10

20

30

40

50

的なソースフォロワ回路により保持電圧を液晶層に印加することができる。

【0045】

(b) 回路構成上、画素部の1列(1カラム)に1個の定電流用PMOSトランジスタTr8を設けたため、画素103Aからの信号読出しは必ず1水平ラインとなるため、読み出しの時間はかかるが、消費電力は低減される。

【0046】

(c) 電流源が定電流用PMOSトランジスタTr8の1個のため、同じ列の画素毎の電流変動による出力電圧のバラツキは減る。

【0047】

次に、本発明になる液晶表示装置における画素の第2の実施の形態について説明する。

10

【0048】

図4は、本発明になる液晶表示装置における一画素の第2の実施の形態の等価回路図を示す。同図中、図2及び図6と同一構成部分には同一符号を付してある。図4の等価回路に示す画素103Bは、図1中の画素103₁₁~103_{mn}のうち任意の一つの第2の実施の形態の画素で、PMOSトランジスタTr11、NMOSトランジスタTr12、Tr13、PMOSトランジスタTr14からなるゲイン1の第1の差動アンプと、PMOSトランジスタTr11、NMOSトランジスタTr12、Tr13、PMOSトランジスタTr16からなるゲイン1の第2の差動アンプとを切り替える構成である。なお、PMOSトランジスタTr15は第1の差動アンプを動作又は非動作とする第1のスイッチング用トランジスタである。また、PMOSトランジスタTr17は第2の差動アンプを動作又は非動作とする第2のスイッチング用トランジスタである。

20

【0049】

NMOSトランジスタTr1のソースと保持容量C1との接続点Cは、PMOSトランジスタTr14のゲートに接続されている。また、NMOSトランジスタTr2のソースと保持容量C2との接続点Aは、PMOSトランジスタTr16のゲートに接続されている。PMOSトランジスタTr14及びTr16の各ソースは、NMOSトランジスタTr12及びTr13のゲートに共通接続されている。また、PMOSトランジスタTr14、Tr16の各ドレインは、PMOSトランジスタTr15、Tr17を介してPMOSトランジスタTr11のドレインに接続されている。

30

【0050】

PMOSトランジスタTr18は、ゲートがスイッチング信号2kの配線に接続され、ドレインがPMOSトランジスタTr11のゲートとNMOSトランジスタTr12のドレインとの接続点に接続され、ソースが画素電極PEに接続された第3のスイッチング用トランジスタである。PMOSトランジスタTr11、Tr15、Tr17の共通接続点であるB点は、同じ列の複数の画素に共通に設けられた1個の定電流用PMOSトランジスタTr8のドレインに接続されている。また、画素内のすべてのPMOSトランジスタTr11、Tr14、Tr15、Tr16、Tr17と定電流用のPMOSトランジスタTr8の各バックゲート(Nウェル端子)はすべて電源電圧VDDが印加される構成とされている。

40

【0051】

次に、本実施の形態の画素103Bの特有の動作について図5のタイミングチャートを参照して説明する。図5(A)、(B)は図4中の接続点C、Aの電圧VC、VAを示し、同図(C)に示す行選択信号SW1によりゲート線Gjに接続された1ラインの複数の画素内のトランジスタTr1、Tr2がオンとされるとトランジスタTr1、Tr2によりサンプリングされたデータ線Di+、Di-よりの正極性映像信号Vp、負極性映像信号Vmが保持容量C1、C2に保持される。図5(A)、(B)のVp-Von1、Vm-Von2は、(6)式、(7)式に示した保持容量C1、C2の保持電圧を示す。

【0052】

その後、保持容量C1の正極性の保持電圧を読み出す場合は、図5(H)に示すように時刻t11でスイッチング信号2kをローレベルとしてPMOSトランジスタTr18を

50

オン状態とした後、時刻 t_{12} でスイッチング信号 $2k_p$ を図 5 (F) に示すようにローレベルとして P M O S トランジスタ $T r_{15}$ をオンとし、更に制御信号 $c u r$ を図 5 (E) に示すように時刻 t_{13} でローレベルとすることで定電流用トランジスタ $T r_8$ をオンとする。このときは、スイッチング信号 $2k_m$ は図 5 (G) に示すようにハイレベルであるため、P M O S トランジスタ $T r_{17}$ はオフである。

【 0 0 5 3 】

P M O S トランジスタ $T r_{15}$ のオンにより、トランジスタ $T r_{11}$ 、 $T r_{12}$ 、 $T r_{13}$ 、 $T r_{14}$ からなるゲイン 1 の第 1 の差動アンプが動作し、P M O S トランジスタ $T r_{14}$ のゲートに印加される保持容量 C_1 の正極性の保持電圧が第 1 の差動アンプを通して P M O S トランジスタ $T r_{18}$ のドレインに印加され、更にその $T r_{18}$ を通して画素電極 P E に印加される。このときの接続点 B の電圧は図 5 (D) に示すように ($V_p - V_{on1}$) であるため、画素電極 P E に印加される正極性の保持電圧 V_{op} は次式で表わされる。

10

【 0 0 5 4 】

$$V_{op} = V_p - V_{on1} + V_{on18} \quad (14)$$

ただし、(1 4) 式中、 V_{on1} はトランジスタ $T r_1$ のオン電圧、 V_{on18} はトランジスタ $T r_{18}$ のオン電圧である。

【 0 0 5 5 】

その後、保持容量 C_2 の負極性の保持電圧を読み出す場合は、図 5 (H) に示すように時刻 t_{14} でスイッチング信号 $2k$ をローレベルとして P M O S トランジスタ $T r_{18}$ をオン状態とした後、時刻 t_{15} でスイッチング信号 $2k_m$ を図 5 (G) に示すようにローレベルとして P M O S トランジスタ $T r_{17}$ をオンとし、更に制御信号 $c u r$ を図 5 (E) に示すように時刻 t_{16} でローレベルとすることで定電流用トランジスタ $T r_8$ をオンとする。このときは、スイッチング信号 $2k_p$ は図 5 (F) に示すようにハイレベルであるため、P M O S トランジスタ $T r_{15}$ はオフである。

20

【 0 0 5 6 】

P M O S トランジスタ $T r_{17}$ のオンにより、トランジスタ $T r_{11}$ 、 $T r_{12}$ 、 $T r_{13}$ 、 $T r_{16}$ からなるゲイン 1 の第 2 の差動アンプが動作し、P M O S トランジスタ $T r_{16}$ のゲートに印加される保持容量 C_2 の負極性の保持電圧が第 2 の差動アンプを通して P M O S トランジスタ $T r_{18}$ のドレインに印加され、更にその $T r_{18}$ を通して画素電極 P E に印加される。このときの接続点 B の電圧は図 5 (D) に示すように ($V_m - V_{on2}$) であるため、画素電極 P E に印加される負極性の保持電圧 V_{om} は次式で表わされる。

30

【 0 0 5 7 】

$$V_{om} = V_m - V_{on2} + V_{on18} \quad (15)$$

ただし、(1 5) 式中、 V_{on2} はトランジスタ $T r_2$ のオン電圧、 V_{on18} はトランジスタ $T r_{18}$ のオン電圧である。以下、P M O S トランジスタ $T r_{15}$ 及び $T r_{17}$ は、垂直走査周期よりも短い所定の周期で交互に切り替えられ、上記と同様の動作が行われる。

【 0 0 5 8 】

このように、本実施の形態によれば、画素内のトランジスタ数は従来よりも若干増加するものの、1 画素内にはプロセスルール上 1 種類の電位の N ウェルのみ配置可能であるという制約をクリアして図 4 に示す画素 1 0 3 B を構成している。これにより、本実施の形態によれば、ソースフォロワトランジスタの基板効果を無くしているため、リニアリティはほぼ直線となり、ゲイン 1 の理想的な差動アンプにより保持電圧を液晶層に印加することができる。また、本実施の形態も図 2 の実施の形態と同様に、画素部の 1 列 (1 カラム) に 1 個の定電流用 P M O S トランジスタ $T r_8$ を設けたため、消費電力を低減でき、また同じ列の画素毎の電流変動による出力電圧のバラツキも低減することができる。

40

【 符号の説明 】

【 0 0 5 9 】

1 0 0 液晶表示装置

1 0 1 シフトレジスタ及びコンパレータ

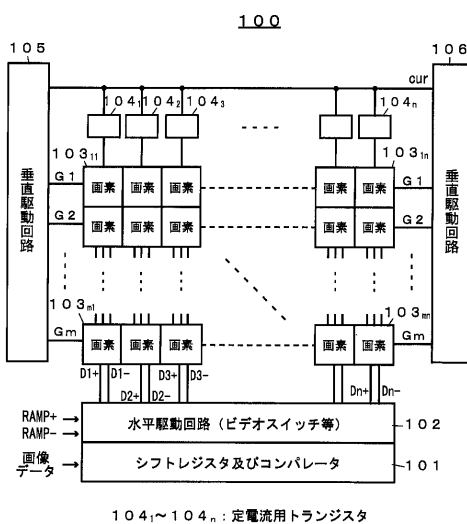
1 0 2 水平駆動回路

50

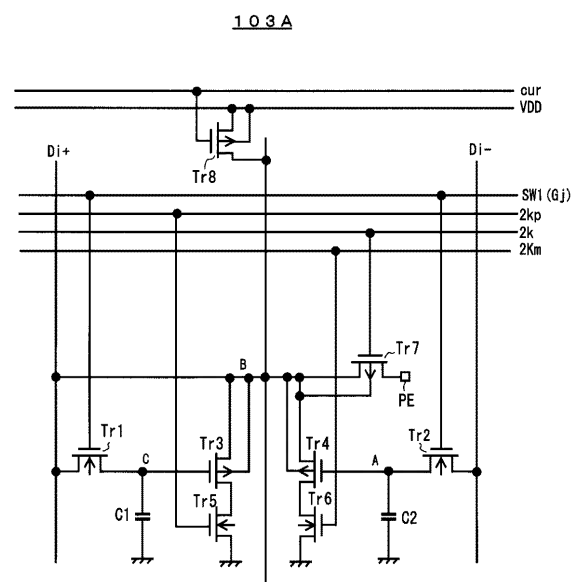
$103_{11} \sim 103_{mn}$ 、 103_A 、 103_B 画素
 $104_1 \sim 104_n$ 定電流用トランジスタ
 105 、 106 垂直駆動回路
 $D1+ \sim Dn+$ 、 $Di+$ 正極性側ゲート線（列信号線）
 $D1- \sim Dn-$ 、 $Di-$ 負極性側ゲート線（列信号線）
 $G1 \sim Gm$ 、 Gj ゲート線（行走査線）
 $Tr1$ 、 $Tr2$ 画素選択用NMOSトランジスタ
 $Tr3$ 、 $Tr4$ ソースフォロワ用PMOSトランジスタ
 $Tr5$ 、 $Tr6$ 、 $Tr7$ 、 $Tr18$ スwitchング用PMOSトランジスタ
 $Tr8$ 定電流用PMOSトランジスタ
 $Tr11 \sim Tr17$ 差動アンプ用トランジスタ
 $C1$ 、 $C2$ 保持容量
 PE 画素電極

10

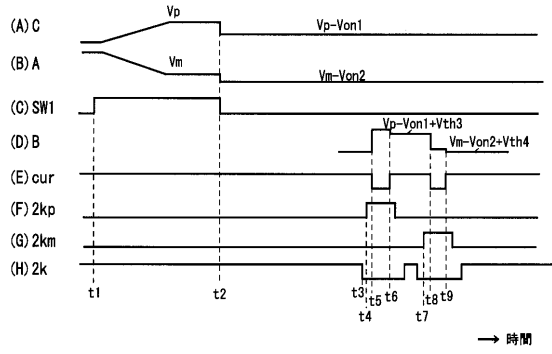
【図1】



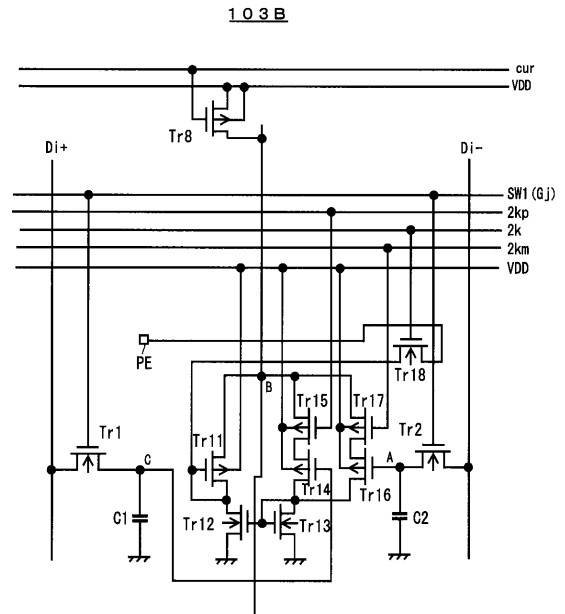
【図2】



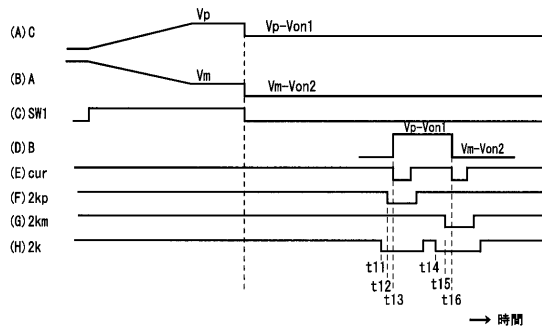
【 図 3 】



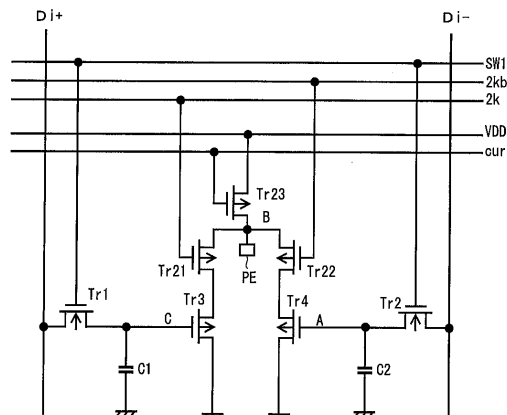
【 図 4 】



【 図 5 】



【 図 6 】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 4 2 D
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 2 3 R
G 0 2 F	1/133	5 5 0

F ターム(参考) 5C006 AA01 AA16 AC11 AC21 AC26 AF21 AF43 AF46 AF50 AF51
 AF71 AF75 AF83 BB16 BB28 BC02 BC03 BC06 BC12 BC20
 BC23 BF14 BF22 BF24 BF25 BF33 BF34 BF42 BF43 EB05
 EC11 FA12 FA16 FA20 FA22 FA26 FA34 FA37 FA38 FA42
 FA47 FA54
 5C080 AA10 BB05 DD03 DD05 DD08 DD23 DD25 DD26 DD29 EE26
 EE28 EE29 FF03 FF11 GG08 GG11 JJ02 JJ03 JJ04 KK43

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012137708A	公开(公告)日	2012-07-19
申请号	JP2010291604	申请日	2010-12-28
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	清水 健		
发明人	清水 健		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.641.C G09G3/20.624.B G09G3/20.623.W G09G3/20.670.K G09G3/20.642.D G09G3/20.641.Q G09G3/20.623.R G02F1/133.550		
F-TERM分类号	2H193/ZA03 2H193/ZA04 2H193/ZA19 2H193/ZC20 2H193/ZR02 5C006/AA01 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AC26 5C006/AF21 5C006/AF43 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF71 5C006/AF75 5C006/AF83 5C006/BB16 5C006/BB28 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BC23 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF25 5C006/BF33 5C006/BF34 5C006/BF42 5C006/BF43 5C006/EB05 5C006/EC11 5C006/FA12 5C006/FA16 5C006/FA20 5C006/FA22 5C006/FA26 5C006/FA34 5C006/FA37 5C006/FA38 5C006/FA42 5C006/FA47 5C006/FA54 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD05 5C080/DD08 5C080/DD23 5C080/DD25 5C080/DD26 5C080/DD29 5C080/EE26 5C080/EE28 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG08 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43		
外部链接	Espacenet		

摘要(译)

要解决的问题：为源极跟随器提供晶体管时没有任何衬底效应的线性度。解决方案：对于源极跟随器的PMOS晶体管Tr3和Tr4，源极连接到背栅极。在像素部分中在相同列方向上共同连接到每个像素的PMOS晶体管Tr8是用于恒定电流的晶体管，其连接到每个像素内的源极跟随器的PMOS晶体管Tr3和Tr4的每个源极和每个背栅极。晶体管Tr3，Tr5，Tr4，Tr6，Tr7和Tr8构成读出部分，其交替地读出由保持体积C1保持的正像素值和由保持体积C2保持的负像素值到像素电极PE，周期更短而不是垂直扫描周期。源极跟随器的PMOS晶体管Tr3和Tr4的阈值电压 V_{th3} 和 V_{th4} 落入不随信号电平（栅极电压）（无衬底效应的状态）变化的状态，并变为固定电压。

