

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-113072

(P2012-113072A)

(43) 公開日 平成24年6月14日(2012.6.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 611A	
	G09G 3/20 623D	
審査請求 未請求 請求項の数 2 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2010-260831 (P2010-260831)
 (22) 出願日 平成22年11月24日 (2010.11.24)

(71) 出願人 308036402
 株式会社 J V C ケンウッド
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 岩佐 隆行
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地
 F ターム (参考) 2H193 ZA03 ZA04 ZA19 ZC20 ZR02
 5C006 AC21 AC25 AC26 AC27 AF42
 AF43 AF71 BB16 BC06 FA23
 FA34 FA46 FA47
 5C080 AA10 BB05 DD06 DD26 DD29
 FF11 JJ03 JJ04

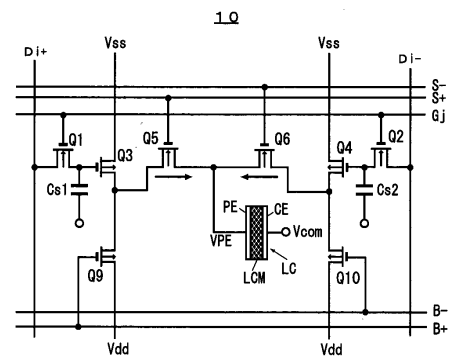
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 正極性映像信号と負極性映像信号とを 2 つの保持容量に別々にサンプリング保持する画素の消費電流をより一層削減する。

【解決手段】 正極性用のソースフォロワ・バッファ内の定電流負荷トランジスタ Q 9 のゲート配線を B+ とし、負極性用のソースフォロワ・バッファ内の定電流負荷トランジスタ Q 1 0 のゲート配線を B- とし、それぞれのゲート配線を分ける。これにより、スイッチング用トランジスタ Q 5 及び Q 6 のうちオンとされて読み出しを行っている側のソースフォロワ・バッファのみ電流を流し、他方のソースフォロワ・バッファには電流を流さないように制御することができるため、消費電流を削減することができる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

2本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、

対向する画素電極と共通電極との間に液晶層が挟持された表示素子と、

一組の前記2本のデータ線のうち一方のデータ線を介して供給される正極性映像信号をサンプリングして一定期間第1の保持容量に保持する第1のサンプリング及び保持手段と

、
一組の前記2本のデータ線のうち他方のデータ線を介して供給される、前記正極性映像信号とは逆極性の負極性映像信号をサンプリングして一定期間第2の保持容量に保持する第2のサンプリング及び保持手段と、

10

第1のソースフォロワトランジスタと、その第1のソースフォロワトランジスタのソースにドレインが接続された第1の定電流負荷トランジスタとからなり、前記第1の保持容量に保持された正極性映像信号電圧を転送する第1のソースフォロワ・バッファと、

第2のソースフォロワトランジスタと、その第2のソースフォロワトランジスタのソースにドレインが接続された第2の定電流負荷トランジスタとからなり、前記第2の保持容量に保持された負極性映像信号電圧を転送する第2のソースフォロワ・バッファと、

前記第1のソースフォロワ・バッファを通して入力される前記正極性映像信号電圧と、前記第2のソースフォロワ・バッファを通して入力される前記負極性映像信号電圧とを、垂直走査周期より短い所定の周期で切り替えて前記画素電極に交互に印加するスイッチング手段と、

20

前記スイッチング手段により前記第1のソースフォロワ・バッファを通して前記正極性映像信号電圧が前記画素電極に印加される期間のみ前記第1の定電流負荷トランジスタをオンとして前記第1のソースフォロワ・バッファをアクティブとし、それ以外の期間は前記第1の定電流負荷トランジスタをオフとする第1の定電流負荷トランジスタ制御手段と

、
前記スイッチング手段により前記第2のソースフォロワ・バッファを通して前記負極性映像信号電圧が前記画素電極に印加される期間のみ前記第2の定電流負荷トランジスタをオンとして前記第2のソースフォロワ・バッファをアクティブとし、それ以外の期間は前記第2の定電流負荷トランジスタをオフとする第2の定電流負荷トランジスタ制御手段とを有することを特徴とする液晶表示装置。

30

【請求項 2】

2本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられ、対向する画素電極と共通電極との間に液晶層が挟持された表示素子を含む複数の画素に対して、

一組の前記2本のデータ線のうち一方のデータ線を介して供給される正極性映像信号をサンプリングして一定期間第1の保持容量に保持すると同時に、一組の前記2本のデータ線のうち他方のデータ線を介して供給される、前記正極性映像信号とは逆極性の負極性映像信号をサンプリングして一定期間第2の保持容量に保持するサンプリング及び保持ステップと、

40

第1のソースフォロワトランジスタと、その第1のソースフォロワトランジスタのソースにドレインが接続された第1の定電流負荷トランジスタとからなる第1のソースフォロワ・バッファを通して入力される前記第1の保持容量に保持された正極性映像信号電圧と、第2のソースフォロワトランジスタと、その第2のソースフォロワトランジスタのソースにドレインが接続された第2の定電流負荷トランジスタとからなる第2のソースフォロワ・バッファを通して入力される前記第2の保持容量に保持された負極性映像信号電圧とを、垂直走査周期より短い所定の周期で切り替えて前記画素電極に交互に印加するスイッチングステップと、

前記スイッチングステップにより前記第1のソースフォロワ・バッファを通して前記正極性映像信号電圧が前記画素電極に印加される期間のみ前記第1の定電流負荷トランジス

50

タをオンとして前記第 1 のソースフォロワ・バッファをアクティブとし、それ以外の期間は前記第 1 の定電流負荷トランジスタをオフとする第 1 の定電流負荷トランジスタ制御ステップと、

前記スイッチングステップにより前記第 2 のソースフォロワ・バッファを通して前記負極性映像信号電圧が前記画素電極に印加される期間のみ前記第 2 の定電流負荷トランジスタをオンとして前記第 2 のソースフォロワ・バッファをアクティブとし、それ以外の期間は前記第 2 の定電流負荷トランジスタをオフとする第 2 の定電流負荷トランジスタ制御ステップと

を含むことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は液晶表示装置及びその駆動方法に係り、特に各画素において正極性映像信号と負極性映像信号とを 2 つの保持容量に別々にサンプリング保持した後、それらの保持電圧を交互に画素電極に印加して液晶表示素子を交流駆動する液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品として L C O S (Liquid Crystal on Silicon) 型の液晶表示装置が多く用いられている。この L C O S 型の液晶表示装置として、本出願人は先に、2 本のデータ線 (列信号線) を一組とする複数組のデータ線と、複数本のゲート線 (行走査線) との各交差部にそれぞれ画素をマトリクス状に配置し、それらの各画素において正極性映像信号と負極性映像信号とを 2 つの保持容量に別々にサンプリング保持した後、それらの保持電圧を交互に画素電極に印加して液晶表示素子を交流駆動する液晶表示装置を提案した (例えば、特許文献 1 参照)。

20

【0003】

図 4 は、この液晶表示装置の一画素の一例の等価回路図を示す。同図において、一つの画素は、正極性の映像信号及び負極性の映像信号を書き込むための画素選択トランジスタ Q 1 及び Q 2 と、各々の極性の映像信号電圧を並列的に保持する独立した 2 つの保持容量 C s1 及び C s2 と、トランジスタ Q 3 ~ Q 8 と、液晶表示素子 L C とからなる。液晶表示素子 L C は、互いに対向して配置された画素電極 P E と共通電極 C E との間に液晶層 (表示体) L C M が挟持された周知の構造である。

30

【0004】

また、画素選択トランジスタ Q 1 及び Q 2 とスイッチングトランジスタ Q 5 及び Q 6 とは、N チャンネル M O S 型電界効果トランジスタ (以下、N M O S トランジスタという) であり、トランジスタ Q 3、Q 4、Q 7 及び Q 8 は、P チャンネル M O S 型電界効果トランジスタ (以下、P M O S トランジスタという) であるものとする。トランジスタ Q 3 と Q 7、及びトランジスタ Q 4 と Q 8 は、それぞれ所謂ソースフォロワ・バッファであり、トランジスタ Q 3、Q 4 がソースフォロワトランジスタ、トランジスタ Q 7、Q 8 が定電流源負荷として機能するトランジスタである。M O S トランジスタのソースフォロワ・バッファの入力抵抗はほぼ無限大で、保持容量 C s1 及び C s2 の蓄積電荷はリークすることなく、1 垂直走査期間後に信号が新たに書き込まれるまで保持される。

40

【0005】

また、画素部データ線は、各画素について正極性用データ線 D i+、負極性用データ線 D i- の 2 本一組で構成され、図示しないデータ線駆動回路でサンプリングされた互いに極性の異なる映像信号が供給される。画素選択トランジスタ Q 1、Q 2 の各ドレイン端子は各々正極性用データ線 D i+、負極性用データ線 D i- に接続され、各ゲート端子は同一行について行走査線 (ゲート線) G j に接続されている。また、配線 B がトランジスタ Q 7 及び Q 8 の各ゲートに接続されている。また、配線 S+、S- はゲート制御信号用の配線で、

50

それぞれトランジスタQ 5、Q 6のゲートに別々に接続されている。更に、行走査線G jが同じ行の複数の画素のトランジスタQ 1及びQ 2にそれぞれ共通接続されている。

【0006】

次に、この画素の交流駆動制御の概要について図5のタイミングチャートと共に説明する。図5(A)は、垂直同期信号VDを示し、図5(B)は、図4の画素におけるトランジスタQ 7及びQ 8のゲートに印加される配線Bの負荷特性制御信号を示す。また、図5(C)は、上記画素における正極性側駆動電圧を転送するスイッチングトランジスタQ 5のゲートに印加される配線S+のゲート制御信号、同図(D)は、上記画素における負極性側駆動電圧を転送するスイッチングトランジスタQ 6のゲートに印加される配線S-のゲート制御信号の各信号波形を示す。

10

【0007】

図4において、図5(C)に示す配線S+のゲート制御信号がハイレベルの期間、正極性側スイッチングトランジスタQ 5がオンとなり、この期間に配線Bに供給される負荷特性制御信号を図5(B)に示すようにローレベルとすると、ソースフォロワ・バッファがアクティブとなり、画素電極PEノードが正極性の映像信号レベルに充電される。画素電極PEの電位が完全に充電された状態となった時点で、配線Bの負荷特性制御信号をハイレベルとし、かつ、そのとき配線S+のゲート制御信号をローレベルに切り替えると、画素電極PEはフローティングとなり、液晶容量に正極性駆動電圧が保持される。

【0008】

一方、図5(D)に示す配線S-のゲート制御信号がハイレベルの期間、負極性側スイッチングトランジスタQ 6がオンとなり、この期間に配線Bに供給される負荷特性制御信号を同図(B)に示すようにローレベルとすると、ソースフォロワ・バッファがアクティブとなり、画素電極PEノードが負極性の映像信号レベルに充電される。画素電極PEの電位が完全に充電された状態となった時点で、配線Bの負荷特性制御信号をハイレベルとし、かつ、そのとき配線S-のゲート制御信号をローレベルに切り替えると、画素電極PEはフローティングとなり、液晶容量に負極性駆動電圧が保持される。

20

【0009】

以下、上記のスイッチングトランジスタQ 5及びQ 6を交互にオンとするスイッチングに同期して、配線Bの負荷特性制御信号によりトランジスタQ 7及びQ 8を間欠的にアクティブとする動作を繰り返すことで、液晶表示素子LCの画素電極PEには正極性と負極性の各映像信号で交流化された駆動電圧V PEが図5(E)に示すように印加される。図4に示す画素は保持電荷を直接画素電極PEに転送するのではなく、ソースフォロワ・バッファを介して電圧を供給する構成のため、正負極性での繰り返し充放電を行っても電荷の中和の問題はなく、電圧レベルの減衰がない駆動が実現できる。

30

【0010】

また、図5(F)に示すV comは、液晶表示装置の対向基板に形成した共通電極CEに印加する電圧を表している。液晶層LCMの実質的な交流駆動電圧は、この共通電極CEの印加電圧V comと画素電極PEの印加電圧との差電圧である。図5(F)に示すように、共通電極CEの印加電圧V comは、画素電極電位の反転基準レベルV cとほぼ等しい基準レベルに対して、画素極性切り替えと同期して反転されている。

40

【0011】

また、保持容量Cs1、Cs2にそれぞれサンプリング保持された正極性、負極性の各映像信号電圧は、高入力抵抗のソースフォロワトランジスタQ 3、Q 4を介して読み出され、図5(C)、(D)に示したように配線S+、S-に交互に供給されるゲート制御信号によりオンとされるスイッチングトランジスタQ 5、Q 6により交互に選択されて画素電極PEに正極性、負極性に反転する図5(E)に示した駆動電圧V PEとして印加される。この図4に示す画素は、1垂直走査期間(1フレーム)に1度、保持容量Cs1、Cs2に正極性、負極性の各映像信号電圧を書き込んでしまえば、次のフレームの映像信号電圧が保持されるまでの1フレーム期間、何回でも保持容量Cs1、Cs2から映像信号電圧を読み出し、トランジスタQ 5、Q 6を交互に切り替えて液晶表示素子LCを交流駆動できる。従っ

50

て、図 4 に示した画素は、映像信号の書き込み周期とは独立に垂直走査周波数の制約のない、高い駆動周波数で液晶表示素子 LC を交流駆動することができる。

【 0 0 1 2 】

この交流駆動周波数は、垂直走査周波数によらず、画素回路での反転制御周期で自由に設定することができる。例えば垂直走査周波数が一般的なテレビ映像信号で用いられる 60 Hz で、フルハイビジョンの垂直周期走査線数 1 1 2 5 ラインで構成されているとする。画素回路の極性切り替えを 1 5 ライン期間程度の周期で行うとすれば、液晶表示素子の交流駆動周波数は $2.25 \text{ kHz} (= 60 (\text{Hz}) \times 1125 \div (15 \times 2))$ となり、従来の液晶表示装置と比較して液晶駆動周波数を飛躍的に高めることができる。それにより、液晶表示素子の交流駆動周波数が低周波数の場合に比べて、焼き付きを防止でき、また信頼性・安定性やシミなどの表示品位低下などを大幅に改善することが可能となる。

10

【 0 0 1 3 】

なお、ソースフォロワ・バッファの定電流負荷トランジスタ Q 7 及び Q 8 は液晶表示装置での消費電流を考慮して、常時アクティブにせず、スイッチングトランジスタ Q 5 及び Q 6 の導通期間の内の限られた期間でのみアクティブになるように制御を行う。例えば、1 画素回路あたりの定常的なソースフォロワ回路電流が $1 \mu\text{A}$ の微少電流であったとしても、液晶表示装置の全画素が定常的に電流を消費する条件では多大な消費電流となってしまう、という問題があり、例えばフルハイビジョン 2 0 0 万画素の液晶表示装置では、消費電流が 2 A にも達する見積もりとなる。

【 0 0 1 4 】

20

そのため、図 4 に示す画素では定電流負荷トランジスタ Q 7 及び Q 8 のゲートバイアスとなる負荷特性制御信号 B のローレベル期間を画素電圧極性切り替えの遷移期間のみに制限し、画素電極電圧 V P E が目標レベルまで充放電された直後には即座にハイレベルとしてソースフォロワ・バッファの電流を停止させる。従って、全画素にバッファを備えた構成でありながら、実質的な消費電流を小さく抑えることが可能である。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 5 】

【 特許文献 1 】 特開 2 0 0 9 - 2 2 3 2 8 9 号 公 報

【 発明の概要 】

30

【 発明が解決しようとする課題 】

【 0 0 1 6 】

上記の液晶表示装置は、図 4 に示すように、定電流負荷トランジスタ Q 7 及び Q 8 の各ゲートが同一行画素について行方向に配線 B として共通配線されているため、負荷特性制御信号により P M O S トランジスタ Q 3 及び Q 7 と、P M O S トランジスタ Q 4 及び Q 8 の 2 系統のソースフォロワ・バッファを同時にオンすることになる。

【 0 0 1 7 】

しかしながら、液晶表示素子 LC の画素電極 P E にスイッチして印加する信号は、常に 1 系統のソースフォロワ・バッファを通して印加すればよいため、スイッチングトランジスタ Q 5 をオンにして画素電極 P E に正極性信号を印加している期間は、P M O S トランジスタ Q 4 及び Q 8 からなるソースフォロワ・バッファに流している電流はただ捨てていることになり、信号は利用されていない。他方、スイッチングトランジスタ Q 6 をオンにして画素電極 P E に負極性信号を印加しているときは、P M O S トランジスタ Q 3 及び Q 7 からなるソースフォロワ・バッファに流している電流はただ捨てていることになり、信号は利用されていない。そのため 2 倍の電流を流していることになる。従って、特許文献 1 記載の液晶表示装置に対して消費電流のさらなる削減が望まれている。

40

【 0 0 1 8 】

なお、単に消費電流を削減するためであれば、例えば図 6 に示すように定電流負荷トランジスタを 2 つのソースフォロワトランジスタに共通の 1 系統にし、ソースフォロワトランジスタと定電流負荷トランジスタとの間に直列にスイッチを挿入すればよい。この方法

50

では、画素電極 P E に正極性信号を印加している期間は P M O S トランジスタ Tr 5 と Tr 7 からなるソースフォロワ・バッファをオンにし、画素電極 P E に負極性信号を印加している期間は P M O S トランジスタ Tr 6 と Tr 7 からなるソースフォロワ・バッファをオンにする。このため、電流は常に 1 系統しか流さず、低消費電力化を図ることが出来る。

【 0 0 1 9 】

しかしながら、この方法では、Tr 7 と Tr 5、Tr 7 と Tr 6 は V d d と V s s 間で直列に接続されているため、決められた期間に同時にアクティブ、オフの制御を行う必要があり、スイッチを切るタイミングなど細かい制約が発生し、トランジスタの閾値電圧のばらつきが増加するなどの問題がある。

【 0 0 2 0 】

本発明は以上の点に鑑みなされたもので、正極性映像信号と負極性映像信号とを 2 つの保持容量に別々にサンプリング保持する画素の消費電流をより一層削減し得る液晶表示装置及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 1 】

上記目的を達成するため、本発明の液晶表示装置は、2 本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のそれぞれが、対向する画素電極と共通電極との間に液晶層が挟持された表示素子と、一組の 2 本のデータ線のうち一方のデータ線を介して供給される正極性映像信号をサンプリングして一定期間第 1 の保持容量に保持する第 1 のサンプリング及び保持手段と、一組の 2 本のデータ線のうち他方のデータ線を介して供給される、正極性映像信号とは逆極性の負極性映像信号をサンプリングして一定期間第 2 の保持容量に保持する第 2 のサンプリング及び保持手段と、第 1 のソースフォロワトランジスタとその第 1 のソースフォロワトランジスタのソースにドレインが接続された第 1 の定電流負荷トランジスタとからなり、第 1 の保持容量に保持された正極性映像信号電圧を転送する第 1 のソースフォロワ・バッファと、第 2 のソースフォロワトランジスタとその第 2 のソースフォロワトランジスタのソースにドレインが接続された第 2 の定電流負荷トランジスタとからなり、第 2 の保持容量に保持された負極性映像信号電圧を転送する第 2 のソースフォロワ・バッファと、第 1 のソースフォロワ・バッファを通して入力される正極性映像信号電圧と、第 2 のソースフォロワ・バッファを通して入力される負極性映像信号電圧とを、垂直走査周期より短い所定の周期で切り替えて画素電極に交互に印加するスイッチング手段と、スイッチング手段により第 1 のソースフォロワ・バッファを通して正極性映像信号電圧が画素電極に印加される期間のみ第 1 の定電流負荷トランジスタをオンとして第 1 のソースフォロワ・バッファをアクティブとし、それ以外の期間は第 1 の定電流負荷トランジスタをオフとする第 1 の定電流負荷トランジスタ制御手段と、スイッチング手段により第 2 のソースフォロワ・バッファを通して負極性映像信号電圧が画素電極に印加される期間のみ第 2 の定電流負荷トランジスタをオンとして第 2 のソースフォロワ・バッファをアクティブとし、それ以外の期間は第 2 の定電流負荷トランジスタをオフとする第 2 の定電流負荷トランジスタ制御手段とを有することを特徴とする。

【 0 0 2 2 】

また、上記の目的を達成するため、本発明の液晶表示装置の駆動方法は、2 本のデータ線を一組とする複数組のデータ線と複数本の行走査線とがそれぞれ交差する交差部に設けられ、対向する画素電極と共通電極との間に液晶層が挟持された表示素子を含む複数の画素に対して、一組の 2 本のデータ線のうち一方のデータ線を介して供給される正極性映像信号をサンプリングして一定期間第 1 の保持容量に保持すると同時に、一組の 2 本のデータ線のうち他方のデータ線を介して供給される、正極性映像信号とは逆極性の負極性映像信号をサンプリングして一定期間第 2 の保持容量に保持するサンプリング及び保持ステップと、第 1 のソースフォロワトランジスタとその第 1 のソースフォロワトランジスタのソースにドレインが接続された第 1 の定電流負荷トランジスタとからなる第 1 のソースフォロワ・バッファを通して入力される第 1 の保持容量に保持された正極性映像信号電圧と、

10

20

30

40

50

第2のソースフォロワトランジスタとその第2のソースフォロワトランジスタのソースにドレインが接続された第2の定電流負荷トランジスタとからなる第2のソースフォロワ・バッファを通して入力される第2の保持容量に保持された負極性映像信号電圧とを、垂直走査周期より短い所定の周期で切り替えて画素電極に交互に印加するスイッチングステップと、スイッチングステップにより第1のソースフォロワ・バッファを通して正極性映像信号電圧が画素電極に印加される期間のみ第1の定電流負荷トランジスタをオンとして第1のソースフォロワ・バッファをアクティブとし、それ以外の期間は第1の定電流負荷トランジスタをオフとする第1の定電流負荷トランジスタ制御ステップと、スイッチングステップにより第2のソースフォロワ・バッファを通して負極性映像信号電圧が画素電極に印加される期間のみ第2の定電流負荷トランジスタをオンとして第2のソースフォロワ・バッファをアクティブとし、それ以外の期間は第2の定電流負荷トランジスタをオフとする第2の定電流負荷トランジスタ制御ステップとを含むことを特徴とする。

10

【発明の効果】

【0023】

本発明によれば、スイッチングトランジスタを通して画素電極へ映像信号電圧を転送する2つのソースフォロワ・バッファのうち読み出しを行っている側のソースフォロワ・バッファのみ電流を流し、他方のソースフォロワ・バッファには電流を流さないように制御するようにしたため、消費電流を削減することができる。

【図面の簡単な説明】

【0024】

20

【図1】本発明の液晶表示装置の一実施の形態の画素等価回路図である。

【図2】図1の動作説明用タイミングチャートである。

【図3】正極性映像信号と負極性映像信号との関係を示す図である。

【図4】従来の液晶表示装置の一画素の一例の等価回路図である。

【図5】図4の動作説明用タイミングチャートである。

【図6】従来の液晶表示装置の一画素の他の例の等価回路図である。

【発明を実施するための形態】

【0025】

以下、本発明の実施の形態について図面を参照して説明する。

【0026】

30

図1は、本発明になる液晶表示装置の一実施の形態の画素等価回路図を示す。同図中、図4と同一構成部分には同一符号を付してある。本実施の形態の液晶表示装置は、特許文献1記載の液晶表示装置と同様に、2本のデータ線（列信号線）を一組とする複数組のデータ線と、複数本のゲート線（行走査線）との各交差部にそれぞれ画素をマトリクス状に配置し、それらの各画素において正極性映像信号と負極性映像信号とを2つの保持容量に別々にサンプリング保持した後、それらの保持電圧を交互に画素電極に印加して液晶表示素子を交流駆動する液晶表示装置であるが、特許文献1記載の液晶表示装置と比較して画素の構成が異なり、図1に示す等価回路で表わされる構成とされている。

【0027】

すなわち、図1に示す画素10はj行i列目の画素で、i列目の一組2本のデータ線（列信号線） D_{i+} 及び D_{i-} と、j行目のゲート線（行走査線） G_j との交差部に設けられており、更に2本一組のゲート制御信号用配線 $S+$ 及び $S-$ と、2本一組の負荷特性制御信号用配線 $B+$ 及び $B-$ とに接続されており、負荷特性制御信号用配線が $B+$ 及び $B-$ の2本一組である点に特徴がある。

40

【0028】

図1において、画素選択用NMOSトランジスタ Q_1 、 Q_2 は各ドレイン端子が各々正極性用データ線 D_{i+} 、負極性用データ線 D_{i-} に接続され、各ゲート端子が同一行について行走査線（ゲート線） G_j に接続されている。また、NMOSトランジスタ Q_1 、 Q_2 の各ソース端子は、各々正極性用保持容量 $Cs1$ 、負極性用保持容量 $Cs2$ の各一端とソースフォロワ用PMOSトランジスタ Q_3 、 Q_4 の各ゲート端子との接続点に接続されている

50

。

【0029】

P M O S トランジスタ Q 3、Q 4 の各ソース端子には、P M O S トランジスタ Q 9、Q 10 の各ドレイン端子と、スイッチング用 N M O S トランジスタ Q 5、Q 6 の各ドレイン端子との接続点に接続されている。P M O S トランジスタ Q 9 は、ソースフォロワ用 P M O S トランジスタ Q 3 と共に構成する正極性用のソースフォロワ・バッファの定電流負荷トランジスタであり、そのソース端子には電位 $V_{SS}V_{dd}$ が印加される。同様に、P M O S トランジスタ Q 10 は、ソースフォロワ用 P M O S トランジスタ Q 4 と共に構成する負極性用のソースフォロワ・バッファの定電流負荷トランジスタであり、そのソース端子には電位 $V_{SS}V_{dd}$ が印加される。

10

【0030】

スイッチング用 N M O S トランジスタ Q 5 及び Q 6 の各ソース端子は、液晶表示素子 L C の画素電極 P E に共通に接続されている。また、正極性用ゲート制御信号用配線 S + はスイッチング用 N M O S トランジスタ Q 5 のゲート端子に接続され、負極性用ゲート制御信号用配線 S - はスイッチング用 N M O S トランジスタ Q 6 のゲート端子に接続されている。更に、正極性用負荷特性制御信号用配線 B + は P M O S トランジスタ Q 9 のゲート端子に接続され、負極性用負荷特性制御信号用配線 B - は P M O S トランジスタ Q 10 のゲート端子に接続されている。

【0031】

本実施の形態では、正極性用のソースフォロワ・バッファ内の定電流負荷トランジスタ Q 9 のゲート配線を B + とし、負極性用のソースフォロワ・バッファ内の定電流負荷トランジスタ Q 10 のゲート配線を B - とし、それぞれのゲート配線を分けている。これにより、配線数は増加するが、スイッチング用トランジスタ Q 5 及び Q 6 のうちオンとされて読み出しを行っている側のソースフォロワ・バッファのみ電流を流し、他方のソースフォロワ・バッファには電流を流さないように制御することができるため、消費電流を従来と比較して 1 / 2 に削減することができる。

20

【0032】

具体的には、トランジスタ Q 5 をオンして、トランジスタ Q 3 及び Q 9 からなるソースフォロワ・バッファに電流を流して信号を読み出しているときは、トランジスタ Q 4 及び Q 10 をオフにして電流を流さないようにする。一方、トランジスタ Q 6 をオンして、トランジスタ Q 4 及び Q 10 からなるソースフォロワ・バッファに電流を流して信号を読み出しているときは、トランジスタ Q 3 及び Q 9 をオフにして電流を流さないようにする。

30

【0033】

次に、この画素の交流駆動制御の概要について図 2 のタイミングチャートと共に説明する。図 2 (A) は、垂直同期信号 V D を示し、図 2 (B)、(C) は、図 1 の画素 10 における P M O S トランジスタ Q 9、Q 10 の各ゲート端子に配線 B +、B - を介して印加される正極性用負荷特性制御信号、負極性用負荷特性制御信号を示す。また、図 2 (D) は、正極性側駆動電圧を転送するスイッチング用 N M O S トランジスタ Q 5 のゲートに印加される配線 S + のゲート制御信号、同図 (E) は、負極性側駆動電圧を転送するスイッチング用 N M O S トランジスタ Q 6 のゲートに印加される配線 S - のゲート制御信号の各信号波形を示す。

40

【0034】

図 1 において、行走査線 G j を介して画素 10 に供給される 1 垂直走査期間周期の行選択信号が所定期間ハイレベルになると、その所定期間 N M O S トランジスタ Q 1 及び Q 2 がそれぞれ同時にオンとされる。このときは配線 B + と B - の負荷特性制御信号はハイレベルである。これにより、正極性用データ線 D i + を介して入力される正極性映像信号が N M O S トランジスタ Q 1 によりサンプリングされて保持容量 C s1 に保持される。これと並行して、上記正極性映像信号とは同じ映像情報を有するが逆極性である負極性映像信号が負極性用データ線 D i - を介して入力され、N M O S トランジスタ Q 2 によりサンプリングされて保持容量 C s2 に保持される。

50

【 0 0 3 5 】

図 3 は、正極性用データ線 D_i+ を介して入力され画素に書込まれる正極性映像信号 a と、負極性用データ線 D_i- を介して入力され画素に書き込まれる負極性映像信号 b の黒レベルから白レベルまでの関係を示す。正極性映像信号 a は、レベルが最小のとき最小階調の黒レベル、レベルが最大のとき最大階調の白レベルであるのに対し、負極性映像信号 b は、レベルが最小のとき最大階調の白レベル、レベルが最大のとき最小階調の黒レベルである。正極性映像信号 a と負極性映像信号 b とは逆極性で、その反転中心は c で示される。

【 0 0 3 6 】

続いて、行選択信号がローレベルとなり、その間以下の動作が行われる。まず、配線 $S+$ の正極性用ゲート制御信号が図 2 (D) に示すようにハイレベルとなると、そのハイレベル期間、N M O S トランジスタ Q_5 がオンとなる。また、この正極性用ゲート制御信号のハイレベル期間に、配線 $B+$ を介して供給される正極性用負荷特性制御信号が図 2 (B) に示すようにローレベルとされ、これによりトランジスタ Q_3 及び Q_9 からなる正極性用ソースフォロワ・バッファがアクティブとなる。その結果、保持容量 C_{s1} に保持されている正極性映像信号電圧が、アクティブとなっている正極性用ソースフォロワ・バッファ及びオンとされている N M O S トランジスタ Q_5 をそれぞれ通して画素電極 $P E$ に印加され画素電極 $P E$ を正極性映像信号レベルに充電する。

【 0 0 3 7 】

画素電極 $P E$ の電位が完全に充電された状態となった時点で、配線 $B+$ を介して供給される正極性用負荷特性制御信号が図 2 (B) に示すようにハイレベルとなり、かつ、そのとき配線 $S+$ を介して供給される正極性用ゲート制御信号が図 2 (D) に示すようにローレベルに切り替えられ、その結果画素電極 $P E$ はフローティングとなり、液晶容量に正極性駆動電圧が保持される。このとき、配線 $B-$ を介して供給される負極性用負荷特性制御信号は図 2 (C) に示すようにハイレベルのままであり、トランジスタ Q_4 及び Q_{10} 側のソースフォロワ・バッファには電流は流さない。

【 0 0 3 8 】

続いて、配線 $S-$ の負極性用ゲート制御信号が図 2 (E) に示すようにハイレベルとなると、そのハイレベル期間、N M O S トランジスタ Q_6 がオンとなる。また、この負極性用ゲート制御信号のハイレベル期間に、配線 $B-$ を介して供給される負極性用負荷特性制御信号が図 2 (C) に示すようにローレベルとされ、これによりトランジスタ Q_4 及び Q_{10} からなる負極性用ソースフォロワ・バッファがアクティブとなる。その結果、保持容量 C_{s2} に保持されている負極性映像信号電圧が、アクティブとなっている負極性用ソースフォロワ・バッファ及びオンとされている N M O S トランジスタ Q_6 をそれぞれ通して画素電極 $P E$ に印加され画素電極 $P E$ を負極性映像信号レベルに充電する。

【 0 0 3 9 】

画素電極 $P E$ の電位が完全に充電された状態となった時点で、配線 $B-$ を介して供給される負極性用負荷特性制御信号が図 2 (C) に示すようにハイレベルとなり、かつ、そのとき配線 $S-$ を介して供給される負極性用ゲート制御信号が図 2 (E) に示すようにローレベルに切り替えられ、その結果画素電極 $P E$ はフローティングとなり、液晶容量に負極性駆動電圧が保持される。このとき、配線 $B+$ を介して供給される正極性用負荷特性制御信号は図 2 (B) に示すようにハイレベルのままであり、トランジスタ Q_3 及び Q_9 側のソースフォロワ・バッファには電流は流さない。

【 0 0 4 0 】

以下、上記のスイッチング用 N M O S トランジスタ Q_5 及び Q_6 を垂直走査周期より短い所定の周期で交互にオンとするスイッチングに同期して、配線 $B+$ 、 $B-$ の負荷特性制御信号によりトランジスタ Q_9 及び Q_{10} を交互に、かつ、間欠的にアクティブとする動作を繰り返すことで、液晶表示素子 $L C$ の画素電極 $P E$ には正極性と負極性の各映像信号で交流化された駆動電圧 V_{PE} が図 2 (F) に示すように印加される。

【 0 0 4 1 】

一方、液晶表示素子 $L C$ の共通電極 $C E$ には、図 2 (G) に示すように、画素電極電位

の反転基準レベル V_c とほぼ等しい基準レベルに対して、画素極性切り替えと同期して反転する共通電圧 V_{com} が印加されている。これにより、共通電極 C_E の印加電圧 V_{com} と画素電極 P_E の印加電圧との電位差の絶対値が常に同一となり、液晶層 L_{CM} には図 2 (H) に示すような直流成分のない交流電圧 V_{LC} が印加される。このように、図 1 に示す画素 10 では、共通電極 C_E の印加電圧を画素電極 P_E と逆相で切り替えることによって、画素電極 P_E 側に供給する電圧の振幅を小さくすることができるため、駆動回路側のトランジスタ耐圧や消費電力を低減できる。

【0042】

本実施の形態も特許文献 1 記載の液晶表示装置と同様に、保持電荷を直接画素電極に転送するのではなく、ソースフォロワ・バッファを介して電圧を転送する構成のため、正負極性での繰り返し充放電を行っても電荷の中和の問題はなく、電圧レベルの減衰がない駆動が実現できる。更に、本実施の形態によれば、正極性用ソースフォロワ・バッファ及び負極性用ソースフォロワ・バッファのうち、読み出しを行っている側のソースフォロワ・バッファのみ電流を流し、他方のソースフォロワ・バッファには電流を流さないように制御するようにしたため、消費電流を特許文献 1 記載の液晶表示装置と比較して $1/2$ に削減することができる。

10

【0043】

なお、本発明は以上の実施の形態に限定されるものではなく、例えば画素内の各トランジスタのチャネルを実施の形態と逆チャネル（つまり、 P チャネルの場合は N チャネル、 N チャネルの場合は P チャネル）としてもよい。この場合、例えば電源配線である V_{dd} 配線は GND 配線となるようにする。

20

【符号の説明】

【0044】

10 画素

D_{i+} 、 D_{i-} データ線（列信号線）

G_j 行走査線（ゲート線）

$S+$ 正極性ゲート制御信号用配線

$S-$ 負極性ゲート制御信号用配線

$B+$ 正極性負荷特性制御信号用配線

$B-$ 負極性負荷特性制御信号用配線

30

Q_1 、 Q_2 画素選択用 $NMOS$ トランジスタ

Q_3 、 Q_4 ソースフォロワ用 $PMOS$ トランジスタ

Q_5 、 Q_6 スイッチング用 $NMOS$ トランジスタ

Q_9 、 Q_{10} 定電流負荷用 $PMOS$ トランジスタ

C_{s1} 、 C_{s2} 保持容量

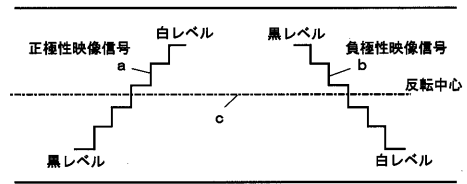
L_C 液晶表示素子

P_E 画素電極

C_E 共通電極

L_{CM} 表示体（液晶層）

【 図 3 】

[illegible][illegible]

フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 4 D
G 0 2 F 1/133 5 5 0

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2012113072A	公开(公告)日	2012-06-14
申请号	JP2010260831	申请日	2010-11-24
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.611.A G09G3/20.623.D G09G3/20.624.D G02F1/133.550		
F-TERM分类号	2H193/ZA03 2H193/ZA04 2H193/ZA19 2H193/ZC20 2H193/ZR02 5C006/AC21 5C006/AC25 5C006/AC26 5C006/AC27 5C006/AF42 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC06 5C006/FA23 5C006/FA34 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD26 5C080/DD29 5C080/FF11 5C080/JJ03 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

要解决的问题：进一步降低像素的消耗电流，单独采样并保持两个保持体积的正视频信号和负视频信号。解决方案：分别对栅极布线进行划分，并使用恒流负载晶体管Q9的栅极布线用于正电极的源极跟随器缓冲器定义为B+，并且在用于负电极的源极跟随器缓冲器中具有恒定电流负载晶体管Q10的栅极布线定义为B-。因此，执行控制以仅将电流馈送到开关晶体管Q5和Q6中的一个导通的一侧的源极跟随器缓冲器并执行扫描，并且不向另一个源极跟随器缓冲器馈送电流。这种结构可以减少消耗的电流。

