

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-73958

(P2020-73958A)

(43) 公開日 令和2年5月14日(2020.5.14)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 330	2H092
G09F 9/00 (2006.01)	G09F 9/00 366A	2H189
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 691D	5C006
G06F 3/041 (2006.01)	G09G 3/20 624C	5C080
審査請求 有 請求項の数 11 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2019-167601 (P2019-167601)
 (22) 出願日 令和1年9月13日 (2019.9.13)
 (62) 分割の表示 特願2017-206464 (P2017-206464)
 の分割
 原出願日 平成24年6月8日 (2012.6.8)

(71) 出願人 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 松元 秀一郎
 千葉県茂原市早野3300番地 株式会社
 ジャパンディスプレイイースト内
 Fターム(参考) 2H092 GA33 GA44 GA60 GA62 JA24
 JB14 NA27
 2H189 AA14 HA12 LA04 LA10 LA28
 LA31
 2H193 ZA04 ZA09 ZC25 ZE09 ZF43
 ZF51 ZF52 ZJ02

最終頁に続く

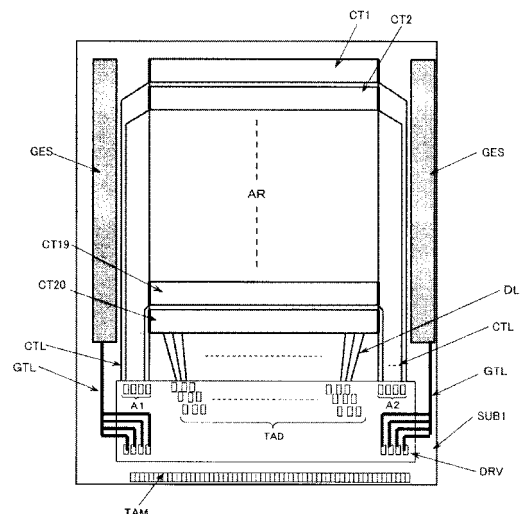
(54) 【発明の名称】 表示装置

(57) 【要約】 (修正有)

【課題】タッチパネル機能を内蔵した液晶表示装置において、液晶ドライバICの開発コストを低減し、開発期間を短縮する装置を提供する。

【解決手段】表示装置は表示パネルに信号を供給する半導体チップを有する。表示パネルは、表示部に形成された複数の映像信号線DLと、複数のタッチパネル電極CTLとを有する。半導体チップDRVはその一対の長辺のうち表示部側の一方の長辺に第1端子群を有し、第1端子群は、タッチパネル電極に接続するタッチパネル端子群A1、A2と、映像信号線に接続する映像信号端子群TADとを含む。第1端子群の中で、半導体チップの表示部側の長辺の両端部に配置される複数の端子はタッチパネル端子群であり、映像信号端子群は当該両端部に配置される複数のタッチパネル端子群に挟まれて配置される。半導体チップの長辺方向及び短辺方向それぞれにて、映像信号端子群の幅はタッチパネル端子群の幅よりも広い。

【選択図】 図7



【特許請求の範囲】**【請求項 1】**

表示パネルを備え、前記表示パネルに配置された複数の画素と、前記複数の画素で構成される表示部と、前記表示パネルに信号を供給する半導体チップとを有する表示装置であって、

前記表示パネルは、前記表示部に形成された複数の映像信号線と、複数のタッチパネル電極とを有し、

前記タッチパネル電極は、複数のブロックに分割されており、

前記分割された各ブロックのタッチパネル電極は、連続する複数の各画素に対して共通に設けられており、

前記半導体チップは、第 1 方向に伸びる一对の長辺と、前記第 1 方向と交差する第 2 方向に伸びる一对の短辺を有し、前記一对の長辺のうち前記表示部側の一方の長辺に、複数の端子からなる第 1 端子群を有し、

前記第 1 端子群は、前記分割された各ブロックのタッチパネル電極に接続するタッチパネル端子と、前記映像信号線に接続する映像信号端子とを含み、

前記第 1 端子群の中で、前記半導体チップの前記一方の長辺の両端部に配置される複数の端子からなる端子群は、前記タッチパネル端子からなる端子群であり、

前記第 1 端子群の中で、前記映像信号端子からなる端子群は、前記一方の長辺の両端部に配置される複数の前記タッチパネル端子からなる端子群に挟まれて配置され、

前記映像信号端子からなる端子群の前記第 1 方向の幅は、前記タッチパネル端子からなる端子群の前記第 1 方向の幅よりも広く、

前記映像信号端子からなる端子群の前記第 2 方向の幅は、前記タッチパネル端子からなる端子群の前記第 2 方向の幅よりも広いことを特徴とする表示装置。

【請求項 2】

前記表示部には、複数の画素毎に画素トランジスタと、前記画素トランジスタのゲート電極にゲート信号を供給する複数のゲート線と、前記複数のゲート線に前記ゲート信号を供給するゲート線駆動回路とを有し、

前記半導体チップは、前記一对の長辺のうち他方の長辺に、複数の端子からなる第 2 端子群を有し、

前記第 2 端子群の中で、前記半導体チップの前記他方の長辺の端部に配置される複数の端子は、前記ゲート線駆動回路に制御信号を供給する制御信号端子であることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 2 端子群の中で、外部からの入力信号が入力される端子が、複数の前記制御信号端子に挟まれて配置されることを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記半導体チップは前記表示パネルに搭載されることを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記タッチパネル電極には、前記ゲート信号よりもハイ電圧である期間が短いパルス波形の信号が供給されることを特徴とする請求項 2 に記載の表示装置。

【請求項 6】

前記複数の画素には前記映像信号線により映像信号が供給され、

前記画素に前記映像信号が供給される画素書き込み期間に、前記タッチパネル電極には、前記パルス波形の信号とは異なる対向電圧が供給されることを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

表示パネルを備え、前記表示パネルに配置された複数の画素と、前記複数の画素で構成される表示部と、前記表示パネルに信号を供給する半導体チップとを有する表示装置であって、

10

20

30

40

50

前記表示パネルは、タッチパネルとしても機能し、前記表示部に形成された複数の映像信号線と、複数のタッチパネル電極と、複数のゲート線と、前記表示部の周辺に形成され前記ゲート線にゲート信号を供給するゲート線駆動回路とを有し、

前記複数の画素の各々は画素トランジスタを有し、前記画素トランジスタのゲート電極には前記ゲート信号が供給され、

前記タッチパネル電極は、複数のブロックに分割されており、

前記分割された各ブロックのタッチパネル電極は、連続する複数の各画素に対して共通に設けられており、

前記半導体チップは、第１方向に伸びる一对の長辺と、前記第１方向と交差する第２方向に伸びる一对の短辺を有し、前記一对の長辺のうち前記表示部側の一方の長辺に、複数の端子からなる第１端子群を有し、

前記第１端子群は、前記分割された各ブロックのタッチパネル電極に接続するタッチパネル端子と、前記映像信号線に接続する映像信号端子とを含み、

前記第１端子群の中で、前記半導体チップの前記一方の長辺の両端部に配置される複数の端子からなる端子群は、前記タッチパネル端子からなる端子群であり、

前記第１端子群の中で、前記映像信号端子からなる端子群は、前記一方の長辺の両端部に配置される複数の前記タッチパネル端子からなる端子群に挟まれて配置され、

前記一对の長辺の他方の長辺には、前記ゲート線駆動回路を制御する制御信号が供給される制御信号端子が形成され、

前記映像信号端子からなる端子群の前記第１方向の幅は、前記タッチパネル端子からなる端子群の前記第１方向の幅よりも広く、

前記映像信号端子からなる端子群の前記第２方向の幅は、前記タッチパネル端子からなる端子群の前記第２方向の幅よりも広いことを特徴とする表示装置。

【請求項 8】

前記半導体チップは、前記一对の長辺のうち他方の長辺に、複数の端子からなる第２端子群を有し、

前記第２端子群の中で、前記半導体チップの前記他方の長辺の端部に配置される複数の端子は、前記制御信号端子で、

前記第２端子群の中で、外部からの入力信号が入力される端子が、複数の前記制御信号端子に挟まれて配置されることを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記半導体チップは前記表示パネルに搭載されることを特徴とする請求項 7 に記載の表示装置。

【請求項 10】

前記タッチパネル電極には、前記ゲート信号よりもハイ電圧である期間が短いパルス波形の信号が供給されることを特徴とする請求項 7 に記載の表示装置。

【請求項 11】

前記複数の画素には前記映像信号線により映像信号が供給され、

前記画素に前記映像信号が供給される画素書き込み期間に、前記タッチパネル電極には、前記パルス波形の信号とは異なる対向電圧が供給されることを特徴とする請求項 10 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、タッチパネルを内蔵したインセル方式の液晶表示装置に適用して有効な技術に関する。

【背景技術】

【0002】

表示画面に使用者の指またはペンなどを用いてタッチ操作（接触押圧操作、以下、単にタッチと称する）して情報を入力する装置（以下、タッチセンサ又はタッチパネルとも称す

10

20

30

40

50

る)を備えた表示装置は、PDAや携帯端末などのモバイル用電子機器、各種の家電製品、現金自動預け払い機(Automated Teller Machine)等に用いられている。

このようなタッチパネルとして、タッチされた部分の容量変化を検出する静電容量方式が知られている。

この静電容量方式タッチパネルとして、下記特許文献1に示すように、タッチパネル機能を液晶表示パネルに内蔵した、所謂、インセル方式のタッチパネルを有する液晶表示装置が知られている。

インセル方式のタッチパネルでは、タッチパネルの走査電極を、液晶表示パネルを構成第1基板(TFT基板ともいう)上に形成される対向電極(コモン電極(CT)ともいう)を分割して使用している。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-258182号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一般的に、インセル方式のタッチパネルでは、液晶表示パネルの内部に、走査線(ゲート線)を駆動する走査線駆動回路が内蔵されるのが普通である。

また、液晶表示パネルとして、半導体層にアモルファスシリコン層を使用するn型のアモルファスシリコン薄膜トランジスタで構成される駆動回路(以下、a-Si単チャンネル回路構成の駆動回路という)が内蔵されたもの、半導体層にp型あるいはn型のポリシリコン層を使用するポリシリコン薄膜トランジスタで構成される単チャンネル回路構成の駆動回路(以下、p-Si単チャンネル回路構成の駆動回路という)が内蔵されたもの、あるいは、半導体層にp型とn型のポリシリコン層を使用するp型ポリシリコン薄膜トランジスタとn型ポリシリコン薄膜トランジスタで構成されるCMOS回路構成の駆動回路(以下、CMOS回路構成の駆動回路という)が内蔵されたものがある。

そして、インセル方式のタッチパネルに対応したタッチセンス機能内蔵液晶ドライバICを開発するにあたり、a-Si単チャンネル回路構成の駆動回路を有する液晶表示パネル、p-Si単チャンネル回路構成の駆動回路を有する液晶表示パネル、および、CMOS回路構成の駆動回路を有する液晶表示パネル毎に、個別に液晶ドライバICを開発すると、開発コストと開発期間が増大してしまうという問題がある。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、タッチパネル機能を内蔵した液晶表示装置において、液晶ドライバICの開発コストを低減し、開発期間を短縮することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0006】

(1)表示パネルを備え、前記表示パネルに配置された複数の画素と、前記複数の画素で構成される表示部と、前記表示パネルに信号を供給する半導体チップとを有する表示装置であって、前記表示パネルは、前記表示部に形成された複数の映像信号線と、複数のタッチパネル電極とを有し、前記タッチパネル電極は、複数のブロックに分割されており、前記分割された各ブロックのタッチパネル電極は、連続する複数の各画素に対して共通に設けられており、前記半導体チップは、第1方向に伸びる一对の長辺と、前記第1方向と交差する第2方向に伸びる一对の短辺を有し、前記一对の長辺のうち前記表示部側の一方の長辺に、複数の端子からなる第1端子群を有し、前記第1端子群は、前記分割された各

10

20

30

40

50

ブロックのタッチパネル電極に接続するタッチパネル端子と、前記映像信号線に接続する映像信号端子とを含み、前記第1端子群の中で、前記半導体チップの前記一方の長辺の両端部に配置される複数の端子からなる端子群は、前記タッチパネル端子からなる端子群であり、前記第1端子群の中で、前記映像信号端子からなる端子群は、前記一方の長辺の両端部に配置される複数の前記タッチパネル端子からなる端子群に挟まれて配置され、前記映像信号端子からなる端子群の前記第1方向の幅は、前記タッチパネル端子からなる端子群の前記第1方向の幅よりも広く、前記映像信号端子からなる端子群の前記第2方向の幅は、前記タッチパネル端子からなる端子群の前記第2方向の幅よりも広い。

【0007】

(2) 上記(1)において、前記表示部には、複数の画素毎に画素トランジスタと、前記画素トランジスタのゲート電極にゲート信号を供給する複数のゲート線と、前記複数のゲート線に前記ゲート信号を供給するゲート線駆動回路とを有し、前記半導体チップは、前記一对の長辺のうち他方の長辺に、複数の端子からなる第2端子群を有し、前記第2端子群の中で、前記半導体チップの前記他方の長辺の端部に配置される複数の端子は、前記ゲート線駆動回路に制御信号を供給する制御信号端子である。

(3) 上記(2)において、前記第2端子群の中で、外部からの入力信号が入力される端子が、複数の前記制御信号端子に挟まれて配置される。

(4) 上記(1)において、前記半導体チップは前記表示パネルに搭載される。

(5) 上記(2)において、前記タッチパネル電極には、前記ゲート信号よりもハイ電圧である期間が短いパルス波形の信号が供給される。

(6) 上記(5)において、前記複数の画素には前記映像信号線により映像信号が供給され、前記画素に前記映像信号が供給される画素書き込み期間に、前記タッチパネル電極には、前記パルス波形の信号とは異なる対向電圧が供給される。

【0008】

(7) 表示パネルを備え、前記表示パネルに配置された複数の画素と、前記複数の画素で構成される表示部と、前記表示パネルに信号を供給する半導体チップとを有する表示装置であって、前記表示パネルは、タッチパネルとしても機能し、前記表示部に形成された複数の映像信号線と、複数のタッチパネル電極と、複数のゲート線と、前記表示部の周辺に形成され前記ゲート線にゲート信号を供給するゲート線駆動回路とを有し、前記複数の画素の各々は画素トランジスタを有し、前記画素トランジスタのゲート電極には前記ゲート信号が供給され、前記タッチパネル電極は、複数のブロックに分割されており、前記分割された各ブロックのタッチパネル電極は、連続する複数の各画素に対して共通に設けられており、前記半導体チップは、第1方向に伸びる一对の長辺と、前記第1方向と交差する第2方向に伸びる一对の短辺を有し、前記一对の長辺のうち前記表示部側の一方の長辺に、複数の端子からなる第1端子群を有し、前記第1端子群は、前記分割された各ブロックのタッチパネル電極に接続するタッチパネル端子と、前記映像信号線に接続する映像信号端子とを含み、前記第1端子群の中で、前記半導体チップの前記一方の長辺の両端部に配置される複数の端子からなる端子群は、前記タッチパネル端子からなる端子群であり、前記第1端子群の中で、前記映像信号端子からなる端子群は、前記一方の長辺の両端部に配置される複数の前記タッチパネル端子からなる端子群に挟まれて配置され、前記一对の長辺の他方の長辺には、前記ゲート線駆動回路を制御する制御信号が供給される制御信号端子が形成され、前記映像信号端子からなる端子群の前記第1方向の幅は、前記タッチパネル端子からなる端子群の前記第1方向の幅よりも広く、前記映像信号端子からなる端子群の前記第2方向の幅は、前記タッチパネル端子からなる端子群の前記第2方向の幅よりも広い。

【0009】

(8) 上記(7)において、前記半導体チップは、前記一对の長辺のうち他方の長辺に、複数の端子からなる第2端子群を有し、前記第2端子群の中で、前記半導体チップの前記他方の長辺の端部に配置される複数の端子は、前記制御信号端子で、前記第2端子群の中で、外部からの入力信号が入力される端子が、複数の前記制御信号端子に挟まれて配置

される。

(9) 上記 (7) において、前記半導体チップは前記表示パネルに搭載される。

(1 0) 上記 (7) において、前記タッチパネル電極には、前記ゲート信号よりもハイ電圧である期間が短いパルス波形の信号が供給される。

(1 1) 上記 (1 0) において、前記複数の画素には前記映像信号線により映像信号が供給され、前記画素に前記映像信号が供給される画素書き込み期間に、前記タッチパネル電極には、前記パルス波形の信号とは異なる対向電圧が供給される。

【発明の効果】

【 0 0 1 0 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明のタッチパネル機能を内蔵した液晶表示装置によれば、液晶ドライバＩＣの開発コストを低減し、開発期間を短縮することが可能となる。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】従来例のタッチパネル付き液晶表示装置の概略構成を示す分解斜視図である。

【図 2】図 1 に示すタッチパネルの電極構成を示す平面図である。

【図 3】図 1 に示すタッチパネルの断面構造を示す断面図である。

【図 4】タッチパネル内蔵液晶表示装置の概略構成を示す分解斜視図である。

【図 5】図 4 に示すタッチパネル内蔵液晶表示装置における、対向電極と検出電極を説明する図である。

【図 6】図 4 に示すタッチパネル内蔵液晶表示装置の表示部の断面の一部を拡大して示す概略断面図である。

【図 7】本発明が適用される液晶表示装置の一例の、複数のブロックに分割した対向電極の一例を示す平面図である。

【図 8】本発明が適用される液晶表示装置の他の例の、複数のブロックに分割した対向電極の駆動方法を説明するための平面図である。

【図 9】図 8 に示す対向電極選択回路の構成例を示すブロック図である。

【図 1 0】図 9 に示す選択回路の一例の回路構成を示す回路図である。

【図 1 1】図 9 に示すアドレスデコード回路の一例の回路構成を示す回路図である。

【図 1 2】タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書き込み時の駆動波形を説明するための図である。

【図 1 3】タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書き込み時のタイミングを説明するための図である。

【図 1 4】分割した対向電極を直接駆動する場合の、本発明の実施例の液晶ドライバＩＣの端子 (A 1) の接続例を示す図である。

【図 1 5】図 8 に示す対向電極選択回路を使用する場合の、本発明の実施例の液晶ドライバＩＣの端子 (A 1) の接続例を示す図である。

【図 1 6】本発明の実施例の液晶ドライバＩＣの入力側端子の接続例を示す図である。

【図 1 7】本実施例の液晶ドライバＩＣの、入力側に配置している端子 (B 1 , B 2) の接続例を示す図である。

【図 1 8】本実施例の液晶ドライバＩＣにおいて、左側の端子 (C 1) を使用した場合の構成図である。

【図 1 9】本実施例の液晶ドライバＩＣにおいて、右側の端子 (C 2) を使用した場合の構成図である。

【発明を実施するための形態】

【 0 0 1 2 】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解

10

20

30

40

50

釈を限定するためのものではない。

図 1 は、従来例のタッチパネル付き液晶表示装置の概略構成を示す分解斜視図である。

図 2 は、図 1 に示すタッチパネルの電極構成を示す平面図である。

図 3 は、図 1 に示すタッチパネルの断面構造を示す断面図である。

一般的に、タッチパネルは、図 2 に示すように、容量検出用の走査電極 (TX) と、検出電極 (RX) を有する。ここでは、例えば、走査電極 (TX) を 3 本 (TX1 ~ TX3)、検出電極 (RX) を 2 本 (RX1, RX2) で図示しているが、電極数はこれに限らない。

また、タッチパネルは、図 1、図 3 に示すように、タッチパネル基板 41 と、タッチパネル基板 41 上に形成される走査電極 (TX) および検出電極 (RX) と、走査電極 (TX) および検出電極 (RX) 上に形成される層間絶縁膜 42 と、層間絶縁膜 42 上に形成され、走査電極 (TX) 同士を電氣的に接続する接続部 (STX) と、前記接続部 (STX) 上に形成される保護膜 43 と、前記保護膜 43 上に配置されるフロントウィンドウ (又は、保護フィルム) 44 と、前記タッチパネル基板 41 の液晶表示パネル側に形成されるシールド用の透明電極 (例えば、ITO (Indium Tin Oxide) 膜で形成される電極) 45 とで構成される。

従来のタッチパネルでは、タッチパネル制御 IC (DRT) により、各走査電極 (TX) を 5V ~ 10V 程度の電圧でパルス駆動を行い、タッチパネル制御 IC (DRT) において、検出電極 (RX) での電圧変化を検出し、タッチ位置の検出を行う。即ち、指等により走査電極 (TX) と検出電極 (RX) との間の容量値が変化し、走査電極 (TX) をパルス駆動した際に、検出電極 (RX) で検出される電圧変動が変化することから、検出電極 (RX) の電圧を測定することによりタッチ位置を検出することができる。

【0013】

タッチパネルは、液晶表示パネルの前面に設置される。従って、液晶表示パネルに表示された画像を使用者が見る場合には、表示画像がタッチパネルを透過する必要があるため、タッチパネルは光透過率が高いことが望ましい。

液晶表示パネルは、図 1 に示すように、第 1 基板 (SUB1; 以下、TFT 基板という)、第 2 基板 (SUB2; 以下、CF 基板という) と、TFT 基板 (SUB1) と CF 基板 (SUB2) との間に挟持される液晶 (図示せず) とを有する。

また、TFT 基板 (SUB1) は、CF 基板 (SUB2) よりも大きな面積を有し、TFT 基板 (SUB1) の、CF 基板 (SUB2) と対向しない領域には、液晶ドライバ IC (DRV) が実装され、さらに、当該領域の一边の周辺部には、メインフレキシブル配線基板 (MFP) が実装される。

なお、図 1 において、CT は対向電極 (共通電極ともいう)、TFPC はタッチパネル用フレキシブル配線基板、CD は裏面側透明導電膜、52 は接続部材、53 は接続用フレキシブル配線基板である。

IPS 方式の液晶表示パネルは、TN 方式の液晶表示パネルや VA 方式の液晶表示パネルのように、カラーフィルタが設けられる基板上に対向電極 (CT) が存在しない。そのため、表示ノイズを低減する等の理由により、カラーフィルタが設けられる基板上に、例えば ITO などの透明導電膜で構成される裏面側透明導電膜 (CD) が形成されている。

【0014】

図 4 は、液晶表示パネルの内部にタッチパネルを内蔵したタッチパネル内蔵液晶表示装置の概略構成を示す分解斜視図である。

図 4 において、2 は TFT 基板、3 は CF 基板と、21 は対向電極 (共通電極ともいう)、5 は液晶ドライバ IC、MFP はメインフレキシブル配線基板、40 はフロントウィンドウ、53 は接続用フレキシブル配線基板である。

図 4 に示す液晶表示装置では、CF 基板 3 上の裏面側透明導電膜 (CD) を、帯状のパターンに分割して、タッチパネルの検出電極 (RX) 31 となし、TFT 基板 2 の内部に形成される対向電極 21 を帯状のパターンに分割、即ち、複数のブロックに分割して、タッチパネルの走査電極 (TX) として兼用することにより、タッチパネル基板 (図 1 の 4

10

20

30

40

50

1) を削減している。そのため、図 4 に示す液晶表示装置では、図 1 に示すタッチパネル制御 IC (D R T) の機能が、液晶ドライバ IC 5 の内部に設けられる。

【 0 0 1 5 】

次に、図 5 を用いて、図 4 に示す液晶表示装置の対向電極 2 1 と検出電極 3 1 について説明する。

前述したように、対向電極 2 1 は T F T 基板 2 上に設けられているが、複数本の (例えば 2 0 本程度) 対向電極 2 1 が両端で共通に接続され、対向電極信号線 2 2 と接続されている。

図 5 に示す液晶表示装置では、束状の対向電極 2 1 が走査電極 (T X) を兼用し、また、検出電極 3 1 が検出電極 (R X) を構成する。

したがって、対向電極信号には、画像表示に用いられる対向電圧と、タッチ位置の検出に用いられるタッチパネル走査電圧とが含まれる。タッチパネル走査電圧が対向電極 2 1 に印加されると、対向電極 2 1 と一定の間隔を持って配置され容量を構成する検出電極 3 1 に検出信号が生じる。この検出信号は検出電極用端子 3 6 を介して外部に取り出される。

なお、検出電極 3 1 の両側にはダミー電極 3 3 が形成されている。検出電極 3 1 は一方の端部でダミー電極 3 3 側に向かい広がり T 字状の検出電極用端子 3 6 を形成している。また、T F T 基板 2 には対向電極信号線 2 2 以外にも駆動回路用入力端子 2 5 のような様々な配線、端子等が形成される。

【 0 0 1 6 】

図 4 に示す液晶表示装置における、表示部の断面の一部を拡大した概略断面図を図 6 に示す。

図 6 に示すように T F T 基板 2 には画素部 2 0 0 が設けられており、対向電極 2 1 は画素の一部として画像表示に用いられる。また、T F T 基板 2 と C F 基板 3 との間には液晶組成物 4 が挟持されている。C F 基板 3 に設けられた検出電極 3 1 と T F T 基板に設けられた対向電極 2 1 とは容量を形成しており、対向電極 2 1 に駆動信号が印加されると検出電極 3 1 の電圧が変化する。

この時、図 6 に示すように、フロントウィンドウ 4 0 を介して指 5 0 2 等の導電体が近接または接触すると、容量に変化が生じ検出電極 3 1 に生じる電圧に、近接・接触が無い場合に比較して変化が生じる。

このように、液晶表示パネルに形成した対向電極 2 1 と検出電極 3 1 との間に生じる容量の変化を検出することで、液晶表示パネルにタッチパネルの機能を備えることが可能となる。

【 0 0 1 7 】

図 7 は、本発明が適用される液晶表示装置の一例の、複数のブロックに分割した対向電極の一例を示す平面図である。図 7 において、S U B 1 は T F T 基板、D R V は液晶ドライバ IC、C T 1 ~ C T 2 0 は帯状のパターンに分割された各ブロックの対向電極、D L は映像線、C T L は対向電極配線、G E S は液晶表示パネルに内蔵された走査線駆動回路、G T L は走査線駆動回路信号配線、T A M はメインフレキシブル配線基板 (M F P C) と接続される端子部、A R はマトリクス状に配置された複数の画素で構成される表示領域である。

図 7 に示す例では、走査線駆動回路 (G E S) として、a - S i 単チャンネル回路構成の駆動回路、あるいは、半導体層に n 型のポリシリコン層を使用する、p - S i 単チャンネル回路構成の駆動回路が使用される。

静電容量方式のタッチパネルでは、指等による静電容量の変化を検出するため、交流駆動を行うタッチパネル用の走査電極 (T X) の幅は約 4 ~ 5 m m 程度の幅があることが望ましい。そのため、液晶表示パネルの大型化により走査電極 (T X) の本数は増加する。

図 7 に示す例では、1 2 8 0 表示ラインの対向電極 (C T) を、C T 1 ~ C T 2 0 の 2 0 ブロック (1 ブロックは 6 4 表示ラインの対向電極で構成される) に分割しており、対向電極配線 (C T L) は左右に各 2 0 本必要となる。

各ブロックの対向電極（CT1～CT20）は、表示動作において寄生容量により電圧変動した場合は画質悪化を引き起こす。そのため、各々のブロックの対向電極（CT1～CT20）と、液晶ドライバIC（DRV）とを接続する対向電極配線（CTL）の抵抗値を下げる必要がある。また、走査線駆動回路（GES）上にも配線があるため、対向電極配線（CTL）を走査線駆動回路（GES）上に配線することはできない。

そのため、対向電極配線（CTL）は、走査線駆動回路（GES）より対向電極（CT）側に配置する。

これに対応し、液晶ドライバIC（DRV）は、半導体チップの表示領域（AR）の中央に映像線（図示せず）に接続される映像線駆動端子（TAD）を配置し、その左右両端に、対向電極配線（CTL）に接続される端子（A1，A2）を配置している。

10

【0018】

図8は、本発明が適用される液晶表示装置の他の例の、複数のブロックに分割した対向電極の駆動方法を説明するための平面図である。

図8に示す液晶表示装置は、20ブロックに分割した各々の対向電極（CT1～CT20）を、アドレスデコード方式により選択する対向電極選択回路（CTSC）を、液晶表示パネルの内部に内蔵した点で、図7に示す液晶表示装置と相違する。

図8では、対向電極選択回路（CTSC）として、CMOS回路構成の駆動回路が使用される。

20ブロックに分割した対向電極（CT1～CT20）の選択方法をアドレスデコード方式とすることにより、低抵抗が必要となる配線は、対向電極（CT1～CT20）に供給する対向電圧（Vcom）の配線（LVcom）と、タッチパネル走査電圧（Vstc）の配線（LVstc）の2本となる。

20

本実施例では、タッチパネル走査電圧（Vstc）は、対向電圧（Vcom）に対して、5～10V高い電圧を直流で供給し、アドレス信号線（Saddress）を介して供給されるアドレス信号（address）により走査箇所の選択を行い、タッチパネル走査信号（STC）に従い、走査電極（TX）を兼ねる、選択されたブロックの対向電極（CT）に対して、対向電圧（Vcom）、あるいは、タッチパネル走査電圧（Vstc）を切り替えて出力する。

対向電極（CT）の分割数が増加した場合でも、増加する配線は、アドレス信号線（Saddress）のみであり、液晶表示パネルの左右の額縁の増加を抑制したまま、タッチパネル走査電極として使用する対向電極の分割数を増加させることが可能となる。

30

【0019】

図9は、図8に示す対向電極選択回路（CTSC）の構成例を示すブロック図である。図9に示すように、対向電極選択回路（CTSC）は、DEC1～DEC20のアドレスデコード回路と、SCH1～SCH20の選択回路で構成されている。

図8に示す液晶表示装置では、タッチパネルの走査電極（TX）が5mmピッチとなるように、64表示ライン分の対向電極（CT）を、液晶表示パネルの内部で電氣的に接続して1つのブロックとし、1280の表示ラインを20分割する。そして、当該20分割された対向電極（CT1～CT20）と、アドレスデコード回路（DEC1～DEC20）とを、1対1で割りつけている。分割数が、20ブロックであるため、アドレス信号線（Sadd）は5bitの5本が必要となる。

40

アドレス信号（address）により選択された、1ブロックの対向電極、即ち、64表示ライン分の対向電極（CT）が、タッチパネル走査信号（STC）により交流駆動を行い、その他の対向電極（CT）は対向電圧を出力する。

【0020】

図10は、図9に示す選択回路（SCH1～SCH20）の一例の回路構成を示す回路図である。

図10に示す選択回路は、アドレスデコード回路（DEC1～DEC20）の出力（DECO）と、インバータ（INV1）で反転されたタッチパネル走査信号（STC）の反転信号とを、ノア回路（NOR1）に入力し、当該ノア回路（NOR1）の出力をインバ

50

ータ (INV2) で反転して、スイッチ回路 (SW) に入力することにより、タッチパネル走査電圧 (Vstc)、あるいは、対向電圧 (Vcom) を選択して各ブロックの対向電極 (CT1 ~ CT20) に出力する。

これにより、アドレスデコード回路 (DEC1 ~ DEC20) の一つが選択された場合、タッチパネル走査信号 (STC) に従い、各ブロックの対向電極に、タッチパネル走査電圧 (Vstc) と、対向電圧 (Vcom) とを切り替えて出力する。

即ち、図8に示す選択回路では、アドレスデコード回路 (DEC1 ~ DEC20) の出力 (DECO) が、Lowレベル (以下、Lレベル)、および、タッチパネル走査信号 (STC) がHighレベル (以下、Hレベル) のときに、ノア回路 (NOR1) の出力がHレベルとなるので、スイッチ回路 (SW) は、タッチパネル走査電圧 (Vstc) を選択し、タッチパネル走査信号 (STC) がLレベル、あるいは、アドレスデコード回路 (DEC1 ~ DEC20) の出力 (DECO) が、Hレベルのときに、ノア回路 (NOR1) の出力がLレベルとなるので、スイッチ回路 (SW) は、対向電圧 (Vcom) を選択する。

【0021】

図11は、図7に示すアドレスデコード回路 (DEC1 ~ DEC20) の一例の回路構成を示す回路図である。

図11に示すように、アドレスデコード回路 (DEC1 ~ DEC20) には、5個のアドレス信号 (address) の各々について、アドレス信号、あるいは、アドレス信号をインバータ (INV) で反転した反転信号が入力され、5個のアドレス信号 (address) と5個のアドレス信号 (address) の反転信号の組み合わせに基づきデコードする。

図11に示すアドレスデコード回路では、アドレスデコード回路に入力された5個のアドレス信号 (address) と5個のアドレス信号 (address) の反転信号の中の所定の組み合わせのアドレス信号 (add) をナンド回路 (NAND1, NAND2) に入力し、当該ナンド回路 (NAND1, NAND2) の出力を、ノア回路 (NOR2) に入力し、当該ノア回路 (NOR2) の出力をインバータ (INV3) で反転して、アドレスデコード回路の出力 (DECO) としている。したがって、図11に示すアドレスデコード回路では、アドレス信号の組み合わせが、自アドレスデコード回路に設定されたアドレス信号の組み合わせと一致するときに、Lレベルの電圧が、アドレスデコード回路の出力 (DECO) として出力され、アドレス信号の組み合わせが、自アドレスデコード回路に設定されたアドレス信号の組み合わせと一致しないときに、Hレベルの電圧が、アドレスデコード回路の出力 (DECO) として出力される。

【0022】

図12は、タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書込み時の駆動波形を説明するための図である。

図12のAは、20ブロックに分割された対向電極のうち、11番目のブロックとなる641 ~ 704表示ラインの対向電極 (CT11) に供給されるタッチパネル走査電圧 (Vstc) の電圧波形を示している。また、図12のBは、奇数列の映像線 (DL) に供給される映像電圧の波形を、図12のCは、偶数列の映像線 (DL) に供給される映像電圧の波形を、図12のDは、641番目の走査線 (GL) を介して、641表示ラインの薄膜トランジスタのゲート電極に供給されるゲート信号を示している。さらに、T1は、タッチ位置検出期間、T2は画素書込み期間を示している。

タッチ位置検出期間 (T1) は、表示への影響を防止するため、画素書込み期間 (T2) 以外の期間に設定される。また、タッチ位置検出期間 (T1) において、検出感度を増加させるために、同一箇所の走査電極 (TX) で複数回のスキャン、即ち、図12では、11番目のブロックの対向電極 (CT11) に、複数回タッチパネル走査電圧 (Vstc) が供給される。また、画素書込み期間 (T2) 内には、11番目のブロックの対向電極 (CT11) には、タッチパネル走査電圧 (Vstc) が供給されず、対向電圧 (Vcom) が供給される。

10

20

30

40

50

【 0 0 2 3 】

図 1 3 は、タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書込み時のタイミングを説明するための図である。

図 1 3 の A は、1 フレームの画素書込み期間 (T 4) に、1 番目の表示ラインから 1 2 8 0 表示ラインまでの画素書込みタイミングを示し、図 1 3 の B が、2 0 ブロックに分割された各ブロックの対向電極 (C T 1 ~ C T 2 0) におけるタッチパネル検出タイミングを示す。

図 1 3 に示すように、任意の表示ラインの対向電極を走査電極 (T X) として機能させ、タッチパネル検出時のスキャン動作は、画素書き込みを行うゲートスキャンとは異なる箇所で行う。なお、図 1 3 において、T 3 は帰線期間、V S Y N C は垂直同期信号、H S Y N C は水平同期信号を示す。

10

【 0 0 2 4 】

本実施例の液晶ドライバ I C (D R V) では、半導体チップの表示領域 (A R) の一辺に配置される端子群の中で、中央に映像線 (D L) に接続される映像線端子 (T A D) を配置し、その左右端に、対向電極配線 (C T L) に接続される端子 (A 1 , A 2) を配置する。

静電容量方式タッチパネルでは、指等による静電容量の変化を検出するため、交流駆動を行う走査電極の幅は約 4 ~ 5 m m 程度の幅があることが望ましいため、液晶表示パネルの大型化により走査電極の本数は増加する。

現在携帯モバイル向けの液晶表示パネルでは、5 . 5 インチの表示領域の要求もあり縦方向の寸法は 1 2 0 m m になるため、5 m m 幅で対向電極 (C T) を分割すると 2 4 本になる。一方、現行のスマートフォン向けには、4 インチクラスの W V G A (4 8 0 R G B × 8 0 0) が一般的で縦方向の寸法は 9 0 m m になるので、5 m m 幅で対向電極 (C T) を分割すると 1 8 本になる。

20

そこで、本実施例の液晶ドライバ I C (D R V) では、5 . 5 インチの液晶表示パネルまで対応できるように、対向電極配線 (C T L) に接続される端子 (A 1 , A 2) を 2 4 端子としている。

また、本実施例の液晶ドライバ I C (D R V) では、様々な対向電極本数の液晶表示パネルに対応できるように、対向電極配線 (C T L) に接続するために使用する使用端子数を、1 本から 2 4 本まで切り替えられるようになっている。

30

また、前述したように画質劣化防止のため、対向電極配線 (C T L) は低抵抗にする必要がある。そのため、本実施例の液晶ドライバ I C (D R V) では、半導体チップの出力端子の左右両端に同じ機能を持つ、A 1 , A 2 の端子を設けて、対向電極 (C T) に対して両側から給電できるようにしている。

【 0 0 2 5 】

図 1 4 に、分割した対向電極 (C T) を直接駆動する場合の、本実施例の液晶ドライバ I C (D R V) の端子 (A 1) の接続例を示す。

なお、図 1 4 は、本実施例の液晶ドライバ I C (D R V) を構成する半導体チップの表示領域 (A R) 側の辺に形成されている端子群の中の左側の複数の端子 (A 1 の端子) を図示している。

40

前述したように、本実施例の液晶ドライバ I C (D R V) では、対向電極配線 (C T L) に接続するために使用する使用端子数を、T X 1 ~ T X 2 4 の 1 本から 2 4 本まで切り替えられるようになっているが、図 1 4 では、T X 1 ~ T X 2 0 の 2 0 本の端を使用している。なお、本実施例の液晶ドライバ I C (D R V) を構成する半導体チップの表示領域 (A R) 側の辺に形成されている端子群の中の右側も同様な構成となっている。

図 1 4 では、T X 1 ~ T X 2 0 の端子の各々に、C T 1 ~ C T 2 0 の対向電極に接続される対向電極配線 (C T L) が接続される。

タッチ位置検出を行う端子は、例えば、図 1 2、図 1 3 に示すタイミングで、タッチパネル走査電圧 (V s t c) を出力し、その他の端子は、対向電圧 (V c o m) を出力する。

50

図 15 に、図 8 に示す対向電極選択回路 (CTSC) を使用する場合は、本実施例の液晶ドライバ IC (DRV) の端子 (A1) の接続例を示す。

本実施例の液晶ドライバ IC (DRV) では、内部のレジスタのデータ値を切り替えることにより、TX1 ~ TX12 の端子を、タッチパネル走査電圧 (Vstc) を出力する端子に、TX13 から TX24 の端子を、対向電圧 (Vcom) を出力する端子に固定して、図 8 に示す対向電極選択回路 (CTSC) に出力する。

図 15 の場合、本実施例の液晶ドライバ IC (DRV) の各出力端子の出力インピーダンスは 100 のため 12 本ずつ並列に接続することにより、タッチパネル走査電圧 (Vstc) および対向電圧 (Vcom) を出力する端子の出力インピーダンスを $100 \div 12 = 8.3$ に低減することができる。

10

【0026】

従来の液晶ドライバ IC (DRV) では、走査線駆動回路 (GES) を駆動するための制御信号を出力する端子を、液晶ドライバ IC (DRV) を構成する半導体チップの表示領域 (AR) 側 (以下、出力側という) の辺に形成されている端子群の中に配置している。

しかし、対向電極配線 (CTL) は、低抵抗にする必要があるため、対向電極配線 (CTL) に接続される端子 (A1, A2) は、液晶ドライバ IC (DRV) を構成する半導体チップの出力側の辺に配置する必要がある。

これに加えて、走査線駆動回路 (GES) を駆動するための制御信号を出力する端子を、液晶ドライバ IC (DRV) を構成する半導体チップの出力側の辺に配置するとチップサイズが増大し、チップコストの増加につながる。

20

そこで、本実施例では、走査線駆動回路 (GES) を駆動するための制御信号を出力する端子 (B1, B2) を、液晶ドライバ IC (DRV) を構成する半導体チップの表示領域 (AR) と反対側 (以下、入力側という) に配置している。

図 16 に、本実施例の液晶ドライバ IC (DRV) の、入力側の端子の接続例を示す。

図 16 において、TAD は映像線端子、A1, A2 は対向電極配線 (CTL) に接続される端子、B1, B2 は走査線駆動回路 (GES) を駆動するための制御信号を出力する端子、C1, C2 はタッチパネルの検出電極 (RX) で検出された検出信号が入力される端子、D は外部からの入力信号、電源電圧が入力される端子である。

【0027】

30

図 17 に、本実施例の液晶ドライバ IC (DRV) の、入力側に配置している端子 (B1, B2) の接続例を示す。

各画素の薄膜トランジスタ (TFT) の、ゲート選択電圧を V_{GH} 、ゲート非選択電圧を V_{GL} とすると、a-Si 単チャンネル回路構成の駆動回路、あるいは、p-Si 単チャンネル回路構成の駆動回路からなる走査線駆動回路 (GES) では、 $(V_{GH} - V_{GL})$ 振幅の駆動信号を入力しゲートスキャン動作を行っている。

同じく、CMOS 回路構成の駆動回路からなる対向電極選択回路 (CTSC) のアドレス信号 (address) も $(V_{GH} - V_{GL})$ 振幅の信号である。

しかし、半導体層にアモルファスシリコンを使用するアモルファスシリコン薄膜トランジスタ (a-Si TFT) に必要な電圧レベルは、例えば $V_{GH} = 16V$, $V_{GL} = -13V$ であり、半導体層に n 型ポリシリコンを使用するポリシリコン薄膜トランジスタ (p-Si TFT) に必要な電圧レベルは、例えば $V_{GH} = 11V$, $V_{GL} = -8V$ であり、両者は異なっている。

40

また、a-Si 単チャンネル回路構成の駆動回路、p-Si 単チャンネル回路構成の駆動回路、および、CMOS 回路構成の駆動回路は、その回路構成からそれぞれ異なる駆動波形が必要であり、それぞれの駆動波形を個別の出力端子で出力すると端子数の増加によりチップサイズが大きくなってしまう。

【0028】

そこで、本実施例の液晶ドライバ IC (DRV) では、液晶表示パネルに内蔵される、a-Si 単チャンネル回路構成の駆動回路、p-Si 単チャンネル回路構成の駆動回路、

50

および、CMOS回路構成の駆動回路の各々の駆動信号を、同じ共通端子を使用して、レジスタに書き込むデータ値により、各端子から出力される信号、あるいは、波形を切り替えられるようにしている。

また、VGH、VGLの電圧レベルも、レジスタに書き込むデータ値により切替られるようにして、1つの共通端子で、a-Si単チャンネル回路構成の駆動回路、p-Si単チャンネル回路構成の駆動回路、および、CMOS回路構成の駆動回路に対応できるようにしている。

例えば、図17では、液晶ドライバIC(DRV)の右側の端子(B2)のGOUT7の端子では、内蔵回路がa-Si単チャンネル回路構成の駆動回路(図17のa-Si)の場合、「ゲートクロック信号(VG10)」であり、内蔵回路がp-Si単チャンネル回路構成の駆動回路(図17のp-Si)の場合、「未使用」であり、内蔵回路がCMOS回路構成の駆動回路(図17のCMOS)の場合、「アドレスデコード信号(Tx_ADR1_R)」となっている。

【0029】

本実施例のインセル方式のタッチパネルでは、各走査電極(TX)を4V~6V程度の電圧でパルス駆動を行い、検出電極(RX)での電圧変化を検出している。

指等により、走査電極(TX)と検出電極(RX)との間の寄生容量が変化し、走査電極(TX)を4V~6V程度の電圧でパルス駆を行った際の、検出電極(RX)の電圧変動が変化することから、検出電極(RX)の電圧を測定することによりタッチ位置を検出することができる。

そのため、メインフレキシブル配線基板(MFPC)上の検出電極(RX)用の配線は、外来ノイズの影響を受けないように配線の上下配線層や両隣りの配線を、接地電圧(GND)でシールドしている。

本実施例の液晶ドライバIC(DRV)では、タッチセン機能を内蔵するにあたり、検出電極(RX)で検出された検出信号の入力端子位置が課題となる。

本実施例の液晶ドライバIC(DRV)では、入力端子(D)に入力される信号・電圧は、入力信号1、入力信号2、電源、GNDがある。入力信号1と入力信号2は、それぞれ異なるインターフェースの信号であり、2つの信号が同時に使用されることはなく、本体側の構成により、いずれか一方の系統が使用される。

さらに、インセル方式のタッチパネルでは、検出電極(RX)用の配線は、CF基板(3, SUB2)側の基板(例えば、ガラス基板)にFOG(Film On Glass)で接続された接続用フレキシブル配線基板53からTFT基板(2, SUB1)のメインフレキシブル配線基板(MFPC)に接続するため、メインフレキシブル配線基板(MFPC)を含めた製品の外形要求に対して自由にレイアウトできなければならない。

そこで、本実施例の液晶ドライバIC(DRV)では、検出電極(RX)で検出された検出信号の入力端子(C1, C2)を、入力端子(D)の両隣りに1セットずつ設けている。

検出電極(RX)で検出された検出信号の入力端子(C1, C2)を、図16に示すように、配置することにより、液晶表示パネル側へ配線する走査線駆動回路信号配線(GTL)とも交差せずノイズの影響を受けない。

さらに、同じ機能を持つ端子を左右に配置することによって、製品の外形要求に合わせて使用端子を選択することができる。なお、検出電極(RX)で検出された検出信号の入力端子(C1, C2)は、製品によりどちらかの端子のみを使用する。

図18に、検出電極(RX)で検出された検出信号の入力端子として、左側の端子(C1)を使用する場合の構成を、図19に、検出電極(RX)で検出された検出信号の入力端子として、右側の端子(C2)を使用する場合の構成を示す。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【符号の説明】

10

20

30

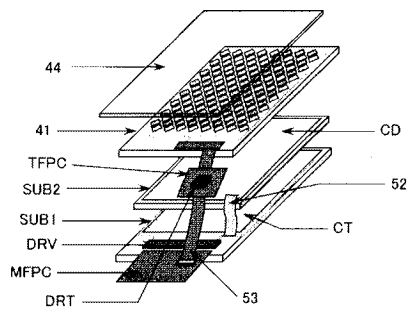
40

50

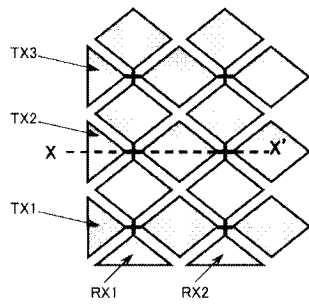
【 0 0 3 0 】

2 , S U B 1	第 1 基板	
3 , S U B 2	第 2 基板	
4	液晶組成物	
5 , D R V	液晶ドライバ I C	
2 1 , C T , C T 1 ~ C T 2 0	対向電極	
2 2	対向電極信号線	
2 5	駆動回路用入力端子	
3 1	検出電極	
3 3	ダミー電極	10
3 6	検出電極用端子	
4 0 , 4 4	フロントウィンドウ (又は、保護フィルム)	
4 1	タッチパネル基板	
4 2 , P A S 1 , P A S 2	層間絶縁膜	
4 3	保護膜	
4 5	シールド用の透明電極	
5 2	接続部材	
5 3	接続用フレキシブル配線基板	
2 0 0	画素部	
5 0 2	指	20
T A D , A 1 , A 2 , B 1 , B 2 , C 1 , C 2 , D	端子	
T X	タッチパネルの走査電極	
R X	タッチパネルの検出電極	
A R	表示領域	
D R T	タッチパネル制御 I C	
M F P C	メインフレキシブル配線基板	
T F P C	タッチパネル用フレキシブル配線基板	
G E S	走査線駆動回路	
C T S C	対向電極選択回路	
C T L	対向電極配線	30
L V c o m , L V s t c	配線	
C D	裏面側透明導電膜	
D E C 1 ~ D E C 2 0	アドレスデコーダ回路	
S C H 1 ~ S C H 2 0	選択回路	
I N V 1 ~ I N V 3	インバータ	
N O R 1 , N O R 2	ノア回路	
N A N D 1 , N A N D 2	ナンド回路	
S W	スイッチ回路	
S T X	接続部	
T A M	メインフレキシブル配線基板 (M F P C) と接続される端子部	40
G T L	走査線駆動回路信号配線	

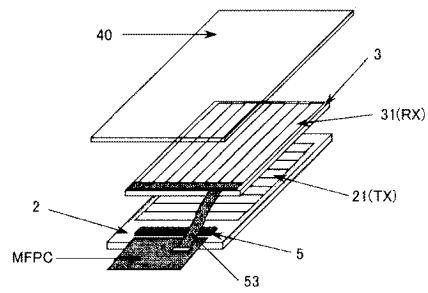
【図 1】



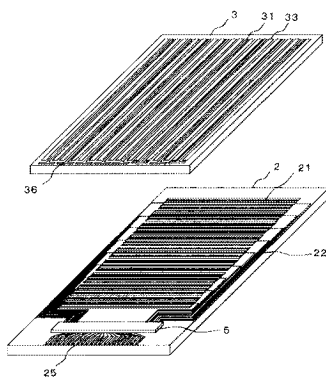
【図 2】



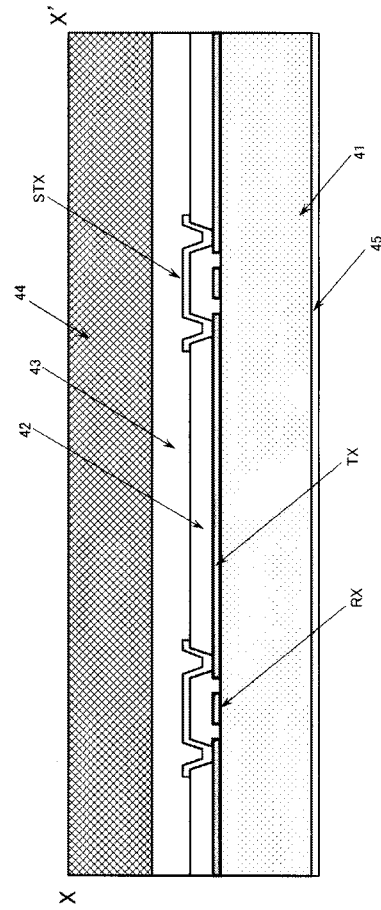
【図 4】



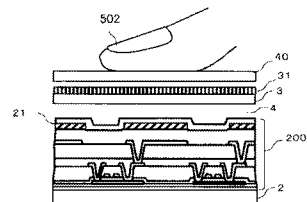
【図 5】



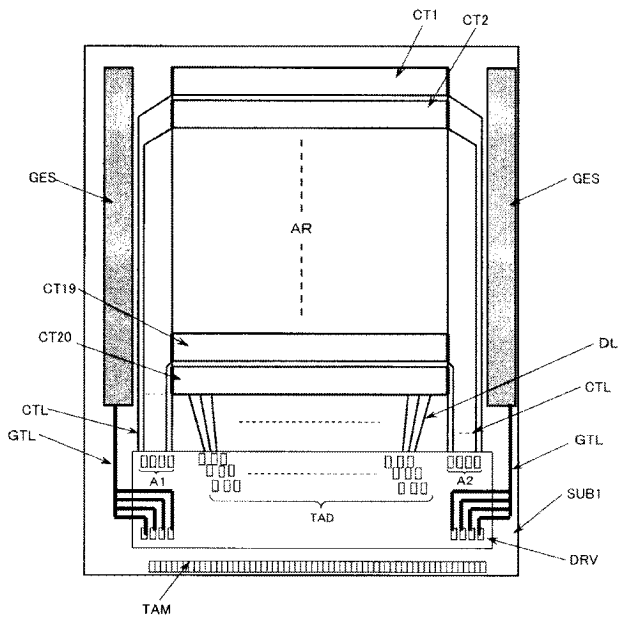
【図 3】



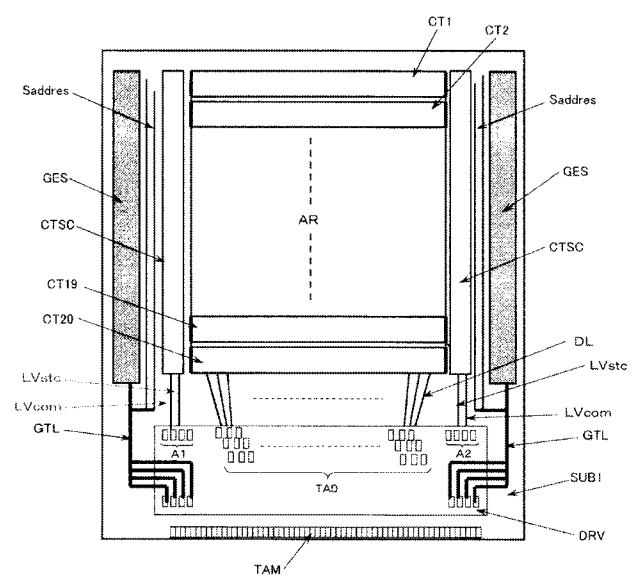
【図 6】



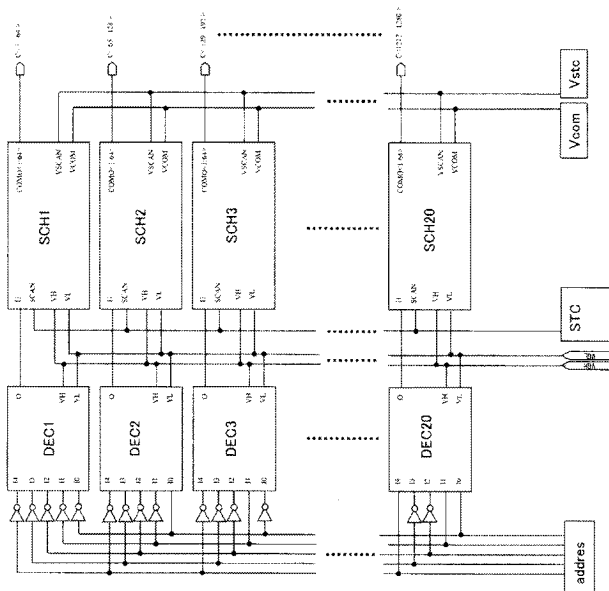
【図 7】



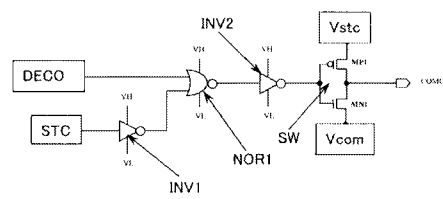
【図 8】



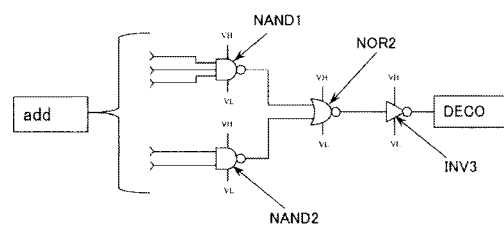
【図 9】



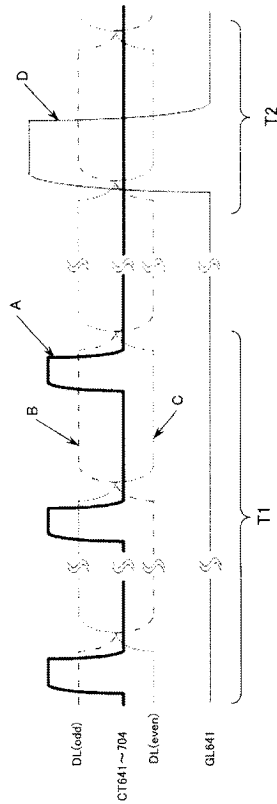
【図 10】



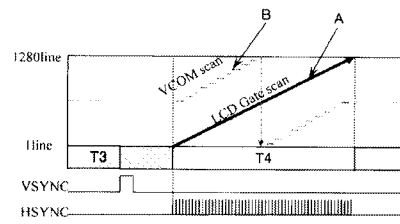
【図 11】



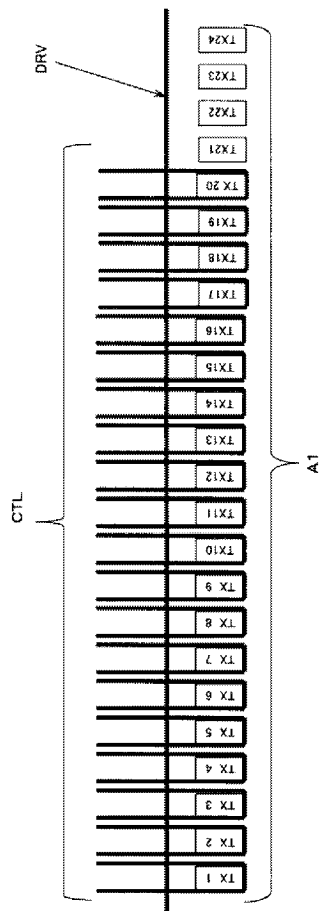
【図 1 2】



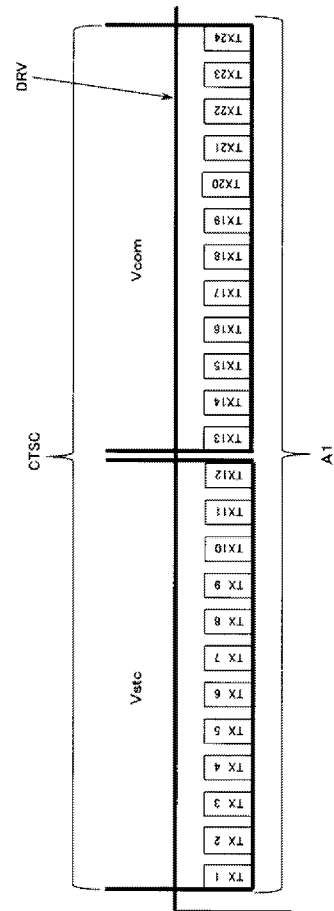
【図 1 3】



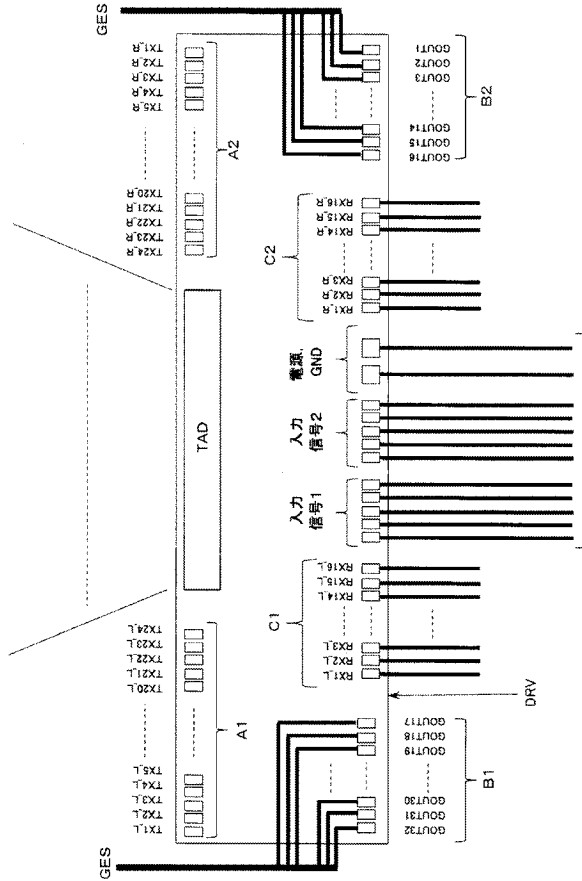
【図 1 4】



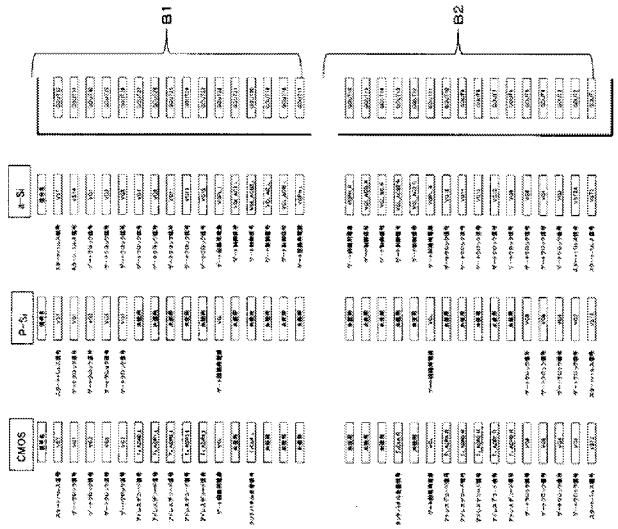
【図 1 5】



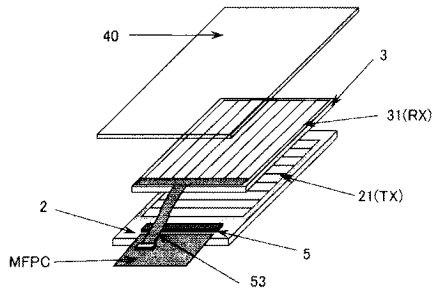
【図 16】



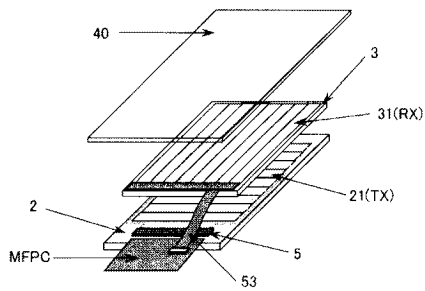
【図 17】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
G 0 6 F 3/044 (2006.01)	G 0 9 G	3/20	6 2 2 A	5 C 0 9 4		
G 0 2 F 1/1345 (2006.01)	G 0 9 G	3/20	6 2 1 M	5 G 4 3 5		
G 0 2 F 1/1343 (2006.01)	G 0 9 G	3/20	6 1 1 F			
G 0 2 F 1/1333 (2006.01)	G 0 9 G	3/20	6 7 0 F			
G 0 2 F 1/133 (2006.01)	G 0 9 G	3/20	6 8 0 G			
	G 0 6 F	3/041	4 1 2			
	G 0 6 F	3/041	4 3 0			
	G 0 6 F	3/044	1 2 8			
	G 0 2 F	1/1345				
	G 0 2 F	1/1343				
	G 0 2 F	1/1333				
	G 0 2 F	1/133	5 3 0			

F ターム(参考)	5C006	AA21	AC25	AF44	AF71	AF73	BB16	BC03	BC11	BC20	BF38
	EC02	EC05	FA31	FA37	FA51						
	5C080	AA10	BB05	CC03	DD27	EE30	FF11	JJ02	JJ03	JJ04	JJ06
	KK07										
	5C094	AA44	BA03	BA43	CA19	DB01	DB03	FA01			
	5G435	AA17	BB12	CC09	EE37	EE49					

专利名称(译)	显示装置		
公开(公告)号	JP2020073958A	公开(公告)日	2020-05-14
申请号	JP2019167601	申请日	2019-09-13
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	松元秀一郎		
发明人	松元 秀一郎		
IPC分类号	G09F9/30 G09F9/00 G09G3/36 G09G3/20 G06F3/041 G06F3/044 G02F1/1345 G02F1/1343 G02F1/1333 G02F1/133		
FI分类号	G09F9/30.330 G09F9/00.366.A G09G3/36 G09G3/20.691.D G09G3/20.624.C G09G3/20.622.A G09G3/20.621.M G09G3/20.611.F G09G3/20.670.F G09G3/20.680.G G06F3/041.412 G06F3/041.430 G06F3/044.128 G02F1/1345 G02F1/1343 G02F1/1333 G02F1/133.530		
F-TERM分类号	2H092/GA33 2H092/GA44 2H092/GA60 2H092/GA62 2H092/JA24 2H092/JB14 2H092/NA27 2H189/AA14 2H189/HA12 2H189/LA04 2H189/LA10 2H189/LA28 2H189/LA31 2H193/ZA04 2H193/ZA09 2H193/ZC25 2H193/ZE09 2H193/ZF43 2H193/ZF51 2H193/ZF52 2H193/ZJ02 5C006/AA21 5C006/AC25 5C006/AF44 5C006/AF71 5C006/AF73 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF38 5C006/EC02 5C006/EC05 5C006/FA31 5C006/FA37 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD27 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C094/AA44 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5C094/DB03 5C094/FA01 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE37 5G435/EE49		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有内置的触摸面板功能的液晶显示装置，该液晶显示装置降低了液晶驱动器IC的开发成本并缩短了开发周期。显示装置包括将信号提供给显示面板的半导体芯片。显示面板具有形成在显示部分中的多个视频信号线DL和多个触摸面板电极CTL。半导体芯片DRV在一对长边中的显示单元侧的一个长边上具有第一端子组，并且第一端子组包括连接至触摸板电极和视频信号线的触摸板端子组A1和A2。与视频信号端子组TAD相连。在第一端子组中，布置在半导体芯片的显示侧上的长边的两端处的多个端子是触摸板端子组，并且视频信号端子组是布置在两端处的多个触摸板端子。它们放置在组之间。视频信号端子组的宽度在半导体芯片的长边方向和短边方向上均比触摸面板端子组的宽度宽。[选择图]图7

