

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-142311

(P2017-142311A)

(43) 公開日 平成29年8月17日(2017.8.17)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
GO9G 3/36 (2006.01)	GO9G 3/36	2H193
GO9G 3/20 (2006.01)	GO9G 3/20 623B	5C006
GO2F 1/133 (2006.01)	GO9G 3/20 624E	5C080
	GO9G 3/20 611H	

審査請求 未請求 請求項の数 13 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2016-22246 (P2016-22246)
 (22) 出願日 平成28年2月8日 (2016.2.8)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
 (72) 発明者 塩見 誠
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 2H192 AA24 BC24 CC22 DA15 GB61
 2H193 ZA04 ZA07 ZB14
 5C006 AA22 AC11 AC24 AC25 AC26
 AF42 AF43 BB16 BC11 FA37
 FA55

最終頁に続く

(54) 【発明の名称】 液晶表示パネルおよび液晶表示装置

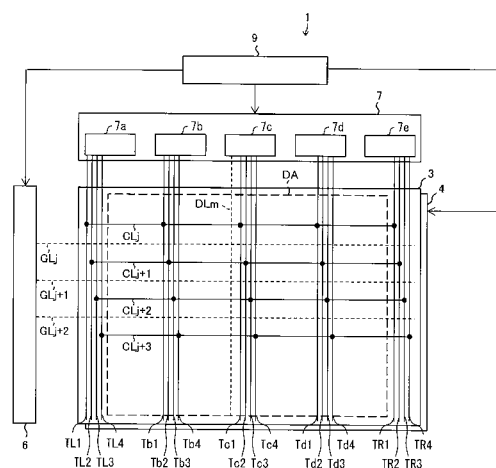
(57) 【要約】

【課題】 視野角特性を均一にすることができる液晶表示装置を実現する。

【解決手段】 液晶表示パネル(3)は、画素電極を有し表示領域を形成する複数の画素と、複数の画素にデータ信号を供給する複数のデータ信号線(DL)と、複数の画素へのデータ信号の書き込みを制御する複数の走査信号線(GL)と、1垂直期間において容量配線(CL_j)に供給される電位が変化し、該画素電極との間で容量を形成する上記容量配線と、表示領域の中に設けられ、該容量配線に接続される内側幹配線(Tc1)とを備える。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

表示領域を形成する複数の画素と、上記複数の画素にデータ信号を供給する複数のデータ信号線と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線とを備える液晶表示パネルであって、

上記複数の画素のそれぞれは、データ信号が書き込まれる第 1 画素電極を有し、

上記第 1 画素電極との間で容量を形成する第 1 容量配線と、

上記表示領域の中に設けられ、上記第 1 容量配線に接続される第 1 内側幹配線とを備えることを特徴とする液晶表示パネル。

【請求項 2】

上記複数の画素のそれぞれは、データ信号が書き込まれる第 2 画素電極を有し、

上記第 2 画素電極との間で容量を形成する第 2 容量配線と、

上記表示領域の中に設けられ、上記第 2 容量配線に接続される第 2 内側幹配線とを備えることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 3】

上記表示領域の中に設けられ、上記第 1 容量配線に接続される上記第 1 内側幹配線を 3 つ以上備え、

上記 3 つ以上の上記第 1 内側幹配線は、上記表示領域において均等に配置されていることを特徴とする請求項 1 または 2 に記載の液晶表示パネル。

【請求項 4】

上記第 1 内側幹配線は、特定の色成分を表示する画素列の一方側に隣接するよう配置され、

上記第 2 内側幹配線は、上記特定の色成分を表示する別の画素列の上記一方側に隣接するよう配置されることを特徴とする請求項 2 に記載の液晶表示パネル。

【請求項 5】

上記特定の色成分は、赤色または青色であることを特徴とする請求項 4 に記載の液晶表示パネル。

【請求項 6】

上記第 1 内側幹配線は、ある画素列に隣接するよう配置され、

他の画素列に隣接するよう配置されるダミー幹配線を備え、

上記ダミー幹配線は、上記表示領域の中に設けられており、容量を介して画素の電位を変化させるいずれの容量配線にも接続されていないことを特徴とする請求項 1 から 5 のいずれか一項に記載の液晶表示パネル。

【請求項 7】

上記表示領域の外に設けられ、上記第 1 容量配線に接続される外側幹配線を備え、

上記外側幹配線に供給される第 1 容量信号の位相および電位と、上記第 1 内側幹配線に供給される第 2 容量信号の位相および電位とは互いに同じであることを特徴とする請求項 1 から 6 のいずれか一項に記載の液晶表示パネル。

【請求項 8】

上記表示領域の外に設けられ、上記第 1 容量配線に接続される外側幹配線を備え、

上記外側幹配線に供給される第 1 容量信号の位相と、上記第 1 内側幹配線に供給される第 2 容量信号の位相とは互いに同じであり、

上記第 1 容量信号の電位と、上記第 2 容量信号の電位とは互いに異なることを特徴とする請求項 1 から 6 のいずれか一項に記載の液晶表示パネル。

【請求項 9】

上記表示領域の外に設けられ、上記第 1 容量配線に接続される外側幹配線を備え、

上記外側幹配線に供給される第 1 容量信号の位相と、上記第 1 内側幹配線に供給される第 2 容量信号の位相とは互いに異なることを特徴とする請求項 1 から 6 のいずれか一項に記載の液晶表示パネル。

【請求項 10】

上記第 2 容量信号の 1 周期には、第 1 期間と第 2 期間とが含まれ、

上記第 1 期間における上記第 2 容量信号の電位は、上記第 2 期間における上記第 2 容量信号の電位より高く、

上記第 1 期間において、上記第 2 容量信号の電位は、時間と共に下降し、

上記第 2 期間において、上記第 2 容量信号の電位は、時間と共に上昇することを特徴とする請求項 8 または 9 に記載の液晶表示パネル。

【請求項 1 1】

上記第 1 期間において、上記第 2 容量信号の電位は、第 1 電位から第 2 電位に下降し、

上記第 2 期間において、上記第 2 容量信号の電位は、第 3 電位から第 4 電位に上昇することを特徴とする請求項 1 0 に記載の液晶表示パネル。

10

【請求項 1 2】

上記第 2 容量信号の最高電位は、上記第 1 容量信号の最高電位より高く、

上記第 2 容量信号の最低電位は、上記第 1 容量信号の最低電位より低いことを特徴とする請求項 8 から 1 1 のいずれか一項に記載の液晶表示パネル。

【請求項 1 3】

請求項 1 から 1 2 のいずれか一項に記載の液晶表示パネルを備えることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は液晶表示パネルおよび液晶表示装置に関する。

20

【背景技術】

【0 0 0 2】

特許文献 1 には、液晶表示装置においてあらかじめ測定された固有のムラを補正するための補正信号を、駆動回路に格納しておき、外部から入力された表示データに補正信号を付加したデータに応じて、液晶セルを駆動する技術が開示されている。

【0 0 0 3】

特許文献 2、3 には、液晶表示装置の補助容量配線に周期的に変化する電圧を印加することにより、明画素と暗画素とを生じさせる技術が開示されている。これにより、液晶表示装置の視野角特性を改善する。

30

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開平 9 - 3 1 8 9 2 9 号公報 (1 9 9 7 年 1 2 月 1 2 日公開)

【特許文献 2】国際公開 W O 2 0 0 6 / 0 9 8 4 4 9 (2 0 0 6 年 9 月 2 1 日公開)

【特許文献 3】国際公開 W O 2 0 1 0 / 1 4 3 3 4 8 (2 0 1 0 年 1 2 月 1 6 日公開)

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

しかしながら、表示パネルが大型化するにしたがって補助容量配線が長くなり、補助容量配線を伝わる電圧変化の遅延および減衰が大きくなる。それゆえ、電圧供給元の幹配線に近い位置 (パネル左右寄り) と遠い位置 (パネル中央) とでは、補助容量配線の電圧の差が大きくなる。これにより、表示領域において視野角特性のムラが生じ得る。

40

【0 0 0 6】

特許文献 1 の技術では、あらかじめ格納された補正信号を表示データに付加して画素に書き込む。特許文献 1 の技術では、視野角特性のムラを改善することはできない。

【0 0 0 7】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、視野角特性をより均一にすることができる液晶表示装置を実現することにある。

【課題を解決するための手段】

50

【 0 0 0 8 】

本発明の一態様に係る液晶表示パネルは、表示領域を形成する複数の画素と、上記複数の画素にデータ信号を供給する複数のデータ信号線と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線とを備える液晶表示パネルであって、上記複数の画素のそれぞれは、データ信号が書き込まれる第1画素電極を有し、上記第1画素電極との間で容量を形成する第1容量配線と、上記表示領域の中に設けられ、上記第1容量配線に接続される第1内側幹配線とを備える構成である。

【 発明の効果 】

【 0 0 0 9 】

本発明の一態様によれば、液晶表示装置の視野角特性をより均一にすることができる。

10

【 図面の簡単な説明 】

【 0 0 1 0 】

【 図 1 】本発明の一実施形態に係る液晶表示装置の構成を示す模式図である。

【 図 2 】本発明の一実施形態に係る液晶パネルの一部の構成を示す回路図である。

【 図 3 】ある垂直期間における上記液晶表示装置の駆動例を示すタイミングチャートである。

【 図 4 】ある垂直期間における各画素の表示状態を示す模式図である。

【 図 5 】データドライバから外側幹配線に供給される容量信号の波形と、画素の位置での該容量信号の波形とを模式的に示す図である。

【 図 6 】データドライバから内側幹配線に供給される容量信号の波形と、画素の位置での合成された容量信号の波形とを模式的に示す図である。

20

【 図 7 】第1出力波形、第1伝搬波形、第2出力波形、および合成波形とを模式的に示す図である。

【 図 8 】第1出力波形、第1伝搬波形、第2出力波形、および合成波形とを模式的に示す図である。

【 図 9 】図8に示す第2出力波形の変化を段階的な変化にしたものである。

【 図 1 0 】第1出力波形、第1伝搬波形、第2出力波形、および合成波形とを模式的に示す図である。

【 図 1 1 】変形例における液晶表示装置の構成を示す模式図である。

【 図 1 2 】本発明の他の実施形態に係る液晶パネルの一部の構成を模式的に示す図である。

30

【 図 1 3 】本発明のさらに他の実施形態の液晶パネルの一部の構成を示す回路図である。

【 図 1 4 】本発明のさらに他の実施形態の液晶表示装置の駆動例を示すタイミングチャートである。

【 図 1 5 】本発明のさらに他の実施形態の液晶表示装置における液晶パネルの画素の配置を模式的に示す平面図である。

【 図 1 6 】連続する4つのフィールドにおけるある絵素の表示状態を示す図である。

【 発明を実施するための形態 】

【 0 0 1 1 】

〔 実施形態 1 〕

40

(液晶表示装置の構成)

図1は、本実施形態の液晶表示装置1の構成を示す模式図である。液晶表示装置1は、液晶パネル3（液晶表示パネル）と、バックライト4と、ゲートドライバ6と、データドライバ7と、表示制御回路9とを備える。表示制御回路9は、バックライト4、ゲートドライバ6、およびデータドライバ7を制御する。表示制御回路9は、各種タイミング信号を生成するためのタイミングコントローラ（図示せず）を含む。表示制御回路9は、データドライバ7に、CSタイミング信号を供給する。また、データドライバ7には、容量信号を生成するための複数の基準電位が、電源（図示せず）から供給される。

【 0 0 1 2 】

液晶パネル3は、複数の画素と、複数の走査信号線GLjと、複数のデータ信号線DL

50

mと、複数の容量配線 CL_j とを備える。添字 j は第 j 行を表し、添字 m は第 m 列を表す。さらに、液晶パネル3は、複数の外側幹配線 $TL_1 \sim TL_4$ 、 $TR_1 \sim TR_4$ と、複数の内側幹配線 $Tb_1 \sim Tb_4$ 、 $Tc_1 \sim Tc_4$ 、 $Td_1 \sim Td_4$ とを備える。液晶パネル3は、複数の画素によって形成され画像が表示される領域である表示領域 DA を有する。複数の外側幹配線 $TL_1 \sim TL_4$ 、 $TR_1 \sim TR_4$ は、表示領域 DA の外側の領域（非表示領域）に設けられる。複数の外側幹配線 $TL_1 \sim TL_4$ は、表示領域 DA より左側に設けられる。複数の外側幹配線 $TR_1 \sim TR_4$ は、表示領域 DA より右側に設けられる。一方、複数の内側幹配線 $Tb_1 \sim Tb_4$ 、 $Tc_1 \sim Tc_4$ 、 $Td_1 \sim Td_4$ は、表示領域 DA の中に設けられる（少なくとも表示領域 DA を通る）。ここでは、内側幹配線 $Tb_1 \sim Tb_4$ と、内側幹配線 $Tc_1 \sim Tc_4$ と、内側幹配線 $Td_1 \sim Td_4$ とは、表示領域 DA の横方向において均等に配置（分散）されている。なお、内側幹配線の分散は均等でなくてもよい。複数の内側幹配線 $Tb_1 \sim Tb_4$ 、 $Tc_1 \sim Tc_4$ 、 $Td_1 \sim Td_4$ は、金属で形成されてもよいし、透明導体で形成されてもよい。

10

【0013】

各容量配線 CL_j は、2つの外側幹配線と、3つの内側幹配線とに接続される。容量配線 CL_j は、外側幹配線 TL_1 、 TR_1 と、内側幹配線 Tb_1 、 Tc_1 、 Td_1 とに接続される。容量配線 CL_{j+1} は、外側幹配線 TL_2 、 TR_2 と、内側幹配線 Tb_2 、 Tc_2 、 Td_2 とに接続される。容量配線 CL_{j+2} は、外側幹配線 TL_3 、 TR_3 と、内側幹配線 Tb_3 、 Tc_3 、 Td_3 とに接続される。容量配線 CL_{j+3} は、外側幹配線 TL_4 、 TR_4 と、内側幹配線 Tb_4 、 Tc_4 、 Td_4 とに接続される。なお、図示はしないが、容量配線 CL_{j+4} は、外側幹配線 TL_2 、 TR_2 と、内側幹配線 Tb_2 、 Tc_2 、 Td_2 とに接続される。容量配線 CL_{j+5} は、外側幹配線 TL_1 、 TR_1 と、内側幹配線 Tb_1 、 Tc_1 、 Td_1 とに接続される。容量配線 CL_{j+6} は、外側幹配線 TL_4 、 TR_4 と、内側幹配線 Tb_4 、 Tc_4 、 Td_4 とに接続される。容量配線 CL_{j+7} は、外側幹配線 TL_3 、 TR_3 と、内側幹配線 Tb_3 、 Tc_3 、 Td_3 とに接続される。これらの容量配線 $CL_j \sim CL_{j+7}$ の配置（接続関係）が縦方向（列方向）に繰り返される。

20

【0014】

ゲートドライバ6は、走査信号を供給することにより、複数の走査信号線を駆動する。データドライバ7は、複数のデータ信号線 DL_m 、および、複数の外側幹配線 $TL_1 \sim TR_4$ 、複数の内側幹配線 $Tb_1 \sim Td_4$ を駆動する。データドライバ7は、複数のソース駆動回路7a~7eを備える。ソース駆動回路7a~7eは、それぞれ、複数のデータ信号線に接続されており、対応する複数のデータ信号線にデータ信号を供給する。各ソース駆動回路7a~7eは、複数の基準電位とCSタイミング信号とに基づいて、容量信号を生成する。また、ソース駆動回路7aは、複数の外側幹配線 $TL_1 \sim TL_4$ に接続されている。ソース駆動回路7bは、複数の内側幹配線 $Tb_1 \sim Tb_4$ に接続されている。ソース駆動回路7cは、複数の内側幹配線 $Tc_1 \sim Tc_4$ に接続されている。ソース駆動回路7dは、複数の内側幹配線 $Td_1 \sim Td_4$ に接続されている。ソース駆動回路7eは、複数の外側幹配線 $TR_1 \sim TR_4$ に接続されている。各ソース駆動回路7a~7eは、対応する（接続されている）複数の外側幹配線または複数の内側幹配線に、容量信号を供給する。なお、複数の容量配線 CL_j に容量信号を供給する回路と、複数のデータ信号線 DL_m にデータ信号を供給する回路とが分かれていてもよい。

30

40

【0015】

（液晶パネルの構成）

図2は、液晶パネル3の一部の構成を示す回路図である。図2では、内側幹配線 Tc_1 の付近（すなわち表示領域の水平方向における中央付近）の画素が示されている。画素 PX_j は、 j 行目の走査信号線 GL_j と m 列目のデータ信号線 DL_m との交差部分に形成されている。容量配線 CL_j は、画素 PX_j の上側に隣接するよう、画素行に沿って延びている。各画素 PX_j は、第1画素電極 PE_1 および第2画素電極 PE_2 を含む。第1画素電極 PE_1 および第2画素電極 PE_2 は、液晶層を介して、対向電極（共通電極：図示せ

50

ず)に対向している。第1画素電極PE1は、サブ画素SP1を形成し、第2画素電極PE2は、サブ画素SP2を形成する。

【0016】

画素PX_jについて説明する。第1画素電極PE1は、トランジスタT1を介してデータ信号線DL_mに接続される。トランジスタT1の制御端子は走査信号線GL_jに接続される。第1画素電極PE1と容量配線CL_j(第1容量配線)の間には補助容量C1が形成されている。同様に、第2画素電極PE2は、トランジスタT2を介してデータ信号線DL_mに接続される。トランジスタT2の制御端子は走査信号線GL_jに接続される。走査信号線GL_jは、トランジスタT1、T2(スイッチング素子)の導通/非導通を制御することにより、画素へのデータ信号の書き込みを制御する。第2画素電極PE2と容量配線CL_j+1(第2容量配線)の間には補助容量C2が形成されている。

10

【0017】

内側幹配線Tc1~Tc4は、平面視においてデータ信号線DL_mに重なるように形成されていてもよい。このように内側幹配線Tc1~Tc4を配置することで、表示領域DAの中に金属の内側幹配線Tc1~Tc4を設ける場合でも、開口面積の減少を抑制することができる。または、透明導体で内側幹配線Tc1~Tc4を形成する場合、開口面積の減少を抑制することができる。ただし、内側幹配線Tc1~Tc4の材質に関わらず、内側幹配線Tc1~Tc4は、平面視において第1画素電極PE1および第2画素電極PE2に重ならないことが好ましい。これは、内側幹配線Tc1~Tc4と、第1画素電極PE1および第2画素電極PE2との間に容量が形成されないようにするためである。

20

【0018】

内側幹配線Tc1~Tc4は、特定の色成分、例えば赤色または青色を表示する画素の列(画素列)の一方側に隣接して配置されてもよい。または、内側幹配線Tc1~Tc4は、最も開口面積(画素面積)が大きい色成分の画素列に隣接して配置されてもよい。これにより、内側幹配線Tc1~Tc4による開口面積の減少による表示品位への影響を小さくすることができる。ここでは、各内側幹配線Tc1~Tc4は、赤色を表示する画素列に対応するデータ信号線DL_mに重なるように延びている。すなわち、互いに隣り合う内側幹配線Tc1、Tc2の間には、3つの画素列(RGB:赤緑青)が配置されている。各内側幹配線Tc1~Tc4は、他の特定の色成分を表示する画素列に対応するデータ信号線DL_mに重なるように延びていてもよい。

30

【0019】

(液晶表示装置の駆動)

以下では、主として画素PX_jと、画素PX_jに接続される走査信号線GL_jおよびデータ信号線DL_mと、画素PX_j(サブ画素SP1・SP2)との間で容量を形成する容量配線CL_j・CL_j+1と、について説明する。

【0020】

図3は、ある垂直期間における液晶表示装置1の駆動例を示すタイミングチャートである。図3には、時間(横軸)に対する、データ信号線DL_mに供給されるデータ信号DS_mの電位(データ電位)と、走査信号線GL_j~GL_j+3にそれぞれ供給される走査信号GS_j~GS_j+3の電位(ゲート電位)と、容量配線CL_j~CL_j+3にそれぞれ供給される容量信号CS_j~CS_j+3の電位(CS電位)と、ある画素列の第j行~第j+2行の画素PX_j~PX_j+2における第1画素電極PE1の電位(画素電位)VA_j~VA_j+2および第2画素電極PE2の電位VB_j~VB_j+2とが示されている。図3には、各画素電極の画素電位(VA_j~VA_j+2、VB_j~VB_j+2)について、その垂直期間においてゲートパルスがアクティブ(ゲート電位がHigh)になってデータ信号が画素電極PE1、PE2に書き込まれてからの変化のみを示す。なお簡単のため、ここではゲート寄生容量による画素電位の引き込み等の影響は無視する。図3には、二次元画像を表示する場合として、各画素に同じ階調のデータ信号を書き込む例を示す。図3に示す水平方向の破線は、対向電極の電位を示す。

40

【0021】

50

図4は、ある垂直期間における各画素の表示状態を示す模式図である。図4において、各画素電極PEに書き込まれたデータ信号の極性を+、-で示している。また、図4において、明表示を行う明サブ画素の画素電極PEは白色で示し、暗表示を行う暗サブ画素の画素電極PEは点々のハッチングを施して示す。

【0022】

データ電位は、1水平走査期間(1H)毎に極性が反転する。すなわち、同じ列の画素には、画素行毎に逆極性のデータ電位が書き込まれる。また、互いに隣接する2つのデータ信号線のデータ電位は逆極性になっている。すなわち、同じ行の画素には、画素列毎に異なる極性のデータ電位が書き込まれる。

【0023】

ゲート電位は、各画素のトランジスタT1、T2をON(導通状態)にするために、順次H(High)レベルになる。

【0024】

CS電位は、1垂直期間の中で周期的に変化する。ここでは、CS電位は、2水平期間(2H)毎に基準の電位(例えば対向電極の電位)に対して反転する。なお、容量配線CLjの電位CSjとその下側の容量配線CLj+1の電位CSj+1とは、極性が逆になっている。容量配線CLjの電位CSjとその2つ下側の容量配線CLj+2の電位CSj+2とは、波形の位相が1水平期間ずれている。容量配線CLj+2の電位CSj+2とその下側の容量配線CLj+3の電位CSj+3とは、極性が逆になっている。なお、図示はしないが、容量配線CLj+4の電位は、容量配線CLj+1の電位CSj+1と同じである。容量配線CLj+5の電位は、容量配線CLjの電位CSjと同じである。容量配線CLj+6の電位は、容量配線CLj+3の電位CSj+3と同じである。容量配線CLj+7の電位は、容量配線CLj+2の電位CSj+2と同じである。

【0025】

ゲートパルスがアクティブになることによって、同時に画素PXjの2つのトランジスタT1、T2が導通状態になる。そのため、画素PXjの2つのサブ画素SP1・SP2には同じデータ電位が書き込まれる。

【0026】

画素PXj(2つのサブ画素)にデータが書き込まれた後(走査信号GSjのゲートパルスが非アクティブになった後)、CS電位CSj、CSj+1が変化(極性の反転)する。これにより、容量配線CLjに補助容量C1を介して繋がる画素電極PE1の画素電位も変化する。画素PXjに注目すると、サブ画素SP1、SP2にデータ信号が書き込まれた直後は、2つのサブ画素SP1、SP2の画素電位VAjおよび画素電位VBjは同じである。ここで、サブ画素SP1、SP2はそれぞれ異なる容量配線CLj、CLj+1に補助容量C1、C2を介して繋がる。トランジスタT1がOFF(ゲート電位がL(Low))になった後、容量配線CLjのCS電位CSjは上昇するので、正極性のデータが書き込まれたサブ画素SP1の画素電位VAjは上昇する。一方、トランジスタT2がOFFになった後、容量配線CLj+1のCS電位CSj+1は下降するので、正極性のデータが書き込まれたサブ画素SP2の画素電位VBjは下降する。

【0027】

これにより、サブ画素SP1の実効画素電圧(1フレーム期間の画素電圧の平均)は大きくなる、すなわち、画素PXjのサブ画素SP1は明るく表示される明サブ画素となる。これに対し、サブ画素SP2の実効画素電圧は小さくなる、すなわち、画素PXjのサブ画素SP2は暗く表示される暗サブ画素となる。ここで、画素電圧は、対向電極の電位と画素電極の電位の差である。

【0028】

画素PXjの下隣の画素PXj+1のサブ画素SP1・SP2については、書き込まれるデータ電位の極性が逆(負極性)である。ただし、対応する容量配線のCS電位CSj+1、CSj+2の変化も逆になる。それゆえ、画素PXj+1のサブ画素SP1は明るく表示される明サブ画素となり、画素PXj+1のサブ画素SP2は暗く表示される暗サ

10

20

30

40

50

ブ画素となる。また、画素列毎にデータ電位の極性が反転するため、画素 $P \times j$ の隣の画素列では、サブ画素 $S P 1$ が暗サブ画素となり、サブ画素 $S P 2$ が明サブ画素となる。

【0029】

なお、次のフレームにおいては、各画素に書き込まれるデータ信号の極性は反転する（ドット反転駆動）。ただし、ゲートパルスに対して、各容量配線 $C L j$ の $C S$ 電位の波形も $1/2$ 周期ずれる。そのため、明サブ画素と暗サブ画素の位置は変わらない。

【0030】

（容量信号の波形）

容量信号 $C S j$ は、データドライバ Γ から、外側幹配線 $T L 1$ を介して、容量配線 $C L j$ へ供給される。外側幹配線 $T L 1$ は、非表示領域に設けられるため（開口面積に影響しないため）、幅を太くすることができる。一方、容量配線 $C L j$ は、表示領域 $D A$ に設けられるため、幅が制限される。そのため、外側幹配線 $T L 1$ から遠く離れた画素では、容量信号 $C S j$ が遅延したり、その波形が鈍ったりする。

10

【0031】

図5は、データドライバ Γ から外側幹配線 $T L 1$ に供給される容量信号 $C S j$ の波形と、画素 $P \times j$ の位置での該容量信号 $C S j$ の波形（第1伝搬波形）とを模式的に示す図である。図5において、横軸は時間、縦軸は電位を表す。画素 $P \times j$ は、内側幹配線 $T c 1$ に隣接する画素、すなわち、表示領域 $D A$ の水平方向の中央付近にある画素であるとして説明する。データドライバ Γ から外側幹配線 $T L 1$ に出力される容量信号 $C S j$ の波形を第1出力波形とし、該容量信号 $C S j$ が画素 $P \times j$ の位置まで伝搬したときの波形を第1伝搬波形とする。縦軸の値は、第1出力波形の最小値を0、最大値を1として正規化されている。なお、図5では、説明のため伝搬波形を簡略化して模式的に描いている。後述の図6～図10でも同様である。実際の伝搬波形は、様々な負荷容量および周辺の配線の影響で複雑に変化し得る。しかしながら、伝搬波形が、第1出力波形に対し、周期は同じで、位相が遅れ、波形が鈍り、かつ、減衰することによって振幅が減少するという課題は変わらない。したがって、本実施形態の構成は、現実の複雑な状況下でも有効である。

20

【0032】

データドライバ Γ から出力された時点では、容量信号 $C S j$ の波形は、第1出力波形である。外側幹配線 $T L 1$ に最も近い画素の位置では、容量信号 $C S j$ は、第1出力波形に近い波形である。容量信号 $C S j$ は、外側幹配線 $T L 1$ および容量配線 $C L j$ を画素 $P \times j$ まで伝わる間に、位相が遅れ、振幅が減衰することにより、第1伝搬波形となる。第1伝搬波形の容量信号 $C S j$ が、画素 $P \times j$ に実際の影響を与える（画素電圧を変化させる）。それゆえ、位相の遅れおよび振幅の減衰が大きいと、表示領域 $D A$ の端部と中央付近とで、画素電圧の変化量（明サブ画素および暗サブ画素の輝度差）が異なってしまう。

30

【0033】

なお、データドライバ Γ から他の外側幹配線 $T L 2 \sim T L 4$ 、 $T R 1 \sim T R 4$ に出力される容量信号は、第1出力波形と位相が異なるだけで、その振幅および周期は同じである。

【0034】

図6は、データドライバ Γ から内側幹配線 $T c 1$ に供給される容量信号の波形と、画素 $P \times j$ の位置での合成された容量信号の波形（合成波形）とを模式的に示す図である。図6において、横軸は時間、縦軸は電位を表す。縦軸の値は、第1出力波形の最小値を0、最大値を1として正規化されている。本図には、図5の第1出力波形および第1伝搬波形をも示す。データドライバ Γ から内側幹配線 $T c 1$ に出力される容量信号の波形を第2出力波形とする。

40

【0035】

ここでは、外側幹配線 $T L 1$ に供給される容量信号の第1出力波形と、内側幹配線 $T c 1$ に供給される容量信号の第2出力波形とは同じである。すなわち、外側幹配線 $T L 1$ に供給される容量信号の位相および電位は、それぞれ内側幹配線 $T c 1$ に供給される容量信号の位相および電位と同じである。画素 $P \times j$ の位置では、第1出力波形は、第1伝搬波

50

形に変化している。一方、画素 $P \times j$ に近い内側幹配線 $T c 1$ に供給された容量信号の第 2 出力波形は、画素 $P \times j$ の位置でもほぼ元の波形のままである。そのため、画素 $P \times j$ の位置では、容量信号の波形は、第 1 伝搬波形と第 2 出力波形とが合成された波形（合成波形）となる。合成波形の電位は、画素 $P \times j$ の位置等に応じた、第 1 伝搬波形の電位と第 2 出力波形の電位との間の値となる。ここでは、合成波形は、第 1 伝搬波形と第 2 出力波形との平均としている。

【 0 0 3 6 】

合成波形は、各時間において、位相の遅延と振幅の減衰が生じた第 1 伝搬波形よりも、第 1 出力波形に近いものになっている。そのため、画素 $P \times j$ の画素電圧は、本来の容量信号の波形（第 1 出力波形）に近い合成波形に応じて、変化する。それゆえ、液晶表示装置 1 では、液晶パネル 3 の左右端部（外側幹配線）から遠く離れた位置の画素に対する容量信号の影響を、適切なものとすることができる。それゆえ、ある階調について、液晶表示装置 1 において明画素および暗画素の輝度差を、位置によらず均一にすることができる。よって、液晶表示装置 1 の視野角特性を均一にすることができる。

10

【 0 0 3 7 】

なお、ここでは簡単のために、外側幹配線 $T L 1$ と内側幹配線 $T c 1$ との容量信号の合成波形を示したが、容量配線 $C L j$ に接続される他の内側幹配線 $T b 1$ 、 $T d 1$ および他の外側幹配線 $T R 1$ に供給される容量信号も、同様に容量配線 $C L j$ を伝搬して画素 $P \times j$ に影響する。そのため、実際の画素 $P \times j$ の位置での容量信号の波形は、図 6 に示した合成波形よりも第 1 出力波形に近くなり得る。他の位置の画素についても、その画素の位置（外側幹配線および内側幹配線までの距離等）に応じて、合成された容量信号によって画素電圧が変化させられる。なお、画素の位置が内側幹配線から離れている場合、該内側幹配線に供給された容量信号についても、該画素の位置まで伝搬する間に、位相の遅れおよび振幅の減衰が生じ得る。

20

【 0 0 3 8 】

なお、液晶パネル 3 において、複数の外側幹配線 $T L 1 \sim T R 4$ を設けなくてもよい。この場合、表示領域 $D A$ 内に設けられた複数の内側幹配線 $T b 1 \sim T d 4$ から、各容量配線に容量信号を供給する。各内側幹配線 $T b 1 \sim T d 4$ には、図 6 に示す第 1 出力波形（= 第 2 出力波形）の容量信号を供給すればよい。外側幹配線は表示を妨げないため、より太い配線（すなわち低抵抗）として配置することができる。そのため、内側幹配線より外側幹配線の方が影響が大きい。しかしながら、額縁領域（非表示領域）を小さくする目的で、外側幹配線を設けず、複数の内側幹配線を設けることも考えられる。外側幹配線を設けない場合、容量配線の信号波形を支配的に決定する幹配線は存在しない。それゆえ、複数の内側幹配線（例えば $T b 1$ 、 $T c 1$ 、 $T d 1$ ）に対して、基本となる出力波形の容量信号を供給することが好ましい。この構成では、外側幹配線のみが設けられる従来の構成に比べて、伝搬した容量信号の波形を表示領域全体でより均一にすることができる。

30

【 0 0 3 9 】

なお、上記ではドット反転駆動する場合について説明したが、他の反転駆動方式であってもよい。例えば、ライン反転、2 フィールド反転、ブロック反転、2 H（2 水平期間）反転等の駆動方式の液晶表示装置にも、本発明を適用することができる。反転駆動方式が異なれば、容量信号の反転タイミングと、画素の極性配置等に応じて適切な容量信号波形とが異なる。しかしながら、周期および振幅が等しく位相が互いに異なる矩形波を複数使用することと、該矩形波が幹配線からの距離に応じて減衰および変形するという課題とは変わらない。したがって、他の反転駆動方式においても本発明を適用することができる。

40

【 0 0 4 0 】

なお、ここでは、1 つの画素が 2 つの画素電極（2 つのサブ画素）を有する場合を例に挙げて本発明の原理を説明した。しかしながら、1 つの画素が 1 つのみの画素電極を有する場合においても、本発明の原理は同様に成立する。それゆえ、液晶パネルの各画素は、1 つのみの画素電極を有する構成であってもよい。

【 0 0 4 1 】

50

〔実施形態 2〕

本発明の他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、供給される容量信号の振幅が外側幹配線と内側幹配線とで異なる。

【0042】

外側幹配線 TL1 ~ TL4、TR1 ~ TR4 を駆動するソース駆動回路 7a、7e には、複数 (2つ) の基準電位が供給される。内側幹配線 Tb1 ~ Td4 を駆動するソース駆動回路 7b ~ 7d には、別の複数 (2つ) の基準電位が供給される。各ソース駆動回路 7a ~ 7e は、供給された複数の基準電位と CS タイミング信号とに基づいて、容量信号を生成する。

10

【0043】

図7は、第1出力波形、第1伝搬波形、第2出力波形、および合成波形とを模式的に示す図である。図7において、横軸は時間、縦軸は電位を表す。縦軸の値は、第1出力波形の最小値を0、最大値を1として正規化されている。

【0044】

本実施形態では、ソース駆動回路 7b ~ 7d から内側幹配線 Tb1 ~ Td4 に供給される容量信号の振幅 (第2出力波形の振幅) は、ソース駆動回路 7a、7e から外側幹配線 TL1 ~ TR4 に供給される容量信号の振幅 (第1出力波形の振幅) より大きい。第2出力波形の高電位側の電位 (最高電位) は、第1出力波形の高電位側の電位より高く、第2出力波形の低電位側の電位 (最低電位) は、第1出力波形の低電位側の電位より低い。外側幹配線 TL1 ~ TR4 を介して液晶パネル3の中央付近の画素の位置まで伝搬した容量信号は、第1伝搬波形のように遅延および減衰する。合成した結果の合成波形を第1出力波形により近づけるため、ここでは、内側幹配線に供給される容量信号の振幅 (第2出力波形の振幅) は、第1出力波形の振幅より大きい。第1伝搬波形と第2出力波形とが合成された合成波形 (図7) は、図6に示す合成波形よりも、第1出力波形に近いことが分かる。このように、外側幹配線 TL1 ~ TR4 に供給される容量信号の振幅と、内側幹配線 Tb1 ~ Td4 に供給される容量信号の振幅とを異ならせてもよい。これにより、容量信号による影響を均一にし、液晶表示装置1の視野角特性を均一にすることができる。

20

【0045】

例えば、第1出力波形の電位が反転する直前において、ある画素の位置における合成された容量信号の電位が、第1出力波形の電位と同じになるよう、各内側幹配線 Tb1 ~ Td4 に供給される容量信号の電位 (第2出力波形の電位) を決定してもよい。または、対応するゲートパルスがアクティブから非アクティブに変化する (トランジスタが OFF する) タイミングにおいて、ある画素の位置における合成された容量信号の電位が、第1出力波形の電位と同じになるよう、各内側幹配線 Tb1 ~ Td4 に供給される容量信号の電位 (第2出力波形の電位) を決定してもよい。

30

【0046】

なお、第2出力波形の高電位側の電位は、第1出力波形の高電位側の電位より低く、第2出力波形の低電位側の電位は、第1出力波形の低電位側の電位より高くてもよい。

【0047】

〔実施形態 3〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、内側幹配線に供給される容量信号の高電位側の電位および低電位側の電位が、それぞれ段階的または連続的に変化する。

40

【0048】

外側幹配線 TL1 ~ TL4、TR1 ~ TR4 を駆動するソース駆動回路 7a、7e には、複数 (2つ) の基準電位が供給される。内側幹配線 Tb1 ~ Td4 を駆動するソース駆動回路 7b ~ 7d には、別の複数 (4つ以上) の基準電位が供給される。各ソース駆動回路 7a ~ 7e は、供給された複数の基準電位と CS タイミング信号とに基づいて、容量信

50

号を生成する。

【0049】

図8は、第1出力波形、第1伝搬波形、第2出力波形、および合成波形とを模式的に示す図である。図8において、横軸は時間、縦軸は電位を表す。縦軸の値は、第1出力波形の最小値を0、最大値を1として正規化されている。

【0050】

本実施形態では、ソース駆動回路7b~7dから内側幹配線Tb1~Td4に供給される容量信号の電位(第2出力波形の電位)は、高電位である第1期間t0~t2の間において変化する。同様に、第2出力波形の電位は、低電位である第2期間t2~t4の間において変化する。図8では、第2出力波形の電位は、第1期間t0~t2において、時間と共に連続的に下降し、第2期間t2~t4において、時間と共に連続的に上昇している。現実的には、この電位の下降および上昇は、複数の基準電位を用いて、段階的に変化する電位で実現される。

10

【0051】

図9は、図8に示す第2出力波形の変化を段階的な変化にしたものである。第2出力波形は、1周期(4水平期間)において4ステップで変化する。期間t0~t1において、第2出力波形の電位はV1であり、期間t1~t2において、第2出力波形の電位はV2であり、期間t2~t3において、第2出力波形の電位はV3であり、期間t3~t4において、第2出力波形の電位はV4である。V1>V2>V4>V3である。ここでは、電位V2は、第1出力波形の高電位側の電位より高く、電位V4は、第1出力波形の低電位側の電位より低い、これに限らない。電位V2は、第1出力波形の高電位側の電位と同じでもよいし、低くてもよい。電位V4は、第1出力波形の低電位側の電位と同じでもよいし、高くてもよい。

20

【0052】

ソース駆動回路7b~7dは、第2出力波形を、1周期の間に4より大きいステップ数で変化させてもよい。ステップ数が多ければ、第2出力波形は、図8に示す連続的な変化をする波形に近づく。なお、第1期間および第2期間のいずれか一方においてのみ、第2出力波形の電位を変化させてもよい。

【0053】

このように、第1期間または第2期間において第2出力波形の電位を変化させることにより、合成波形をより第1出力波形に近づけることができる。これにより、容量信号による影響を均一にし、液晶表示装置1の視野角特性を均一にすることができる。

30

【0054】

なお、容量信号を多段階に変化させる場合、電位を変化させるタイミングを決めるための新たなタイミング信号が必要になる場合がある。その場合、表示制御回路9は、内側幹配線Tb1~Td4を駆動するソース駆動回路7b~7dに、追加のCSタイミング信号を供給してもよい。

【0055】

〔実施形態4〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、供給される容量信号の位相が外側幹配線と内側幹配線とで異なる。

40

【0056】

表示制御回路9は、外側幹配線TL1~TR4を駆動するソース駆動回路7a、7eに、CSタイミング信号を供給する。表示制御回路9は、内側幹配線Tb1~Td4を駆動するソース駆動回路7b~7dに、別のCSタイミング信号を供給する。該別のCSタイミング信号は、第2出力波形の電位変化のタイミングを決める。外側幹配線TL1~TL4、TR1~TR4を駆動するソース駆動回路7a、7eには、複数(2つ)の基準電位が供給される。内側幹配線Tb1~Td4を駆動するソース駆動回路7b~7dには、別

50

の複数（４つ以上）の基準電位が供給される。各ソース駆動回路 7 a ~ 7 e は、供給された複数の基準電位と CS タイミング信号とに基づいて、容量信号を生成する。

【 0 0 5 7 】

図 1 0 は、第 1 出力波形、第 1 伝搬波形、第 2 出力波形、および合成波形とを模式的に示す図である。図 1 0 において、横軸は時間、縦軸は電位を表す。縦軸の値は、第 1 出力波形の最小値を 0、最大値を 1 として正規化されている。

【 0 0 5 8 】

本実施形態の第 2 出力波形の波形自体は、実施形態 3 で説明したものと同一であってよい。第 2 出力波形は、高電位の期間または低電位の期間において、段階的または連続的に変化する。

10

【 0 0 5 9 】

本実施形態では、第 2 出力波形の位相が、第 1 出力波形の位相より進んでいる。位相の進みは 未満、好ましくは $\pi/2$ 未満である。なお、低電位から高電位に変化する時点を位相の基準としている。第 2 出力波形において低電位から高電位に変化する時間 t_0' は、第 1 出力波形において低電位から高電位に変化する時間 t_0 より進んでいる。すなわち、同じ時点での位相は、第 2 出力波形の方が第 1 出力波形より進んでいる。

【 0 0 6 0 】

合成された合成波形は、その位相が第 1 出力波形の位相より進み得るが、その波形自体は、第 1 出力波形に近いものとなる。なお、例えば、内側幹配線に供給された容量信号も、該内側幹配線から離れた画素の位置では、位相が遅れ、振幅が減衰する。第 2 出力波形の位相を第 1 出力波形の位相より進ませることにより、外側幹配線および内側幹配線の両方から離れた（中間の）画素を含めて、液晶パネル 3 全体の容量信号による影響を均一にすることができる。それゆえ、液晶パネル 3 の視野角特性をより均一にすることができる。

20

【 0 0 6 1 】

なお、第 1 出力波形の位相が第 2 出力波形の位相とが互いに異なってもよく、第 1 出力波形の位相が第 2 出力波形の位相より進んでいてもよい。ここでは、位相および振幅が異なる例を説明したが、第 1 出力波形と第 2 出力波形とで、位相のみが異なってもよい。

【 0 0 6 2 】

30

〔実施形態 5〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、内側幹配線の数および配置が、上述の実施形態と異なる。なお、本実施形態の構成は、上述の各実施形態（容量信号の各形態）に適用可能である。

【 0 0 6 3 】

上述の実施形態では、基本となる容量信号が 4 種類（すなわち片側の外側幹配線の数が 4 本）である場合について説明した。しかしこれに限らず、容量信号は少なくとも 2 種類（2 相）あればよい。例えば、容量信号は、6 種類であっても、12 種類であっても、24 種類であってもよく、その他の数であってもよい。

40

【 0 0 6 4 】

複数の容量信号は、波形自体は同じで、その位相が異なる。外側幹配線とそれに対応する内側幹配線とには、それぞれ、図 5 から図 1 0 に例示したような第 1 出力波形の容量信号と第 2 出力波形の容量信号とが供給される。各内側幹配線には、各外側幹配線と同様に、互いに位相がずれた第 2 出力波形の容量信号が供給される。

【 0 0 6 5 】

N 種類の容量信号が用いられる場合、液晶パネルには、N 種類の容量信号に対応して互いに異なる容量配線に接続される N 本の内側幹配線が 1 組以上設けられる。N 本の内側幹配線の組の数は任意である。各容量配線に対して、例えば、3 から 15 本の内側幹配線が、水平方向において均等に接続されてもよい。内側幹配線の組の数が多ければ、容量信号

50

の遅延および減衰が小さくなる。そのため、内側幹配線と外側幹配線とに同じ容量信号を供給した場合でも、合成波形が第1出力波形に近いものとなる。

【0066】

図11は、変形例における液晶表示装置11の構成を示す模式図である。このように、液晶パネル3は、4種類の容量信号に対応する4本の内側幹配線 $Tc1 \sim Tc4$ の組を1つだけ備えてもよい。

【0067】

また、複数の内側幹配線は、液晶パネルの表示領域において、適度に分散されてまたは均等に分散されて配置されることが好ましい。なお、内側幹配線の複数の組を、適度に分散してまたは均等に分散して配置してもよい。複数の内側幹配線の分布が不均一であると、表示領域において画素の開口率が不均一になるためである。また、内側幹配線の分布密度を低くした方が、液晶パネルの製造工程においても、不良品の数を減らすことができる。

10

【0068】

〔実施形態6〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、ダミー幹配線を設ける点が、上述の実施形態と異なる。なお、本実施形態の構成は、上述の各実施形態に適用可能である。

【0069】

図12は、本実施形態に係る液晶パネルの一部の構成を模式的に示す図である。図12では、内側幹配線 $Tb1$ の付近の画素が示されている。図示はしないが、液晶パネルは、実施形態1と同様に、外側幹配線 $TL1 \sim TR4$ 、および、他の内側幹配線 $Tb3$ 、 $Tb4$ 、 $Tc1 \sim Td4$ を備える。複数の外側幹配線および複数の内側幹配線と、複数の容量配線との接続関係は、実施形態1と同様であるとする。各画素 PXj は、サブ画素 $SP1$ およびサブ画素 $SP2$ を含む。サブ画素 $SP1$ およびサブ画素 $SP2$ の詳細な構成は省略する。図12に示す (R) は、画素列の画素が表示する色成分(赤)を示す。例えば、データ信号線 DLm は、 R の画素列の画素に接続されている。 (G) (B) についても同様に色成分(緑)(青)を示す。1つの画素は、典型的には RGB のいずれか1つの色成分を表現し、1つの絵素は、 RGB に対応する3つの画素を含む。

20

30

【0070】

複数の内側幹配線 $Tb1$ 、 $Tb2$ は、特定の色成分(ここでは R)の画素に接続されたデータ信号線 $DLm+3$ 、 $DLm+6$ に平面視において重なるように、設けられる。なお、内側幹配線 $Tb1$ 、 $Tb2$ とデータ信号線 $DLm+3$ 、 $DLm+6$ とは重なっていてもよく、平面視において隣接していてもよい。内側幹配線の抵抗を小さくするため(容量信号の遅延・減衰を抑制するため)には、内側幹配線を金属で太く形成することになる。それゆえ、内側幹配線に隣接する画素列は、表示のための開口面積を狭められる(制限される)可能性がある。そのため、特に同じ色成分の画素列について、内側幹配線が配置される(隣接する)列と配置されない列とがあると、表示特性が不均一になる可能性がある。

40

【0071】

本実施形態では、表示領域の中の特定の色成分の複数の画素列のうち、一部の複数の画素列には複数の内側幹配線が配置され、内側幹配線が配置されない他の複数の画素列には、複数のダミー幹配線が配置される。例えば、ダミー幹配線 DT は、 R の画素列に隣接するように、該画素列に接続されたデータ信号線 DLm に平面視において重なるように設けられる。ダミー幹配線 DT は、内側幹配線 $Tb1$ 、 $Tb2$ と同じ形状であることが好ましい。ダミー幹配線 DT は、内側幹配線 $Tb1$ 、 $Tb2$ と異なり、容量を介して画素電圧を変化させるいずれの容量配線にも接続されていない。ダミー幹配線 DT は、データドライバに接続されず、ダミー幹配線 DT には容量信号は供給されない。なお、データドライバからダミー幹配線 DT に1垂直期間において一定である電位が供給されていてもよい。こ

50

れによって、ダミー幹配線DTが浮き容量となること、および、周囲の電場状況によってダミー幹配線DTの電位が変動することにより周囲の画素の電場が乱されることを防止することができる。

【0072】

なお、ダミー幹配線DTをデータドライバ7に接続し、データドライバ7は、内側幹配線に供給されるのと同じ容量信号をダミー幹配線DTに供給してもよい。ただし、ダミー幹配線DTは、いずれの容量配線にも接続されていない。配線同士が重なると、その間にいくらかの容量が形成される。これにより、内側幹配線Tb1、Tb2に重なるデータ信号線DLm+3、DLm+6に対する容量信号の影響と、ダミー幹配線DTに重なるデータ信号線DLmに対する容量信号の影響とを同じにすることができる。それゆえ、内側幹配線が存在する箇所の表示特性と、ダミー幹配線が存在する箇所の表示特性とを均一にすることができる。

10

【0073】

このように、内側幹配線とダミー幹配線とを設けることにより、表示領域の表示特性を均一にすることができる。液晶パネルの表示領域の中に均等に幹配線を設け、複数の幹配線のうち容量信号(第2出力波形)を供給するのに必要な数の幹配線をデータドライバに接続すればよい。なお、特定の色成分(R)に加えて、他の色成分(G、B)の画素列にも、内側幹配線およびダミー幹配線を設けてもよい。

【0074】

〔実施形態7〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、ダブルソース駆動の液晶表示装置について説明する。

20

【0075】

図13は、本実施形態の液晶パネルの一部の構成を示す回路図である。図13では、内側幹配線Tc1の付近の画素が示されている。本実施形態では、各画素列に対して、対応する2つのデータ信号線が設けられている。画素PXjは、左側に隣接するデータ信号線DLmに接続され、その下の画素PXj+1は、右側に隣接するデータ信号線DL'mに接続される。データ信号線DLmが供給するデータ信号の極性とデータ信号線DL'mが供給するデータ信号の極性とは、互いに異なる。なお、液晶パネルには、表示領域より一方側に6つの外側幹配線が設けられ、表示領域より他方側に6つの外側幹配線が設けられる。また、表示領域の中に6つの内側幹配線からなる組が、M組(M>1)以上設けられる。各容量配線は、対応する2つの外側幹配線と、対応するM個の内側幹配線とに接続される。なお、外側幹配線と該外側幹配線に対応する内側幹配線とは、容量配線を介して互いに接続される。

30

【0076】

本実施形態では、2つの走査信号線GLj、GLj+1のゲートパルスが同時にアクティブになり、2つの行の画素PXj、PXj+1に同時にデータ信号が書き込まれる。

【0077】

図14は、本実施形態の液晶表示装置の駆動例を示すタイミングチャートである。図14には、時間(横軸)に対する、容量配線CL1~CL28にそれぞれ供給される容量信号CS1~CS28と、走査信号線GL1~GL28にそれぞれ供給されるゲートパルスG1~G28とが示されている。図14では、各ゲートパルスは、立ち上がっている一部の期間のみを示している。1Hは1水平期間を示す。

40

【0078】

本実施形態では、隣接する2本の走査信号線を同時選択してゆき、隣接する2つの画素行の各画素に同時にデータを書き込む。例えば、走査信号線GL1に繋がる画素行と、走査信号線GL2に繋がる画素行とに対して、データ信号が同時に書き込まれる。走査信号線GL1、GL2の次は、走査信号線GL3、GL4が同時選択される。このように、走査方向(列方向)に並ぶ順に、2本ずつ走査信号線が同時選択され、1垂直期間の書き込

50

みが行われる。

【0079】

容量信号の種類は6種類である。図14に丸囲み数字で容量信号の種類を示す。各容量配線には、複数の水平期間毎に、基準となる電位に対する極性が反転する容量信号が供給される。これにより、各容量配線の電位は、一定の周期で反転する。ここで、容量配線CL1と、容量配線CL2とに供給される容量信号は、位相が反転しており、常に逆極性の電位になる。各容量配線の電位は、6水平期間毎に反転し、4つの容量配線毎に、電位が変化するタイミングが2水平期間ずれる。そのため、容量信号のタイミング(位相)の種類は6種類(6相)となる。

【0080】

図14の容量信号の波形は、外側幹配線に供給される容量信号の波形(第1出力波形)を表す。図5に示す例のように、外側幹配線に対応する内側幹配線にも、同じ波形の容量信号を供給してもよい。または、図6~図10に示す例のように、外側幹配線に供給する容量信号とは位相または振幅が異なる容量信号を、対応する内側幹配線に供給してもよい。すなわち、図5~図10に示す、外側幹配線に供給される容量信号と対応する内側幹配線に供給される容量信号との変形例は、基本となる外側幹配線に供給される容量信号の周期、振幅、種類の数、およびタイミングが変化しても、適用可能である。

【0081】

〔実施形態8〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、4種類の色成分RGBY(赤緑青黄)の画素を含む液晶表示装置について説明する。

【0082】

図15は、本実施形態の液晶表示装置における液晶パネル12の画素の配置を模式的に示す平面図である。液晶パネル12は、表示領域に複数の絵素PELを含む。各絵素PELは、行方向に並ぶR・G・B・Y(赤緑青黄)の4つの画素PXを含む。ここでは、絵素PELの中で、左からR・G・B・Yの順に画素PXが配列している。各画素PXは、上側に配置されたサブ画素SP1と下側に配置されたサブ画素SP2とを含む。上述の実施形態と同様に、1つの画素PXの2つのサブ画素SP1、SP2は、1つのデータ信号線および1つの走査信号線に接続されている。縦方向に隣接する画素PXの間に、容量配線が配置されている。

【0083】

図15には、あるフィールドにおいて画素に書き込まれるデータ信号の極性が、一部の画素について示されている。1つの絵素PELにおいて、RBYの画素PXではデータ信号の極性が互いに同じであり、Gの画素PXではデータ信号の極性がRBYとは逆である。また、列方向または行方向に隣接する絵素PEL同士では、各画素のデータ信号の極性は逆になっている。図15において、白のサブ画素はあるフィールドにおける明サブ画素を示し、ハッチングが付されたサブ画素は該フィールドにおける暗サブ画素を示す。

【0084】

本実施形態の液晶表示装置では、1つの画像を示す表示データ(1フレームの表示データ)は、2つのフィールドに分けて表示される。例えば表示データのフレームレートが60fpsである場合、1フィールドは、1/120秒である。

【0085】

図16は、連続する4つのフィールドにおけるある絵素PELの表示状態を示す図である。図16の(a)は、第1フィールドにおける、絵素PELの表示状態と走査信号GS_jおよび容量信号CS_j、CS_{j+1}とを示す。図16の(b)は、第2フィールドにおける、絵素PELの表示状態と走査信号GS_jおよび容量信号CS_j、CS_{j+1}とを示す。図16の(c)は、第3フィールドにおける、絵素PELの表示状態と走査信号GS_jおよび容量信号CS_j、CS_{j+1}とを示す。図16の(d)は、第4フィールドにお

10

20

30

40

50

ける、絵素 P E L の表示状態と走査信号 G S j および容量信号 C S j 、 C S j + 1 とを示す。

【 0 0 8 6 】

第 1 フィールドでは、 R B Y の画素に正極性のデータ信号が書き込まれ、 G の画素に負極性のデータ信号が書き込まれる。第 1 フィールドでは、走査信号 G S j が L o w (ゲートパルスが非アクティブ) になった後、容量配線 C L j の容量信号 C S j が上昇し、容量配線 C L j + 1 の容量信号 C S j + 1 が下降する。そのため、正極性のデータ信号が書き込まれたサブ画素 S P 1 の画素電圧は大きくなり、該サブ画素 S P 1 は明サブ画素になる。一方、負極性のデータ信号が書き込まれたサブ画素 S P 1 の画素電圧は小さくなり、該サブ画素 S P 1 は暗サブ画素になる。また、正極性のデータ信号が書き込まれたサブ画素 S P 2 の画素電圧は小さくなり、該サブ画素 S P 2 は暗サブ画素になる。一方、負極性のデータ信号が書き込まれたサブ画素 S P 2 の画素電圧は大きくなり、該サブ画素 S P 2 は明サブ画素になる。

10

【 0 0 8 7 】

第 2 フィールドでは、 R B Y の画素に正極性のデータ信号が書き込まれ、 G の画素に負極性のデータ信号が書き込まれる。第 2 フィールドでは、走査信号と容量信号との関係が第 1 フィールドとは異なる。第 2 フィールドでは、走査信号 G S j が L o w になった後、容量配線 C L j の容量信号 C S j が下降し、容量配線 C L j + 1 の容量信号 C S j + 1 が上昇する。そのため、明サブ画素と暗サブ画素との関係が、第 1 フィールドと第 2 フィールドとでは反転する。

20

【 0 0 8 8 】

第 3 フィールドでは、 R B Y の画素に負極性のデータ信号が書き込まれ、 G の画素に正極性のデータ信号が書き込まれる。第 3 フィールドでは、走査信号と容量信号との関係が第 2 フィールドと同じである。第 3 フィールドでは、走査信号 G S j が L o w になった後、容量配線 C L j の容量信号 C S j が下降し、容量配線 C L j + 1 の容量信号 C S j + 1 が上昇する。そのため、明サブ画素と暗サブ画素との関係は、第 1 フィールドと第 3 フィールドとで同じになる。

【 0 0 8 9 】

第 4 フィールドでは、 R B Y の画素に負極性のデータ信号が書き込まれ、 G の画素に正極性のデータ信号が書き込まれる。第 4 フィールドでは、走査信号と容量信号との関係が第 1 フィールドと同じである。第 4 フィールドでは、走査信号 G S j が L o w になった後、容量配線 C L j の容量信号 C S j が上昇し、容量配線 C L j + 1 の容量信号 C S j + 1 が下降する。そのため、明サブ画素と暗サブ画素との関係は、第 1 フィールドと第 4 フィールドとでは反転する。

30

【 0 0 9 0 】

ここで、第 1 フィールドと第 2 フィールドとで、 R の画素 P X に異なる階調のデータ信号を供給することができる。また、容量信号 C S j 、 C S j + 1 の振幅を大きくすることにより、暗サブ画素をデータ信号によらず常に黒表示 (例えば最大輝度の 5 % 以下) にすることができる。このようにすれば、第 1 フィールドと第 2 フィールドとで異なる画像を表示することができる。すなわち、各画素 P X において、サブ画素 S P 1 とサブ画素 S P 2 とで異なる階調を表示することができる。すなわち、インタレースのように、第 1 フィールドと第 2 フィールドとにおいて、縦方向において液晶パネル 1 2 の解像度の 2 倍の解像度で画像を表示することができる。例えば、液晶パネル 1 2 における縦方向の解像度 (縦方向の絵素数) が 1 0 8 0 である場合、縦方向の解像度が 2 1 6 0 の画像を表示することができる。第 3 フィールドと第 4 フィールドについても同様である。

40

【 0 0 9 1 】

液晶パネル 1 2 では、複数の画素 P X のそれぞれにおいて、4 種類のサブ画素のうちの最も輝度の高い色を表示するサブ画素 (便宜的に「第 1 サブ画素」と呼ぶ) と 2 番目に輝度の高い色を表示するサブ画素 (便宜的に「第 2 サブ画素」と呼ぶ) とが互いに隣接しないように (つまり少なくとも 1 つのサブ画素を挟むように) 配置されている。ここでは、

50

第1サブ画素がGのサブ画素であり、第2サブ画素がYのサブ画素である。図15に示した例では、各絵素PEL内で、4種類のサブ画素は、左側から右側に向かってRサブ画素、Gサブ画素、Bサブ画素、Yサブ画素の順に配置されており、Gサブ画素と、Yサブ画素とは隣接していない。1つの絵素PELにおいて、RGBのサブ画素を無彩色の輝度（白～黒）を表す1つの表示単位とし、BYのサブ画素を無彩色の輝度（白～黒）を表す別の1つの表示単位として扱うことができる。

【0092】

本実施形態の液晶表示装置では、横方向における入力画像データの解像度が液晶パネル12の解像度よりも高い場合（つまり入力画像データの絵素数が液晶パネル12の絵素数よりも多い場合）には、上記2つの表示単位のそれぞれを仮想的な絵素として表示を行うことができる。そのため、横方向について、視覚的な解像度を向上させることができる。また、液晶パネル12では、最も輝度の高い色を表示する（つまり最高階調における輝度が最も高い）第1サブ画素と2番目に輝度の高い色を表示する（つまり最高階調における輝度が2番目に高い）第2サブ画素とが絵素PEL内で隣接しないように配置されている。そのため、第1サブ画素と第2サブ画素とが隣接するように配置されている場合に比べて輝度分布の空間周波数を高くすることができ、隣接する2つの仮想絵素が融合されて視認されることを防止することができる。

10

【0093】

液晶パネル12は、上述の実施形態と同様に、N種類の外側幹配線に対応するN種類の内側幹配線の組を1つ以上備える。そして、本実施形態の液晶表示装置においても、上述の実施形態と同様に、外側幹配線および内側幹配線に、それぞれ容量信号が供給される。なお、図16の容量信号の波形は、外側幹配線に供給される容量信号の波形（第1出力波形）を表す。図5に示す例のように、外側幹配線に対応する内側幹配線にも、同じ波形の容量信号を供給してもよい。または、図6～図10に示す例のように、外側幹配線に供給する容量信号とは位相または振幅が異なる容量信号を、対応する内側幹配線に供給してもよい。すなわち、図5～図10に示す、外側幹配線に供給される容量信号と対応する内側幹配線に供給される容量信号との変形例は、基本となる外側幹配線に供給される容量信号の周期、振幅、種類の数、およびタイミングが変化しても、適用可能である。

20

【0094】

本実施形態では、上述した輝度変化および輝度差の変化に加えて、液晶の応答時間を安定化させる効果がある。すなわち、本実施形態では、静止画映像信号が入力される場合であってもフィールド毎に各サブ画素の輝度が変動するが、容量信号の波形が位置によって異なると、各フィールドの最終液晶配向状態が同一階調信号に対して複数の状態を取り得る。液晶は弾性体として連続応答するため、最終液晶配向状態は、データ信号印加前の液晶の状態が次の状態になるまでの時間に影響を与える。本実施形態は、この状態を安定化させより適切な動画表示を実現することができる。これは、従来のムラ補正では不可能であり、適切なオーバードライブ駆動を実現するためにも重要な要素となる。

30

【0095】

〔まとめ〕

本発明の態様1に係る液晶表示パネルは、表示領域を形成する複数の画素（PX）と、上記複数の画素にデータ信号を供給する複数のデータ信号線（DL）と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線（GL）とを備える液晶表示パネル（液晶パネル3、12）であって、上記複数の画素のそれぞれは、データ信号が書き込まれる第1画素電極（PE1）を有し、上記第1画素電極との間で容量（補助容量C1）を形成する第1容量配線（CLj）と、上記表示領域の中に設けられ、上記第1容量配線に接続される第1内側幹配線（Tb1、Tc1、Td1）とを備える構成である。

40

【0096】

上記の構成によれば、表示領域の中に設けられた第1内側幹配線から、第1容量配線に電位（容量信号）が供給される。容量信号は、1垂直期間において電位が変化する信号である。そのため、表示領域の外に幹配線が設けられる場合よりも、画素の位置に伝搬され

50

た容量信号の位相の遅延または振幅の減衰を抑制することができる。また、表示領域の外に外側幹配線を設けた場合に外側幹配線からの容量信号の位相の遅延または振幅の減衰が生じたとしても、第1内側幹配線からの容量信号で補うことができる。それゆえ、液晶表示パネルでは、表示領域の端から遠く離れた位置の画素に対する容量信号の影響を、適切なものとすることができる。よって、液晶表示装置の視野角特性をより均一にすることができる。

【0097】

本発明の態様2に係る液晶表示パネルは、上記の態様1において、上記複数の画素のそれぞれは、データ信号が書き込まれる第2画素電極(PE2)を有し、上記第2画素電極との間で容量(補助容量C2)を形成する第2容量配線(CLj+1)と、上記表示領域の中に設けられ、上記第2容量配線に接続される第2内側幹配線(Tb2、Tc2、Td2)とを備える構成としてもよい。

10

【0098】

本発明の態様3に係る液晶表示パネルは、上記の態様1または2において、上記表示領域の中に設けられ、上記第1容量配線に接続される上記第1内側幹配線を3つ以上備え、上記3つ以上の上記第1内側幹配線は、上記表示領域において均等に配置されている構成としてもよい。

【0099】

上記の構成によれば、第1内側幹配線の分布による表示への影響を均一にすることができる。

20

【0100】

本発明の態様4に係る液晶表示パネルは、上記の態様1から3のいずれかにおいて、上記第1内側幹配線は、特定の色成分を表示する画素列の一方側に隣接するように配置され、上記第2内側幹配線は、上記特定の色成分を表示する別の画素列の上記一方側に隣接するように配置される構成としてもよい。また、上記特定の色成分は、赤色または青色である構成としてもよい。

【0101】

緑色の画素に比べて、赤色または青色の画素の開口面積は大きい場合がある。上記の構成によれば、第1内側幹配線による開口面積の減少による表示への影響を小さくすることができる。

30

【0102】

本発明の態様5に係る液晶表示パネルは、上記の態様1から4のいずれかにおいて、上記第1内側幹配線は、ある画素列に隣接するように配置され、他の画素列に隣接するように配置されるダミー幹配線(DT)を備え、上記ダミー幹配線は、上記表示領域の中に設けられており、容量を介して画素の電位を変化させるいずれの容量配線にも接続されていない構成としてもよい。

【0103】

上記の構成によれば、第1内側幹配線に加えてダミー幹配線を配置することによって、表示領域における画素の開口面積に与える影響を均一にすることができる。

【0104】

本発明の態様6に係る液晶表示パネルは、上記の態様1から5のいずれかにおいて、上記表示領域(DA)の外に設けられ、上記第1容量配線に接続される外側幹配線(TL1、TR1)を備え、上記外側幹配線に供給される第1容量信号の位相および電位と、上記第1内側幹配線に供給される第2容量信号の位相および電位とは互いに同じである構成としてもよい。

40

【0105】

上記の構成によれば、外側幹配線からの容量信号の位相の遅延または振幅の減衰を、第1内側幹配線からの容量信号で補うことができる。

【0106】

本発明の態様7に係る液晶表示パネルは、上記の態様1から5のいずれかにおいて、上

50

記表示領域（DA）の外に設けられ、上記第1容量配線に接続される外側幹配線（TL1、TR1）を備え、上記外側幹配線に供給される第1容量信号の位相と、上記第1内側幹配線に供給される第2容量信号の位相とは互いに同じであり、上記第1容量信号の電位と、上記第2容量信号の電位とは互いに異なる構成としてもよい。

【0107】

上記の構成によれば、外側幹配線からの容量信号の振幅の減衰を、第1内側幹配線からの容量信号でより適切に補うことができる。

【0108】

本発明の態様8に係る液晶表示パネルは、上記の態様1から5のいずれかにおいて、上記表示領域（DA）の外に設けられ、上記第1容量配線に接続される外側幹配線（TL1、TR1）を備え、上記外側幹配線に供給される第1容量信号の位相と、上記第1内側幹配線に供給される第2容量信号の位相とは互いに異なる構成としてもよい。

10

【0109】

上記の構成によれば、外側幹配線からの容量信号の位相の遅延を、第1内側幹配線からの容量信号でより適切に補うことができる。

【0110】

本発明の態様9に係る液晶表示パネルは、上記の態様7または8において、上記第2容量信号の1周期には、第1期間と第2期間とが含まれ、上記第1期間における上記第2容量信号の電位は、上記第2期間における上記第2容量信号の電位より高く、上記第1期間において、上記第2容量信号の電位は、時間と共に下降し、上記第2期間において、上記第2容量信号の電位は、時間と共に上昇する構成としてもよい。

20

【0111】

本発明の態様10に係る液晶表示パネルは、上記の態様9において、上記第1期間において、上記第2容量信号の電位は、第1電位から第2電位に下降し、上記第2期間において、上記第2容量信号の電位は、第3電位から第4電位に上昇する構成としてもよい。

【0112】

本発明の態様11に係る液晶表示パネルは、上記の態様7から10のいずれかにおいて、上記第2容量信号の最高電位は、上記第1容量信号の最高電位より高く、上記第2容量信号の最低電位は、上記第1容量信号の最低電位より低い構成としてもよい。

【0113】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

30

【符号の説明】

【0114】

- 1、11 液晶表示装置
- 3、12 液晶パネル（液晶表示パネル）
- 6 ゲートドライバ
- 7 データドライバ
- 7a～7e ソース駆動回路
- 9 表示制御回路
- C1、C2 補助容量
- CL 容量配線
- DT ダミー幹配線
- DL データ信号線
- GL 走査信号線
- PE1、PE2 画素電極
- PX 画素

40

50

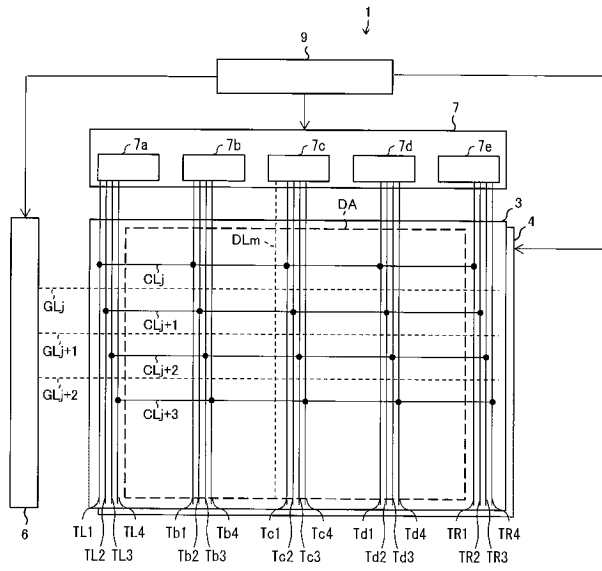
SP1、SP2 サブ画素

Tb1 ~ Tb4、Tc1 ~ Tc4、Td1 ~ Td4 内側幹配線

TL1 ~ TL4、TR1 ~ TR4 外側幹配線

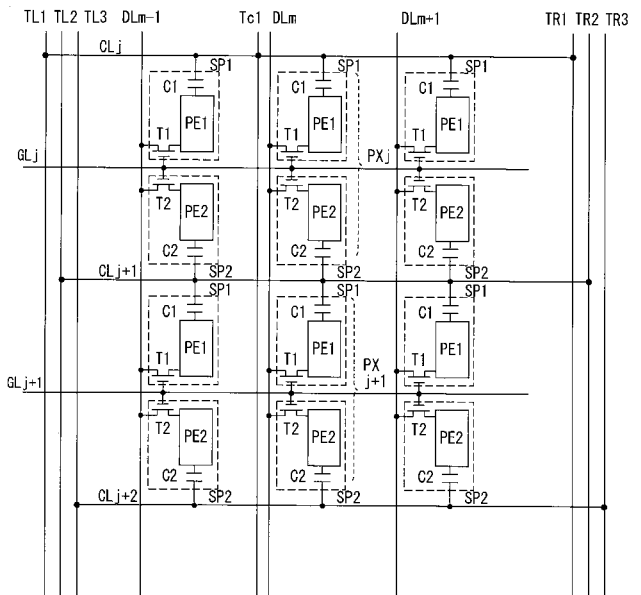
【 図 1 】

図 1



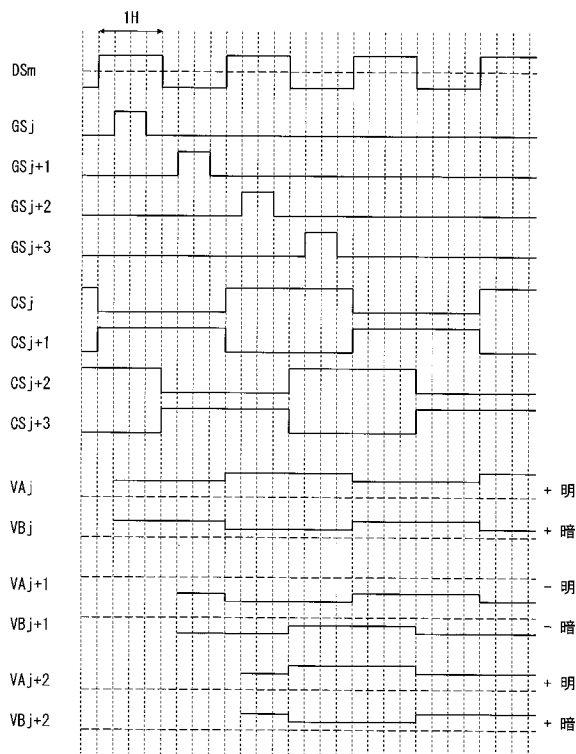
【 図 2 】

図 2



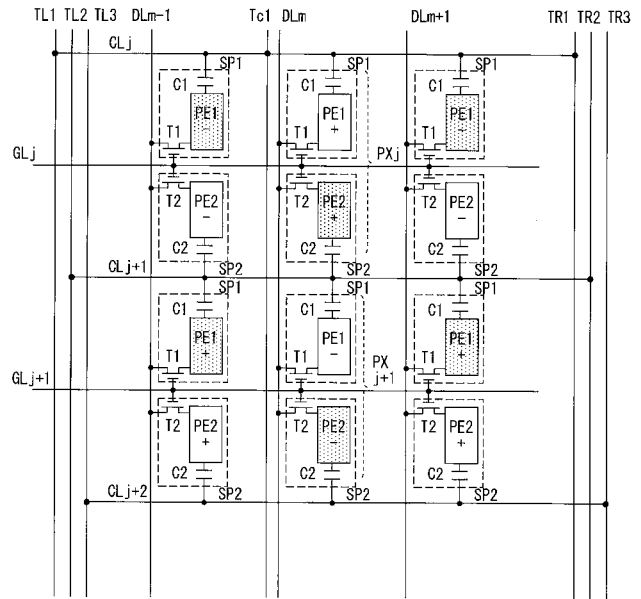
【 图 3 】

图 3



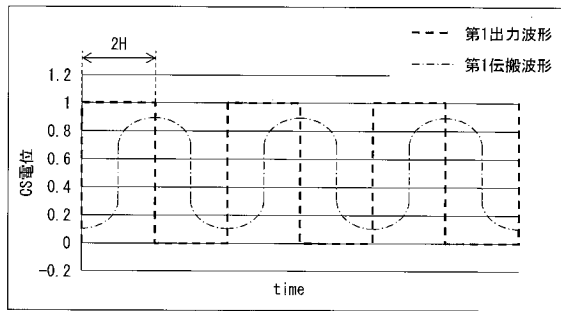
【 图 4 】

图 4



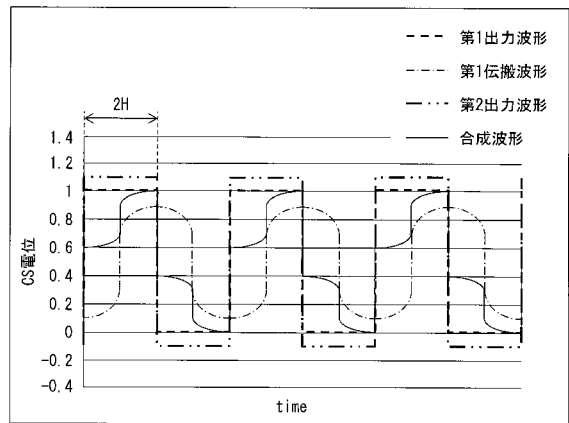
【 图 5 】

图 5



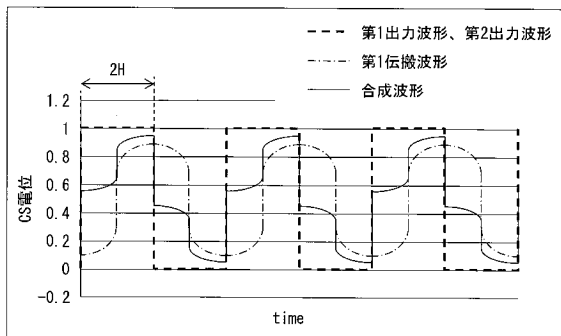
【 图 7 】

图 7



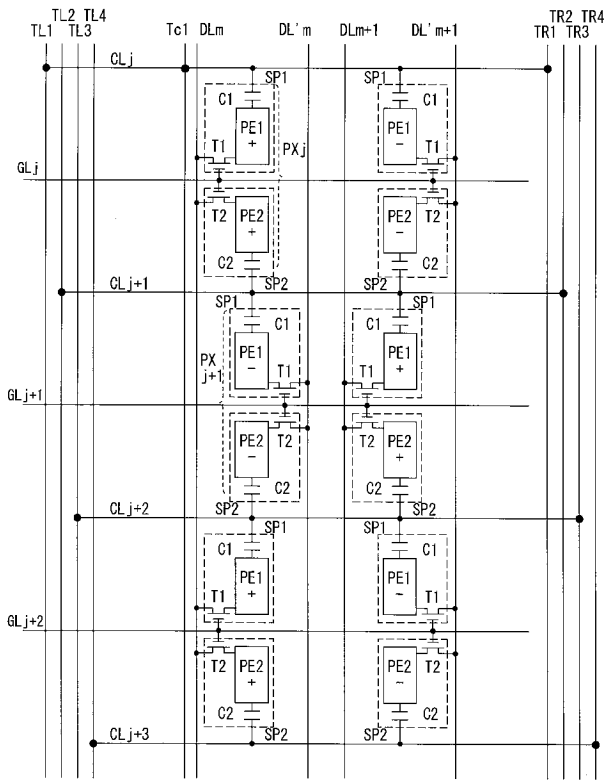
【 图 6 】

图 6



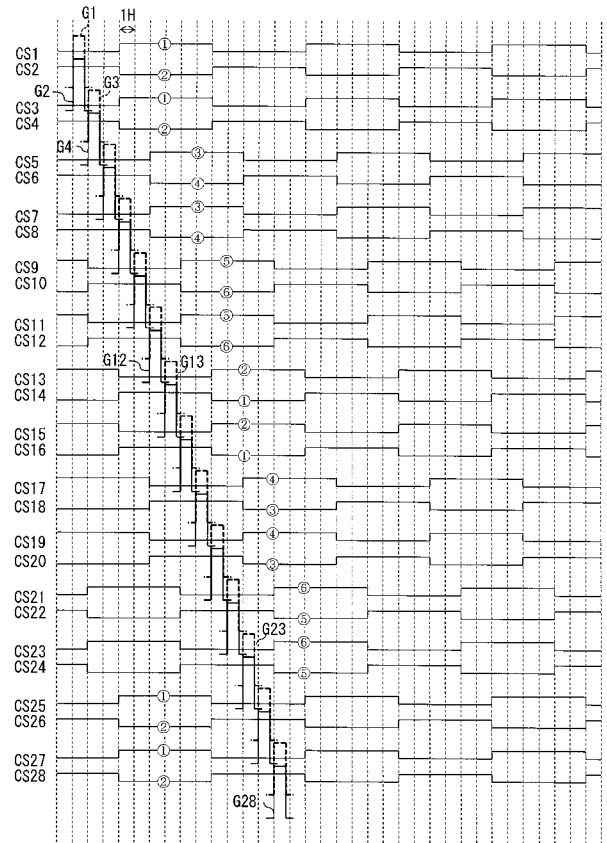
【 図 1 3 】

図 13



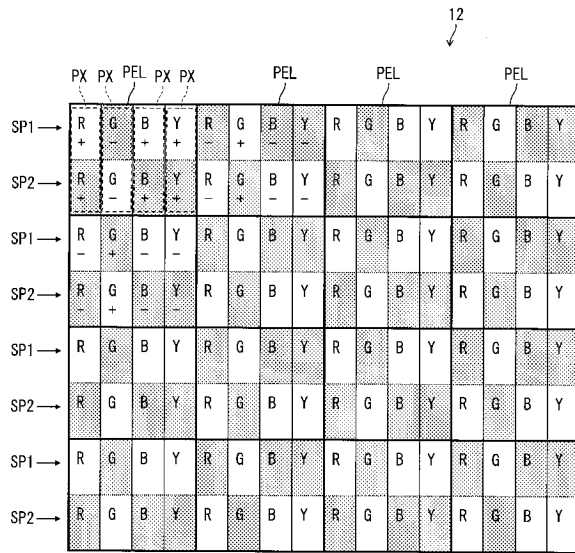
【 図 1 4 】

図 14



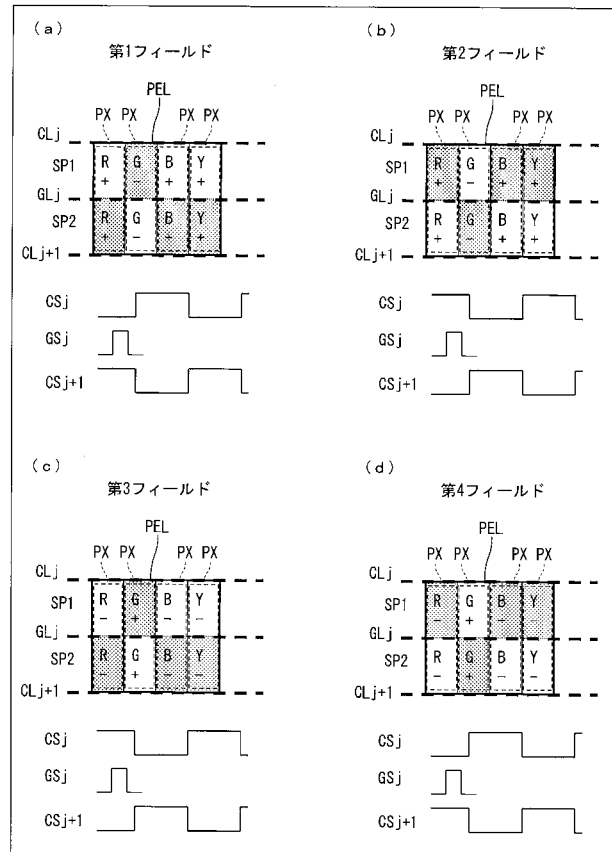
【 図 1 5 】

図 15



【 図 1 6 】

図 16



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 3 3 G
G 0 9 G	3/20	6 8 0 F
G 0 2 F	1/133	5 5 0

Fターム(参考) 5C080 AA10 BB05 CC03 DD01 EE29 EE30 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示面板和液晶显示装置		
公开(公告)号	JP2017142311A	公开(公告)日	2017-08-17
申请号	JP2016022246	申请日	2016-02-08
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	塩見誠		
发明人	塩見 誠		
IPC分类号	G02F1/1368 G09G3/36 G09G3/20 G02F1/133		
FI分类号	G02F1/1368 G09G3/36 G09G3/20.623.B G09G3/20.624.E G09G3/20.611.H G09G3/20.633.G G09G3/20.680.F G02F1/133.550		
F-TERM分类号	2H192/AA24 2H192/BC24 2H192/CC22 2H192/DA15 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZB14 5C006/AA22 5C006/AC11 5C006/AC24 5C006/AC25 5C006/AC26 5C006/AF42 5C006/AF43 5C006/BB16 5C006/BC11 5C006/FA37 5C006/FA55 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现能够使视角特性均匀化的液晶显示装置。液晶显示面板（3）包括具有像素电极并形成显示区域的多个像素，用于向多个像素提供数据信号的多个数据信号线（DL），多条扫描信号线（GL），用于控制一个垂直周期的数据信号的写入，多条扫描信号线改变（CLj）使得在电容器布线和像素电极之间形成电容，在显示区域中提供并连接到电容布线的内部主布线（Tc1），以及配备了。

图 1

