

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2016-114877

(P2016-114877A)

(43) 公開日 平成28年6月23日 (2016. 6. 23)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G09G 3/20 (2006.01)	G09G 3/20 611C	2H193
G02F 1/133 (2006.01)	G09G 3/20 611A	5C006
G02F 1/1368 (2006.01)	G09G 3/20 623A	5C080
	G09G 3/20 623V	
審査請求 未請求 請求項の数 6 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2014-254927 (P2014-254927)
(22) 出願日 平成26年12月17日 (2014. 12. 17)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100088672
弁理士 吉竹 英俊
(74) 代理人 100088845
弁理士 有田 貴弘
(72) 発明者 南 昭宏
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
Fターム (参考) 2H192 AA24 CC24 CC62
2H193 ZA04 ZA08 ZF12 ZF16 ZF32
ZF33 ZF34

最終頁に続く

(54) 【発明の名称】 液晶表示装置および半導体装置

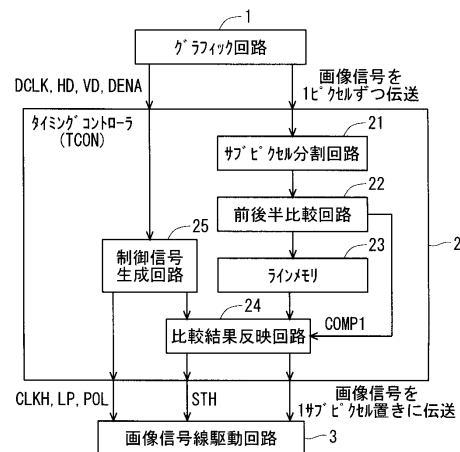
(57) 【要約】

【課題】 画像信号をタイミングコントローラから画像信号線駆動回路に伝送するための伝送線路において、消費電力および電磁波として放射されるノイズの発生を抑制した液晶表示装置を提供する。

【解決手段】 水平方向に配列された複数の画素について、画像信号を少なくとも画素1つ置きで与えて駆動する画像信号線駆動回路と、それを制御するタイミングコントローラとを有した液晶表示装置であって、タイミングコントローラは、画像信号を少なくとも画素1つ置きで与える方式に合わせて、1水平ライン分の画像信号を、画像信号線駆動回路に与える順に分割する分割回路と、前後の関係にある画像信号を比較する比較回路と、比較回路での比較結果を受け、前後の関係にある画像信号が一致する場合は、後の画像信号を画像信号線駆動回路に与えることを停止する比較結果反映回路とを備えている。

。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

マトリクス状に配置された複数の画素と、
前記複数の画素を水平方向および垂直方向にそれぞれ駆動する画像信号線および走査線と、を有したマトリクス表示部と、
前記画像信号線に画像信号を与える画像信号線駆動回路と、
前記走査線に走査信号を与える走査線駆動回路と、
前記画像信号線駆動回路に前記画像信号を与えると共に、前記画像信号線駆動回路を制御するタイミングコントローラと、を有した液晶表示装置であって、
前記画像信号線駆動回路は、
水平方向に配列された前記複数の画素について、前記画像信号を少なくとも画素 1 つ置きで与えて駆動し、
前記タイミングコントローラは、
前記画像信号を少なくとも画素 1 つ置きで与える方式に合わせて、1 水平ライン分の画像信号を、前記画像信号線駆動回路に与える順に分割する分割回路と、
前記分割回路で分割された前記 1 水平ライン分の画像信号を受け、前後の関係にある画像信号を比較する比較回路と、
前記後の画像信号を前記画像信号線駆動回路に与える際に、前記比較回路での比較結果を受け、前記前後の関係にある画像信号が一致する場合は、前記後の画像信号を前記画像信号線駆動回路に与えることを停止する比較結果反映回路と、を備え、
前記画像信号線駆動回路は、先の画像信号を前記マトリクス表示部に出力した後、前記後の画像信号が前記タイミングコントローラから与えられない場合は、先の画像信号を前記後の画像信号の代わりに前記マトリクス表示部に出力する、液晶表示装置。

10

20

【請求項 2】

前記画像信号線駆動回路は、
前記タイミングコントローラから、前記先の画像信号の始まりのタイミングを示すスタートパルスおよび前記後の画像信号の始まりのタイミングを示すスタートパルスを受けることで、前記先の画像信号および前記後の画像信号の取り込みを始め、
前記タイミングコントローラは、
前記前後の関係にある画像信号が一致する場合は、後の画像信号を前記画像信号線駆動回路に与えることを停止すると共に、前記後の画像信号の始まりのタイミングを示す前記スタートパルスを出力せず、前記画像信号線駆動回路は、前記先の画像信号を保持し続ける、請求項 1 記載の液晶表示装置。

30

【請求項 3】

マトリクス状に配置された複数の画素と、
前記複数の画素を水平方向および垂直方向にそれぞれ駆動する画像信号線および走査線と、を有したマトリクス表示部と、
前記画像信号線に画像信号を与える画像信号線駆動回路と、
前記走査線に走査信号を与える走査線駆動回路と、
前記画像信号線駆動回路に前記画像信号を与えると共に、前記画像信号線駆動回路を制御するタイミングコントローラと、を有した液晶表示装置であって、
前記画像信号線駆動回路は、
水平方向に配列された前記複数の画素について、前記画像信号を少なくとも画素 1 つで与えて駆動し、
前記タイミングコントローラは、
前記画像信号を少なくとも画素 1 つ置きで与える方式に合わせて、1 水平ライン分の画像信号を、前記画像信号線駆動回路に与える順に分割する分割回路と、
前記分割回路で分割された前記 1 水平ライン分の画像信号を受け、前後の関係にある画像信号の差分を取った差分データを生成する差分回路と、
前記差分回路から前記差分データを受け、前記差分データの全ビットのうち時間的に隣

40

50

り合うビット間でデータが変化している変化ビットの数をカウントする第 1 のカウンタと、

前記分割回路から後の画像信号を受け、後の画像信号の全ビットのうち時間的に隣り合うビット間でデータが変化している変化ビットの数をカウントする第 2 のカウンタと、

前記第 1 のカウンタでのカウント値と前記第 2 のカウンタでのカウント値を比較する比較回路と、

前記後の画像信号を前記画像信号線駆動回路に与える際に、

前記比較回路での比較結果を受け、前記差分データおよび前記後の画像信号のうち、カウント値の少ない方を選択して前記画像信号線駆動回路に与える比較結果反映回路と、を備える、液晶表示装置。

10

【請求項 4】

前記タイミングコントローラは、

前記差分データおよび前記後の画像信号のうち選択した方を前記画像信号線駆動回路に与える共に、どちらを送ったかを伝える信号種類判別信号を与える、請求項 3 記載の液晶表示装置。

【請求項 5】

請求項 1 記載のタイミングコントローラが実装された半導体装置。

【請求項 6】

請求項 3 記載のタイミングコントローラが実装された半導体装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に、水平方向 1 ラインに対して、画像信号線駆動回路および走査線駆動回路を複数回駆動させる方式の液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置において、画素がマトリクス状に配置されたマトリクス表示部の水平方向に配列された R、G、B の画素について、画像信号を、画素 1 つ置き、もしくはそれ以上の間隔で画素に与えて駆動させるために、水平方向 1 ラインに対して、画像信号線駆動回路および走査線駆動回路を複数回駆動させる表示方式が提案されている。

30

【0003】

この方式のうち、水平方向 1 ラインに対して、画像信号線駆動回路および走査線駆動回路を 2 回駆動させる表示方式は、デュアル (Dual) ゲート方式と呼称されており、例えば特許文献 1 にその一例が開示されている。

【0004】

デュアルゲート方式では、画像信号線 (ソース線) の本数が通常方式の半分で済むため画像信号線駆動回路の出力ノードの本数も半分で済み、液晶表示装置の製造コストを低減する効果が高い。

【先行技術文献】

【特許文献】

40

【0005】

【特許文献 1】特開平 10 - 73843 号公報公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献 1 に開示されるようなデュアルゲート方式の液晶表示装置に限らず、従来の液晶表示装置では、R、G、B の画像信号をタイミングコントローラから画像信号線駆動回路に伝送するための伝送線路においては、画像信号データの伝送量が多いため、消費電力および電磁波として放射されるノイズが多いという問題があった。

【0007】

50

本発明は上記のような問題を解決するためになされたものであり、画像信号をタイミングコントローラから画像信号線駆動回路に伝送するための伝送線路において、消費電力および電磁波として放射されるノイズの発生を抑制した液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明に係る液晶表示装置の態様は、マトリクス状に配置された複数の画素と、前記複数の画素を水平方向および垂直方向にそれぞれ駆動する画像信号線および走査線と、を有したマトリクス表示部と、前記画像信号線に画像信号を与える画像信号線駆動回路と、前記走査線に走査信号を与える走査線駆動回路と、前記画像信号線駆動回路に前記画像信号を与えると共に、前記画像信号線駆動回路を制御するタイミングコントローラと、を有した液晶表示装置であって、前記画像信号線駆動回路は、水平方向に配列された前記複数の画素について、前記画像信号を少なくとも画素1つ置きで与えて駆動し、前記タイミングコントローラは、前記画像信号を少なくとも画素1つ置きで与える方式に合わせて、1水平ライン分の画像信号を、前記画像信号線駆動回路に与える順に分割する分割回路と、前記分割回路で分割された前記1水平ライン分の画像信号を受け、前後の関係にある画像信号を比較する比較回路と、前記後の画像信号を前記画像信号線駆動回路に与える際に、前記比較回路での比較結果を受け、前記前後の関係にある画像信号が一致する場合は、前記後の画像信号を前記画像信号線駆動回路に与えることを停止する比較結果反映回路と、を備え、前記画像信号線駆動回路は、先の画像信号を前記マトリクス表示部に出力した後、前記後の画像信号が前記タイミングコントローラから与えられない場合は、先の画像信号を前記後の画像信号の代わりに前記マトリクス表示部に出力する。

10

20

【発明の効果】

【0009】

本発明に係る液晶表示装置によれば、画像信号線駆動回路に伝送するデータのHigh/Lowの繰り返しを抑制し、消費電力および電磁波として放射されるノイズの発生を抑制することができる。

【図面の簡単な説明】

【0010】

【図1】本発明に係る実施の形態1の液晶表示装置が有するタイミングコントローラの構成を示すブロック図である。

30

【図2】本発明に係る実施の形態1の液晶表示装置が有するタイミングコントローラにおいて、画像信号がタイミングコントローラ内のラインメモリに入力するまでの信号の流れを示すタイミングチャートである。

【図3】比較結果反映回路の動作を示すタイミングチャートである。

【図4】画像信号線駆動回路の構成を示すブロック図である。

【図5】本発明に係る実施の形態1の液晶表示装置が有するタイミングコントローラにおいて、画像信号がタイミングコントローラ内のラインメモリに入力するまでの信号の流れを示すタイミングチャートである。

【図6】比較結果反映回路の動作を示すタイミングチャートである。

40

【図7】本発明に係る実施の形態2の液晶表示装置が有するタイミングコントローラの構成を示すブロック図である。

【図8】本発明に係る実施の形態2の液晶表示装置が有するタイミングコントローラにおいて、画像信号がタイミングコントローラ内のラインメモリに入力するまでの信号の流れを示すタイミングチャートである。

【図9】比較結果反映回路の動作を示すタイミングチャートである。

【図10】本発明に係る実施の形態2の液晶表示装置が有するタイミングコントローラにおいて、画像信号がタイミングコントローラ内のラインメモリに入力するまでの信号の流れを示すタイミングチャートである。

【図11】比較結果反映回路の動作を示すタイミングチャートである。

50

【図 1 2】画像信号線駆動回路が備える入力データレジスタを構成する一般的な単位入力データレジスタを示す論理回路図である。

【図 1 3】本発明に係る実施の形態 2 の液晶表示装置が有する画像信号線駆動回路の入力データレジスタを構成する単位入力データレジスタを示す論理回路図である。

【図 1 4】デュアルゲート方式の液晶表示装置におけるマトリクス表示部の概略構成を示す平面図である。

【図 1 5】タイミングコントローラの構成を示すブロック図である。

【図 1 6】画像信号がタイミングコントローラ内のラインメモリに入力されるまでの信号の流れを示すタイミングチャートである。

【図 1 7】タイミングコントローラから出力される画像信号と制御信号を示すタイミングチャートである。

10

【発明を実施するための形態】

【0011】

<はじめに>

発明の実施の形態の説明に先立ってデュアルゲート方式の液晶表示装置の基本的な動作について図 1 4 ~ 図 1 7 を用いて説明する。

【0012】

図 1 4 は、デュアルゲート方式の液晶表示装置におけるマトリクス表示部の概略構成を示す平面図である。なお、図 1 4 においては、画像信号線（ソース線）および走査線（ゲート線）と画素との接続関係のみを記載し、その他の図示は省略している。また、本願においては、R、G、B の画素の 1 つ 1 つをサブピクセルと呼称し、R、G、B の 3 つのサブピクセルの組み合わせをピクセルと呼称する。

20

【0013】

図 1 4 に示すように、デュアルゲート方式のマトリクス表示部は、マトリクス状に配置された R、G、B のサブピクセル S P のうち、水平方向に配列されたサブピクセル S P においては、一本のゲート線にはサブピクセルが 1 つ置きに接続されている。

【0014】

例えば、ゲート線 G₁ には、水平方向に R、G、B の順で繰り返して配列されたサブピクセル S P が、R、B、G の繰り返しとなるように接続されており、ゲート線 G₂ には、G、R、B の繰り返しとなるように接続され、以下のゲート線で同じ繰り返しとなるように接続されている。

30

【0015】

また、水平方向に配列されたサブピクセル S P のうち、隣り合うサブピクセル S P が一本のソース線に接続されている。

【0016】

例えば、ソース線 S₁ には、R と G のサブピクセル S P が接続され、ソース線 S₂ には、B と R のサブピクセル S P が接続され、ソース線 S₃ には、G と B のサブピクセル S P が接続され、以下のソース線で同じ繰り返しとなるように接続されている。

【0017】

上述したデュアルゲート方式のマトリクス表示部において、サブピクセル S P の配列を垂直方向に駆動する走査信号は走査線駆動回路（図示せず）から走査線に与えられ、サブピクセル S P の配列を水平方向に駆動する画像信号は、画像信号線駆動回路（図示せず）から画像信号線に与えられる。

40

【0018】

ここで、図 1 5 を用いて、画像信号線駆動回路に画像信号を与えると共に、画像信号線駆動回路を制御するタイミングコントローラの構成について説明する。図 1 5 に示すように、画像信号を生成するグラフィック回路 101 から、タイミングコントローラ（TCO）102 に対して R、G、B の画像信号が 1 ピクセルずつ順次に与えられる。

【0019】

タイミングコントローラ 102 では、デュアルゲート方式のマトリクス表示部に対応す

50

るため、水平方向に R、G、B の順に並んだサブピクセルに対して、1 サブピクセル置きとなるように画像信号を並べ変えて画像信号線駆動回路 103 に出力する。

【0020】

このように、タイミングコントローラ 102 では、グラフィック回路 101 から入力される画像信号と、画像信号線駆動回路 103 に出力する画像信号とで画像信号の順序が違うので、内部にラインメモリ 104 を備え、画像信号の並べ変えを行うことで、画像信号線駆動回路 103 の要求するサブピクセルの配列に従った画像信号の伝送を実現する。

【0021】

図 16 には、R、G、B の画像信号をタイミングコントローラ 102 に入力し、タイミングコントローラ 102 内のラインメモリ 104 に入力するまでの信号の流れをタイミングチャートで示している。

10

【0022】

図 16 に示すように、タイミングコントローラ 102 に入力される R、G、B の画像信号は、例えば、R1、G1、B1 のように 1 ピクセル分のサブピクセルの画像信号が同時に入力され、次のタイミングでは R2、G2、B2 のサブピクセルの画像信号が入力される。

【0023】

タイミングコントローラ 102 では、入力された画像信号を 1 サブピクセルごとに分割し、次のピクセルの画像信号が入力されるタイミングでラインメモリ 104 に与える。

【0024】

20

例えば、R1、G1、B1 の画像信号は、R2、G2、B2 の画像信号がタイミングコントローラ 102 に入力されるタイミングで 1 サブピクセルごとに分割され、R2、G2、B2 の画像信号は、R3、G3、B3 の画像信号がタイミングコントローラ 102 に入力されるタイミングで 1 サブピクセルごとに分割される。そして、1 水平ライン分の画像信号のうち、先に駆動するゲート線（他追えばゲート線 G_1 ）に接続されるサブピクセルに与えられる画像信号（1 水平ラインの前半分の画像信号と呼称）と、次に駆動するゲート線（ゲート線 G_2 ）に接続されるサブピクセルに与えられる画像信号（1 水平ラインの後半分の画像信号と呼称）に分けられる。

【0025】

ラインメモリ 104 は、1 水平ラインの前半分の画像信号を格納する前半用メモリと、1 水平ラインの後半分の画像信号を格納する後半用メモリとを有し、それぞれ R、G、B の 3 色分のデータを格納できる構成となっている。

30

【0026】

図 16 に示すように、前半用メモリには、例えば、R1、B1、G2 の画像信号が格納され、後半用メモリには、例えば、G1、R1、B2 の画像信号が格納される。この格納の仕方は、図 14 を用いて説明したように、例えばゲート線 G_1 には、R、B、G の繰り返しとなるようにサブピクセルが接続され、例えばゲート線 G_2 には G、R、B の繰り返しとなるようにサブピクセルが接続されている構成に対応したものである。

【0027】

タイミングコントローラ 102 は、このような格納の仕方では画像信号が格納されたラインメモリ 104 から、画像信号を読み出して画像信号線駆動回路 103 に伝送する。

40

【0028】

図 17 は、タイミングコントローラ 102 から出力される画像信号と、画像信号の水平方向の始まりのタイミングを画像信号線駆動回路 103 に示すスタートパルス（STH）および画像信号を画像信号線駆動回路 103 からマトリクス表示部に出力させるタイミングを示すラッチパルス（LP）を示すタイミングチャートである。

【0029】

図 17 に示すように、画像信号線駆動回路 103 は、最初のスタートパルスの立ち下がりのタイミングで R1、B1、G2 などの 1 水平ラインの前半分の画像信号を取り込み始め、前半分の画像信号を全て取り込むと、ラッチパルスの立ち上がりのタイミングで 1 水

50

平ラインの前半分の画像信号の出力を始める。

【0030】

同様に、画像信号線駆動回路103は、次のスタートパルスの立ち下がりのタイミングでG1、R2、B2などの1水平ラインの後半分の画像信号を取り込み始め、後半分の画像信号を全て取り込むと、ラッチパルスの立ち上がりのタイミングで1水平ラインの後半分の画像信号の出力を始める。

【0031】

<実施の形態1>

以下、図1～図6を用いて、本発明に係る実施の形態1の液晶表示装置について説明する。

10

【0032】

<装置構成>

図1は、実施の形態1の液晶表示装置が有するタイミングコントローラの構成を示すブロック図である。

【0033】

図1に示すように、グラフィック回路1は、タイミングコントローラ(TCON)2に対してR、G、Bの画像信号を1ピクセルずつ順次に伝送すると共に、ドットクロック(DCLK)、水平同期信号(HD)、垂直同期信号(VD)およびデータエナブル信号(DENA)を与える。

20

【0034】

タイミングコントローラ2は、デュアルゲート方式のマトリクス表示部に対応するため、水平方向にR、G、Bの順に並んだサブピクセルに対して、1サブピクセル置きとなるように画像信号を並べ変えて画像信号線駆動回路3に出力すると共に、基準クロック(CLKH)、液晶駆動の極性を反転するための極性反転信号(POL)、ラッチパルス(LP)およびスタートパルス(STH)を出力する。

【0035】

タイミングコントローラ2は、グラフィック回路1から1ピクセルずつ入力された画像信号を1サブピクセルごとに分割する、サブピクセル分割回路21を有し、サブピクセル分割回路21で1サブピクセルごとに分割された画像信号は、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とに分けられる。

30

【0036】

1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号は、両画像信号を比較する前後半比較回路22(比較回路)に与えられる。

【0037】

前後半比較回路22は、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とを比較した後は、両画像信号を順次ラインメモリ23に出力すると共に、比較結果を比較結果報告信号COMP1として、ラインメモリ23の出力を受ける比較結果反映回路24に与える。

【0038】

比較結果反映回路24は、1水平ラインの後半分の画像信号を画像信号線駆動回路3に出力する際に、前後半比較回路22での比較結果が、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号と同じであるとの結果を示す場合は、1水平ラインの後半分の画像信号をすべてLowデータに固定して出力する機能を有している。なお、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とが同じでない場合は、ラインメモリ23から与えられた1水平ラインの後半分の画像信号を、加工せずに画像信号線駆動回路3に出力する。

40

【0039】

また、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とが同じである場合は、画像信号線駆動回路3内に残っている1水平ラインの前半分の画像信号を再利用するので、比較結果反映回路24は、1水平ラインの後半分の画像信号に同期するS

50

THは出力しない。

【0040】

また、タイミングコントローラ2内には、グラフィック回路1から与えられるドットクロック(DCLK)、水平同期信号(HD)、垂直同期信号(VD)およびデータエンブル信号(DENA)に基づいて、基準クロック(CLKH)、ラッチパルス(LP)、極性反転信号(POL)およびスタートパルス(STH)などの画像信号線駆動回路3を制御する制御信号を生成する制御信号生成回路25を有している。

【0041】

なお、制御信号生成回路25で生成されたCLKH、LPおよびPOLは、直接、画像信号線駆動回路3に与えられるが、STHは、比較結果反映回路24を介して与えられる構成となっている。なお、図1においては、制御信号は本発明の実施に必要な構成や信号のみを開示しており、本発明との関係が薄い構成や制御信号などは省略している。

【0042】

<動作>

次に、上述したタイミングコントローラ2の動作について、図2～図6を用いて説明する。

【0043】

図2は、R、G、Bの画像信号をタイミングコントローラ2に入力し、タイミングコントローラ2内のラインメモリ23に入力するまでの信号の流れを示すタイミングチャートであり、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とでデータが一致する場合を示している。

【0044】

図2に示すように、タイミングコントローラ2に入力されるR、G、Bの画像信号は、例えば、R1、G1、B1のように1ピクセル分のサブピクセルの画像信号が同時に入力され、次のタイミングではR2、G2、B2のサブピクセルの画像信号が入力される。

【0045】

タイミングコントローラ2では、入力された画像信号をサブピクセル分割回路21で1サブピクセルごとに分割し、次のピクセルの画像信号が入力されるタイミングで前後半比較回路22に与える。

【0046】

図2に示されるように、R1、G1、B1の画像信号は、R2、G2、B2の画像信号がタイミングコントローラ2に入力されるタイミングでサブピクセル分割回路21から出力され、R2、G2、B2の画像信号は、R3、G3、B3の画像信号がタイミングコントローラ2に入力されるタイミングでサブピクセル分割回路21から出力されてそれぞれ前後半比較回路22に与えられる。

【0047】

ラインメモリ23は、1水平ラインの前半分の画像信号を格納する前半用メモリと、1水平ラインの後半分の画像信号を格納する後半用メモリとを有し、それぞれR、G、Bの3色分のデータを格納できる構成となっている。

【0048】

図2には、ラインメモリ23の前半用メモリに、例えば、R1、B1、G2の画像信号が格納され、後半用メモリには、例えば、G1、R1、B2の画像信号が格納されることが示されている。この格納の仕方は、図14を用いて説明したように、例えばゲート線G₁には、R、B、Gの繰り返しとなるようにサブピクセルが接続され、例えばゲート線G₂にはG、R、Bの繰り返しとなるようにサブピクセルが接続されている構成に対応したものである。

【0049】

なお、R(赤色)用の前半用メモリには、R1、R3のように奇数番のRのデータが格納され、図2においてはこれらをデータ群M01としている。同様に、B(青色)用の前半用メモリには、B1、B3のように奇数番のBのデータが格納され、これらをデータ群

10

20

30

40

50

M02とし、G（緑色）用の前半用メモリには、G2、G4のように偶数番のGのデータが格納され、これらをデータ群M03としている。

【0050】

また、G用の後半用メモリには、G1、G3のように奇数番のGのデータが格納され、図2においてはこれらをデータ群M11としている。同様に、R用の後半用メモリには、R2、R4のように偶数番のRのデータが格納され、これらをデータ群M12とし、B用の後半用メモリには、B2、B4のように偶数番のBのデータが格納され、これらをデータ群M13としている。なお、上記におけるRのデータ、GのデータおよびBのデータのそれぞれは、例えば8ビットのデジタルデータであり、Rのデータは（R[7]～R[0]）、Gのデータは（G[7]～G[0]）、Bのデータは（B[7]～B[0]）の8ビットのデータを含んでいる。

10

【0051】

前後半比較回路22では、上記のようにサブピクセル分割回路21から出力された1サブピクセルごとに分割された画像信号を受け、それらを上述したラインメモリ23での格納形式に合わせて、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とに並べ変えて両者の比較を行う。この場合、上述した8ビットのデジタルデータを1ビット単位で比較することになる。

【0052】

ここで、前後半比較回路22では、1水平ラインの前半分の画像信号と、1水平ラインの後半分の画像信号との比較結果を比較結果信号COMPで示すが、その定常値はLow信号である。

20

【0053】

そして、画像信号の比較中に1ビットでも異なるデータがあれば、その時点で比較結果信号COMPをHigh信号とし、比較が終了するまでHigh信号を維持し続ける。一方、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号が全く同じであればLow信号を維持する。

【0054】

図2においては、前後半比較回路22での比較結果が、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とで同じであった場合を示しており、比較結果信号COMPはLow信号を維持しており、前後半比較回路22からは比較結果報告信号COMP1として、比較結果信号COMPの値（Low）が出力されることを示している。

30

【0055】

図3は、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とでデータが一致する場合の、比較結果反映回路24の動作を示すタイミングチャートであり、タイミングコントローラ2の出力として画像信号線駆動回路3に入力される画像信号および制御信号を示している。

【0056】

図3に示されるように、比較結果反映回路24では、1水平ラインの後半分の画像信号を出力する前に、比較結果報告信号COMP1の信号状態を確認し、比較結果報告信号COMP1がLow信号である場合は、1水平ラインの後半分の画像信号を全てLowデータとし、タイミングコントローラ2から画像信号線駆動回路3に画像信号が伝送されることを停止すると共に、1水平ラインの後半分の画像信号の始まりのタイミングを示すSTHも出力しない。

40

【0057】

画像信号線駆動回路3では、1水平ラインの後半分の画像信号の取り込みタイミングになっても1水平ラインの後半分の画像信号を受けることができず、また、1水平ラインの後半分の画像信号の始まりのタイミングを示すSTHも受けることができない。

【0058】

ここで、画像信号線駆動回路3は、STHでデータの取り込みを始め、LPでマトリクス表示部に出力するので、次のSTHが来ない限り、画像信号線駆動回路3内のレジスタ

50

のデータは更新されない。そのため、画像信号線駆動回路 3 内のレジスタには、1 水平ラインの前半分の画像信号のデータが蓄積されたままにできる。

【0059】

ただし、図 3 に示されるように、STH 以外の制御信号は出力されるので、画像信号線駆動回路 3 内のレジスタに蓄積されている 1 水平ラインの前半分の画像信号のデータ各ピクセルに書き込まれることになる。

【0060】

図 4 は、OUT 1 ~ OUT m で示した m 本の駆動出力を持つ画像信号線駆動回路 3 の構成を示すブロック図である。図 4 に示すように画像信号線駆動回路 3 は、STH を受けて、R、G、B のデータの取り込みタイミングを示すラッチパルス STH 1 ~ STH m を入力データレジスタ 3 2 に出力するシフトレジスタ 3 1 と、ラッチパルス STH 1 ~ STH m を入力して、R、G、B のデータを受ける入力データレジスタ 3 2 と、LP を受ける D/A コンバータ参照用レジスタ 3 3 と、D/A コンバータおよび出力回路を有し、LP および POL と階調電圧を受ける D/A 変換部 3 4 とを備えている。なお、シフトレジスタ 3 1、入力データレジスタ 3 2 および D/A コンバータ参照用レジスタ 3 3、制御回路電源 VDD から電力が供給され、D/A 変換部 3 4 は出力回路電源 VDDA から電力が供給される。

【0061】

入力データレジスタ 3 2 は、シフトレジスタ 3 1 からのラッチパルス STH 1 ~ STH m を入力して、R、G、B のデータの取り込みを行い、取り込んだデータは D/A コンバータ参照用レジスタ 3 3 に与えられる。D/A コンバータ参照用レジスタ 3 3 は、LP が与えられることで R、G、B のデータを D/A 変換部 3 4 に出力し、D/A 変換部 3 4 では LP が与えられることで D/A コンバータでデジタル - アナログ変換を行う。アナログ変換され、階調電圧によって階調を有することとなったアナログ信号は出力 OUT 1 ~ OUT m に対応した出力回路を介してマトリクス表示部に与えられる。

【0062】

図 5 は、R、G、B の画像信号をタイミングコントローラ 2 に入力し、タイミングコントローラ 2 内のラインメモリ 2 3 に入力するまでの信号の流れを示すタイミングチャートであり、1 水平ラインの前半分の画像信号と 1 水平ラインの後半分の画像信号とでデータが一致しない合を示している。

【0063】

図 5 に示すように、タイミングコントローラ 2 に入力される R、G、B の画像信号は、例えば、R 1、G 1、B 1 のように 1 ピクセル分のサブピクセルの画像信号が同時に入力され、次のタイミングでは R 2、G 2、B 2 のサブピクセルの画像信号が入力される。

【0064】

タイミングコントローラ 2 では、入力された画像信号をサブピクセル分割回路 2 1 で 1 サブピクセルごとに分割し、次のピクセルの画像信号が入力されるタイミングで前後半比較回路 2 2 に与える。

【0065】

図 5 に示されるように、R 1、G 1、B 1 の画像信号は、R 2、G 2、B 2 の画像信号がタイミングコントローラ 2 に入力されるタイミングでサブピクセル分割回路 2 1 から出力され、R 2、G 2、B 2 の画像信号は、R 3、G 3、B 3 の画像信号がタイミングコントローラ 2 に入力されるタイミングでサブピクセル分割回路 2 1 から出力されてそれぞれ前後半比較回路 2 2 に与えられる。

【0066】

図 5 には、ラインメモリ 2 3 の前半用メモリに、例えば、R 1、B 1、G 2 の画像信号が格納され、後半用メモリには、例えば、G 1、R 1、B 2 の画像信号が格納されることが示されている。

【0067】

前後半比較回路 2 2 では、1 水平ラインの前半分の画像信号と、1 水平ラインの後半分

10

20

30

40

50

の画像信号との比較結果を比較結果信号COMPで示すが、その定常値はLow信号である。

【0068】

図5においては、前後半比較回路22での比較結果が、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とで異なった場合を示しており、比較結果信号COMPはLow信号からHigh信号に変わっている。前後半比較回路22からは比較終了後に比較結果報告信号COMP1として、比較結果信号COMPの値(High)が出力されることを示している。

【0069】

図6は、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とでデータが一致しない場合の、比較結果反映回路24の動作を示すタイミングチャートであり、タイミングコントローラ2の出力として画像信号線駆動回路3に入力される画像信号および制御信号を示している。

【0070】

図6に示されるように、比較結果反映回路24では、1水平ラインの後半分の画像信号を出力する前に、比較結果報告信号COMP1の信号状態を確認し、比較結果報告信号COMP1がHigh信号である場合は、1水平ラインの後半分の画像信号がそのまま画像信号線駆動回路3に伝送されると共に、1水平ラインの後半分の画像信号の始まりのタイミングを示すSTHも出力されることを示している。

【0071】

以上説明したように、本発明に係る実施の形態1の液晶表示装置においては、1水平ラインの前半分の画像信号と1水平ラインの後半分の画像信号とが一致している場合は、タイミングコントローラ2から画像信号線駆動回路3に対して、1水平ラインの後半分の画像信号を伝送しないので、データのHigh/Lowの繰り返しを抑制し、消費電力および電磁波として放射されるノイズの発生を抑制することができる。

【0072】

<変形例>

なお、以上説明した実施の形態1では、本発明をデュアルゲート方式の液晶表示装置に適用した構成について説明したが、本発明は、1水平ラインを3分割して駆動させるトリプル(Triple)ゲート方式や、4分割以上に分割して駆動する方式にも適用可能である。この場合も、先に書き込まれる画像信号と後に書き込まれる画像信号とを比較して、画像信号が一致している場合は後に書き込まれる画像信号を画像信号線駆動回路に伝送しないようにすることで、消費電力および電磁波として放射されるノイズの発生を抑制することができる。

【0073】

また、説明を簡素化するために、タイミングコントローラ2から画像信号線駆動回路3に伝送するRGB信号は、通常のデジタル信号として説明を行ったが、この間の伝送方式についてはminiLVDS(Low Voltage Differential Signaling)やRSDS(reduced swing differential signaling)などの伝送技術を用いても構わない。なお、RSDSは登録商標である。

【0074】

また、これらは、タイミングコントローラとして1つの半導体デバイスに実装することも可能であるし、タイミングコントローラ自身を画像信号線駆動回路と同じ半導体デバイスに実装することも可能である。

【0075】

<実施の形態2>

次に、図7～図13を用いて、本発明に係る実施の形態2の液晶表示装置について説明する。

【0076】

<装置構成>

10

20

30

40

50

図 7 は、実施の形態 2 の液晶表示装置が有するタイミングコントローラの構成を示すブロック図である。

【0077】

図 7 に示すように、グラフィック回路 1 は、タイミングコントローラ 2 A に対して R、G、B の画像信号を 1 ピクセルずつ順次に伝送すると共に、DCLK、HD、VD および DENA を与える。

【0078】

タイミングコントローラ 2 A は、デュアルゲート方式のマトリクス表示部に対応するため、水平方向に R、G、B の順に並んだサブピクセルに対して、1 サブピクセル置きとなるように画像信号を並べ変えて画像信号線駆動回路 3 A に出力すると共に、CLKH、POL、LP、STH および信号種類判別信号 DIFF_COMP_O を出力する。

10

【0079】

タイミングコントローラ 2 A は、グラフィック回路 1 から 1 ピクセルずつ入力された画像信号を 1 サブピクセルごとに分割する、サブピクセル分割回路 2 1 を有し、サブピクセル分割回路 2 1 で 1 サブピクセルごとに分割された画像信号は、1 水平ラインの前半分の画像信号と 1 水平ラインの後半分の画像信号とに分けられて、ラインメモリ 2 3 に出力されると共に、両画像信号の差分を取る差分回路 2 6 にも与えられる。

【0080】

ラインメモリ 2 3 は、1 水平ラインの前半分の画像信号（前半データ）を格納する前半用メモリと、1 水平ラインの後半分の画像信号（後半データ）を格納する後半用メモリと、1 水平ラインの前半分の画像信号と 1 水平ラインの後半分の画像信号の差分を取った差分データを格納する差分データ用メモリを有し、それぞれ R、G、B の 3 色分のデータを格納できる構成となっている。

20

【0081】

また、サブピクセル分割回路 2 1 は、1 水平ラインの後半分の画像信号を後半データ用カウンタ 2 8（第 2 のカウンタ）にも与え、後半データ用カウンタ 2 8 では、1 水平ラインの後半分の画像信号の全ビットの変化ビットの数をカウントする。

【0082】

差分回路 2 6 は、1 水平ラインの前半分の画像信号と 1 水平ラインの後半分の画像信号の差分を取った差分データをラインメモリ 2 3 に与えると共に、差分データ用カウンタ 2 7（第 1 のカウンタ）にも与える。差分データ用カウンタ 2 7 では、差分データの全ビットの変化ビットの数をカウントする。

30

【0083】

ここで、変化ビットとは、先に説明したように、R、G、B の画像信号はそれぞれ 8 ビットのデータを含んでいる。このデータにおいて時間的に隣り合うビットどうしを比較し、ビット間で 0 から 1 に、あるいは 1 から 0 に変化しているビットのことを指す。ここで、時間的に隣り合うとは、R1 と R2 などのような数字の並びで隣り合っていることではなく、R1 と R3 などのようにデータが与えられる順で隣り合っていることを意味する。なお、比較に際してはビット列の最上位ビットから順に比較しても良いし、最下位ビットから順に比較しても良い。これは差分データの変化ビット数をカウントする場合も同じである。

40

【0084】

例えば、1 水平ラインの前半分の画像信号と 1 水平ラインの後半分の画像信号の差分を取る場合、両者が全く同じであれば差分データは全て 0 となり、変化ビット数は 0 となる。

【0085】

差分データ用カウンタ 2 7 でのカウント値（DIFF_CNT1）と後半データ用カウンタ 2 8（DIFF_CNT）でのカウント値は、カウント比較回路 2 9（比較回路）に与えられる。カウント比較回路 2 9 では、両カウント値を比較して比較結果を比較結果信号 DIFF_COMP として、ラインメモリ 2 3 の出力を受ける比較結果反映回路 2 4 に

50

与えると共に、画像信号線駆動回路 3 A に対して、タイミングコントローラ 2 A からの出力信号が差動データであるか実画像信号であるかを報告する信号種類判別信号 D I F F _ C O M P _ O を出力する。

【 0 0 8 6 】

比較結果反映回路 2 4 は、1 水平ラインの後半分の画像信号を画像信号線駆動回路 3 に出力する際に、カウント比較回路 2 9 での比較結果を受け、カウント値の少ない方のデータ郡を選択して画像信号線駆動回路 3 に出力する。すなわち、1 水平ラインの後半分の画像信号の方がカウント値が少ない場合には、当該画像信号を実画像信号として出力し、1 水平ラインの前半分の画像信号と 1 水平ラインの後半分の画像信号との差分データの方がカウント値が少ない場合には、当該差分データを出力する。なお、実画像信号または差分データの出力と同期して、信号種類判別信号 D I F F _ C O M P _ O も出力される。

10

【 0 0 8 7 】

また、タイミングコントローラ 2 A 内には、D C L K、H D、V D および D E N A に基づいて、C L K H、L P、P O L および S T H などの画像信号線駆動回路 3 A を制御する制御信号を生成する制御信号生成回路 2 5 を有している。制御信号生成回路 2 5 で生成された C L K H、L P、P O L および S T H は画像信号線駆動回路 3 A に与えられる。

【 0 0 8 8 】

なお、図 7 においては、制御信号は本発明の実施に必要な構成や信号のみを開示しており、本発明との関係が薄い構成や制御信号などは省略している。

【 0 0 8 9 】

20

< 動作 >

次に、上述したタイミングコントローラ 2 A の動作について、図 8 ~ 図 1 1 を用いて説明する。

【 0 0 9 0 】

図 8 は、R、G、B の画像信号をタイミングコントローラ 2 A に入力し、タイミングコントローラ 2 A 内のラインメモリ 2 3 に入力するまでの信号の流れを示すタイミングチャートであり、1 水平ラインの後半分の画像信号の変化ビット数と差分データの変化ビット数とを比較した結果、差分データの変化ビット数の方が少なかった場合を示している。

【 0 0 9 1 】

図 8 に示すように、タイミングコントローラ 2 に入力される R、G、B の画像信号は、例えば、R 1、G 1、B 1 のように 1 ピクセル分のサブピクセルの画像信号が同時に入力され、次のタイミングでは R 2、G 2、B 2 のサブピクセルの画像信号が入力される。

30

【 0 0 9 2 】

タイミングコントローラ 2 A では、入力された画像信号をサブピクセル分割回路 2 1 で 1 サブピクセルごとに分割し、次のピクセルの画像信号が入力されるタイミングでラインメモリ 2 3、差分回路 2 6 および後半データ用カウンタ 2 8 に与える。

【 0 0 9 3 】

図 8 においては、ラインメモリ 2 3 の前半用メモリに入力されるデータ群 M 0 1、M 0 2 および M 0 3、前半用メモリに入力されるデータ群 M 1 1、M 1 2 および M 1 3 に加えて、データ群 M 0 1 ~ M 0 3 とデータ群 M 1 1 ~ M 1 3 とのそれぞれの差分データ群 m 1 1、m 1 2 および m 1 3 を前半と後半の差分データとして示している。

40

【 0 0 9 4 】

差分データ群 m 1 1 は、g 1、g 3 のように奇数番で表され、差分データ群 m 1 2 は、r 2、r 4 のように偶数番で表され、差分データ群 m 1 3 は、b 2、b 4 のように偶数番で表される。

【 0 0 9 5 】

また、図 8 においては、後半データ用カウンタ 2 8 での、1 水平ラインの後半分の画像信号の変化ビット数のカウントアップのタイミングを C 0、C 1、C 2 のように表し、差分データ用カウンタ 2 7 での、差分データの変化ビット数のカウントアップのタイミングを D 0、D 1、D 2 のように表している。

50

【 0 0 9 6 】

ここで、カウント比較回路 2 9 では、差分データ用カウンタ 2 7 でのカウント値 D I F F _ C N T 1 と後半データ用カウンタ 2 8 でのカウント値 D I F F _ C N T との比較結果を比較結果信号 D I F F _ C O M P で示すが、D I F F _ C N T 1 が D I F F _ C N T より小さい場合は、比較結果信号 D I F F _ C O M P は H i g h 信号として出力される。

【 0 0 9 7 】

図 8 においては、カウント比較回路 2 9 での比較結果が、D I F F _ C N T 1 が D I F F _ C N T より小かった場合を示しており、カウント終了後に比較結果信号 D I F F _ C O M P が H i g h 信号として出力されることを示している。

【 0 0 9 8 】

図 9 は、1 水平ラインの後半分の画像信号の変化ビット数と差分データの変化ビット数とを比較した結果、差分データの変化ビット数の方が少なかった場合の、比較結果反映回路 2 4 の動作を示すタイミングチャートであり、タイミングコントローラ 2 A の出力として画像信号線駆動回路 3 A に入力される差分データおよび制御信号を示している。

【 0 0 9 9 】

図 9 に示されるように、比較結果反映回路 2 4 では、1 水平ラインの後半分の画像信号を出力する前に、比較結果報告信号 D I F F _ C O M P の信号状態を確認し、比較結果報告信号 D I F F _ C O M P が H i g h 信号である場合は、1 水平ラインの後半分の画像信号の代わりに差分データをタイミングコントローラ 2 A から画像信号線駆動回路 3 A に伝送すると共に、信号種類判別信号 D I F F _ C O M P _ O を H i g h 信号として画像信号線駆動回路 3 A に与え、1 水平ラインの後半分の画像信号の代わりに差分データを送ったことを伝える。

【 0 1 0 0 】

画像信号線駆動回路 3 A は、最初の S T H の立ち下りのタイミングで R 1、B 1、G 2 などの 1 水平ラインの前半分の画像信号を取り込み始め、前半分の画像信号を全て取り込むと、L P の立ち上りのタイミングで 1 水平ラインの前半分の画像信号の出力を始める。

【 0 1 0 1 】

また、次の S T H の立ち下りのタイミングで g 1、r 2、b 2 などの差分データを取り込み始め、信号種類判別信号 D I F F _ C O M P _ O が H i g h 信号となっている期間に差分データを全て取り込むことができる。そして、L P の立ち上りのタイミングで、差分データの出力を始める。

【 0 1 0 2 】

図 1 0 は、R、G、B の画像信号をタイミングコントローラ 2 A に入力し、タイミングコントローラ 2 A のラインメモリ 2 3 に入力するまでの信号の流れを示すタイミングチャートであり、1 水平ラインの後半分の画像信号の変化ビット数と差分データの変化ビット数とを比較した結果、差分データの変化ビット数の方が多いか等価であった場合を示しており、カウント終了後に比較結果信号 D I F F _ C O M P が L o w 信号として出力されることを示している。

【 0 1 0 3 】

図 1 1 は、1 水平ラインの後半分の画像信号の変化ビット数と差分データの変化ビット数とを比較した結果、差分データの変化ビット数の方が多いか等価であった場合の、比較結果反映回路 2 4 の動作を示すタイミングチャートであり、タイミングコントローラ 2 A の出力として画像信号線駆動回路 3 A に入力される差分データおよび制御信号を示している。

【 0 1 0 4 】

図 1 1 に示されるように、比較結果反映回路 2 4 では、1 水平ラインの後半分の画像信号を出力する前に、比較結果報告信号 D I F F _ C O M P の信号状態を確認し、比較結果報告信号 D I F F _ C O M P が L o w 信号である場合は、1 水平ラインの後半分の画像信号をタイミングコントローラ 2 A から画像信号線駆動回路 3 A に伝送すると共に、信号種

10

20

30

40

50

類判別信号 $DIFF_COMP_O$ を Low 信号として画像信号線駆動回路 3 A に与え、1 水平ラインの後半分の画像信号を送ったことを伝える。

【0105】

画像信号線駆動回路 3 A は、最初の STH の立ち下がりのタイミングで $R1$ 、 $B1$ 、 $G2$ などの 1 水平ラインの前半分の画像信号を取り込み、前半分の画像信号を全て取り込むと、 LP の立ち上がりのタイミングで 1 水平ラインの前半分の画像信号の出力を始める。

【0106】

また、次の STH の立ち下がりのタイミングで $G1$ 、 $R2$ 、 $B2$ などの 1 水平ラインの後半分の画像信号を取り込み、後半分の画像信号を全て取り込むと、 LP の立ち上がりのタイミングで、1 水平ラインの後半分の画像信号の出力を始める。

10

【0107】

図 12 は、画像信号線駆動回路 3 が備える入力データレジスタ 32 (図 4) を構成する一般的な単位入力データレジスタの構成を示す論理回路図である。

【0108】

図 12 に示す、入力データレジスタ 32 を構成する m 個の入力データレジスタ中の n 番目の単位入力データレジスタは、 AND 回路 $C1$ の反転入力部と AND 回路 $C2$ の入力部にシフトレジスタ 31 (図 4) からラッチパルス STH_n が入力され、 AND 回路 $C2$ のもう 1 つの入力部には新たなデータ $data_i$ が入力される構成となっている。

【0109】

そして、 AND 回路 $C1$ および $C2$ の出力は OR 回路 $C3$ に入力され、 OR 回路 $C3$ の出力はクロック同期式のラッチ回路 $C4$ に入力され、ラッチ回路 $C4$ からラッチされたデータ $data_O$ が出力される構成となっている。なお、データ $data_O$ は AND 回路 $C1$ のもう 1 つの入力部に与えられる。図 12 の単位データレジスタは、上記構成になっているので、ラッチパルス STH_n が入力するとラッチ回路 $C4$ にラッチされているデータ $data_O$ に関わらず AND 回路 $C1$ の出力が Low となり、同時に $data_i$ の入力があるまま AND 回路 $C2$ から出力されるので、その値が OR 回路 $C3$ の出力となり、ラッチ回路 $C4$ でラッチされる。 STH_n が Low の場合 (非選択時) は、 AND 回路 $C2$ が Low となり、 AND 回路 $C1$ の出力すなわち $data_O$ が OR 回路 $C3$ から出力され再ラッチされる。

20

【0110】

このような構成の単位入力データレジスタを必要数 (出力数 \times データのビット数 \times 色数) だけ配列することで、サブピクセルごとに必要とするデジタルデータを入力データレジスタ 32 (図 4) に蓄積しているが、画像信号線駆動回路 3 A では、単位入力データレジスタを図 13 に示すような構成とすることで、与えられたデータが、差分データである場合に、前半データに差分データを加えることで、後半データを作成することができる。

30

【0111】

すなわち、図 13 に示す単位入力データレジスタは、 AND 回路 $C11$ の反転入力部、3 入力 AND 回路 $C12$ および $C13$ の入力部にスタートパルス STH_n が入力され、3 入力 AND 回路 $C12$ の 1 つの入力部と全加算器 $C14$ の入力部には新たなデータ $data_i$ が入力される構成となっている。また、3 入力 AND 回路 $C12$ の反転入力部と 3 入力 AND 回路 $C13$ の入力部には信号種類判別信号 $DIFF_COMP_O$ が入力され、全加算器 $C14$ の出力は 3 入力 AND 回路 $C13$ の入力部に与えられる構成となっている。

40

【0112】

そして、 AND 回路 $C11$ 、3 入力 AND 回路 $C12$ および $C13$ の出力は OR 回路 $C15$ に入力され、 OR 回路 $C15$ の出力はクロック同期式のラッチ回路 $C16$ に入力され、ラッチ回路 $C16$ からラッチされたデータ $data_O$ が出力される構成となっている。なお、データ $data_O$ は AND 回路 $C11$ のもう 1 つの入力部および全加算器 $C14$ の入力部に与えられる。また、全加算器 $C14$ の残りの 2 つの入力部には前半データに基づいて下位ビットからの桁上げ分のデータ X および上位ビットへの桁上げ分のデータ C が与えられる構成となっており、信号種類判別信号 $DIFF_COMP_O$ が $High$ 信号の場合

50

合は、データ `data i` にデータ `X` およびデータ `C` が可算されて、前半データに差分データを加えた後半データが全加算器 `C 1 4` から出力されることとなる。

【0113】

以上説明したように、本発明に係る実施の形態2の液晶表示装置においては、差分データの変化ビット数の方が少なかった場合 (`D I F F _ C N T 1 < D I F F _ C N T` である場合) は、タイミングコントローラ2Aから画像信号線駆動回路3Aに対して、差分データを伝送し、差分データの変化ビット数の方が多いか等価である場合 (`D I F F _ C N T 1 > D I F F _ C N T`) である場合は、タイミングコントローラ2Aから画像信号線駆動回路3Aに対して、1水平ラインの後半分の画像信号を伝送するので、変化量の少ない方の伝送形態を選択することとなりデータの `H i g h / L o w` の繰り返しを抑制し、消費電力および電磁波として放射されるノイズの発生を抑制することができる。

10

【0114】

<変形例>

なお、以上説明した実施の形態2では、本発明をデュアルゲート方式の液晶表示装置に適用した構成について説明したが、本発明は、1水平ラインを3分割して駆動させるトリプル (Triple) ゲート方式や、4分割以上に分割して駆動する表示方式にも適用可能である。この場合も、先に書き込まれる画像信号と後に書き込まれる画像信号との差分データの変化ビット数と、1水平ラインの後半分の画像信号の変ビット化数を比較して、変化量の少ない方の伝送形態を選択することにより、消費電力および電磁波として放射されるノイズの発生を抑制することができる。

20

【0115】

また、説明を簡素化するために、タイミングコントローラ2Aから画像信号線駆動回路3Aに伝送する `R G B` 信号は、通常のデジタル信号として説明を行ったが、この間の伝送方式については `m i n i L V D S` や `R S D S` などの伝送技術を用いても構わない。

【0116】

`m i n i L V D S` や `R S D S` などの特別なマッピングがされる伝送方式を用いる場合は、その伝送順序に応じて、後半データ用カウンタ28での、1水平ラインの後半分の画像信号の変化ビット数のカウントアップおよび差分データ用カウンタ27での、差分データの変化ビット数のカウントアップを行い、それらの比較データから差分データの利用の有無を確定すれば良い。

30

【0117】

<半導体装置への実装>

実施の形態1および実施の形態2の液晶表示装置においては、それぞれタイミングコントローラ2および2Aを有するものとして説明したが、タイミングコントローラ2および2Aは、どちらも半導体集積回路として半導体装置 (半導体チップ) 内に実装された構成とすることができる。

【0118】

液晶表示装置の大型化に伴い、画像信号線の本数も増え、それに伴いタイミングコントローラの個数も増えるが、タイミングコントローラを半導体装置内に実装することで、多数のタイミングコントローラを液晶表示装置に組み込む作業が容易となる。

40

【0119】

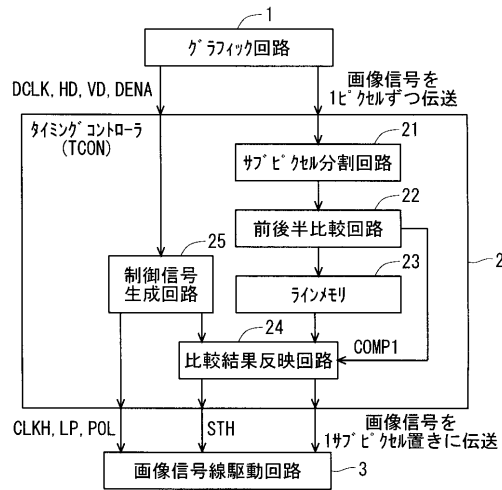
なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

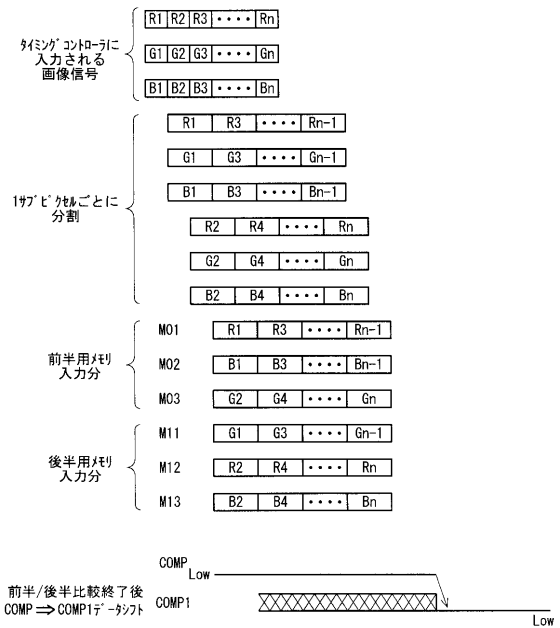
【0120】

2, 2A タイミングコントローラ、3, 3A 画像信号線駆動回路、21 サブピクセル分割回路、22 前後半比較回路、24 比較結果反映回路、26 差分回路、27 差分データ用カウンタ、28 後半データ用カウンタ、29 カウント比較回路。

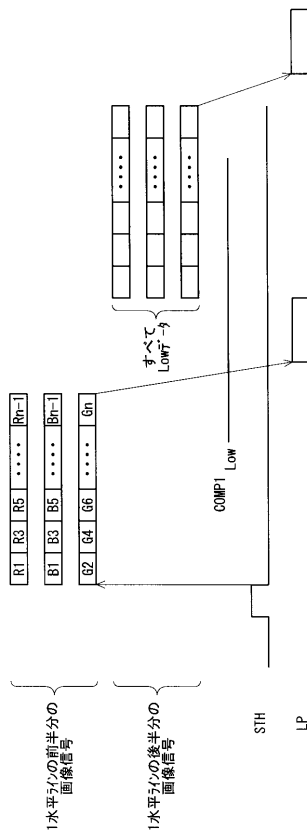
【図 1】



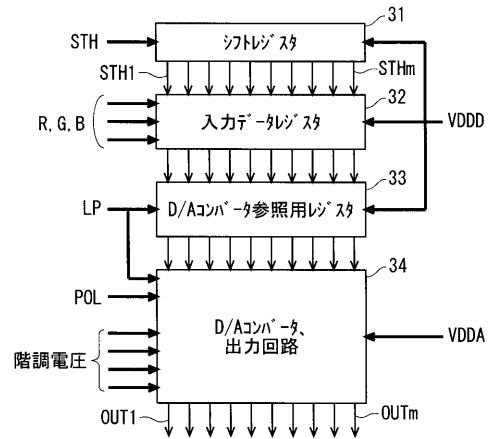
【図 2】



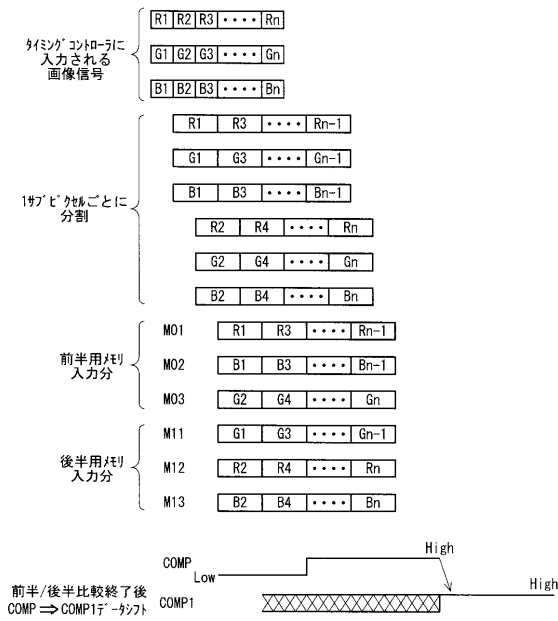
【図 3】



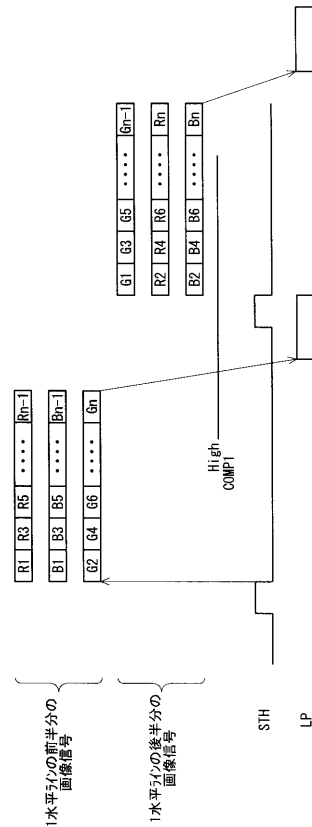
【図 4】



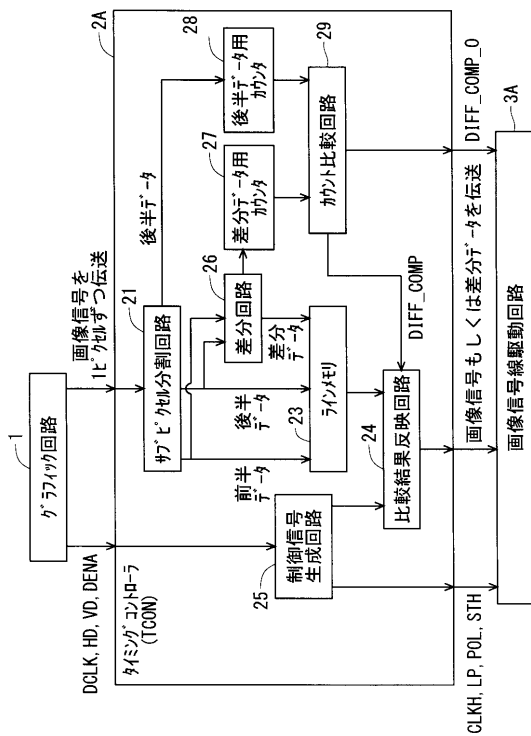
【 図 5 】



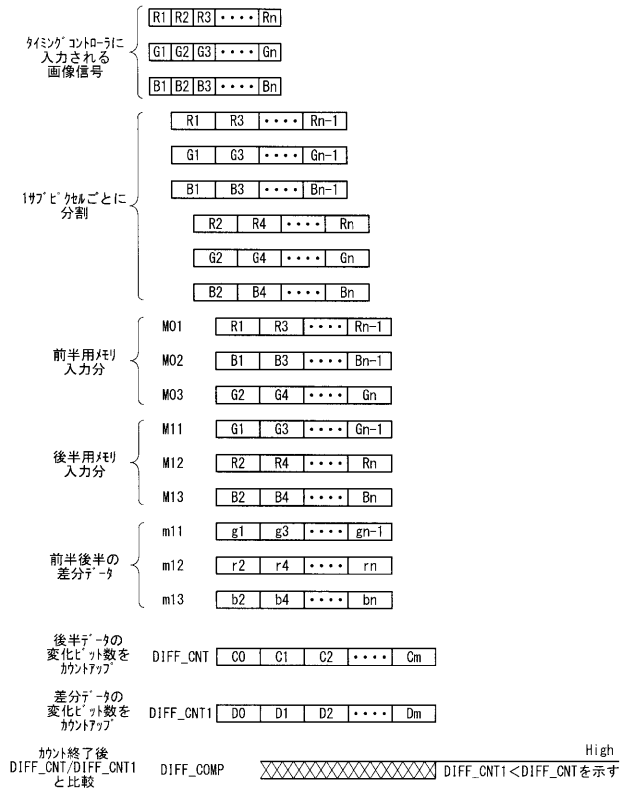
【 図 6 】



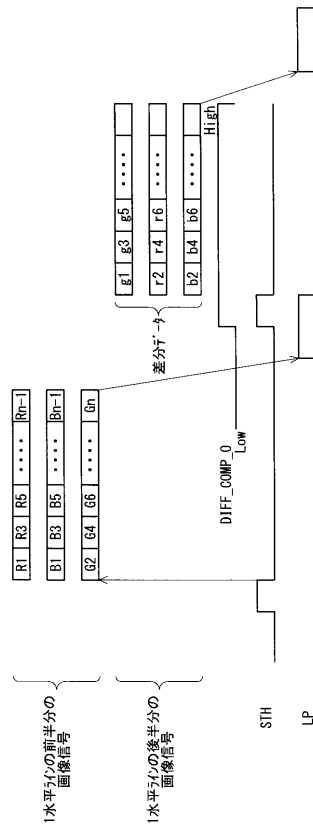
【 図 7 】



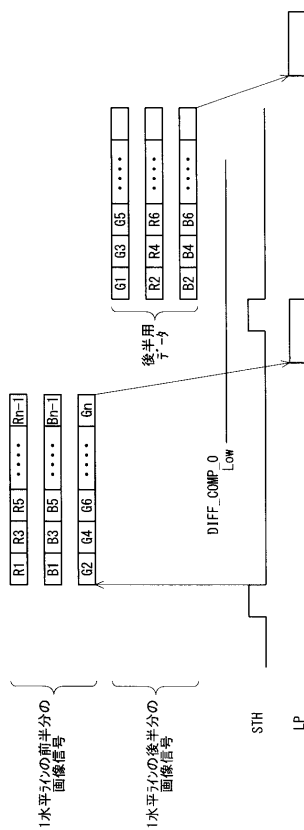
【 図 8 】



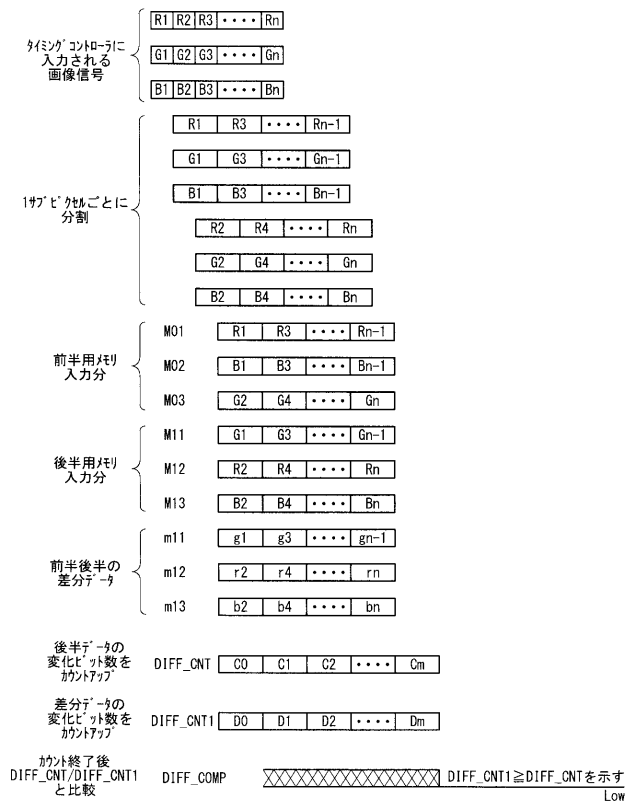
【図 9】



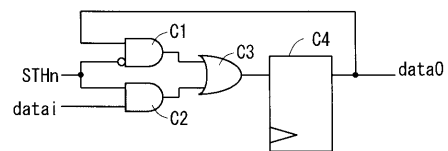
【図 11】



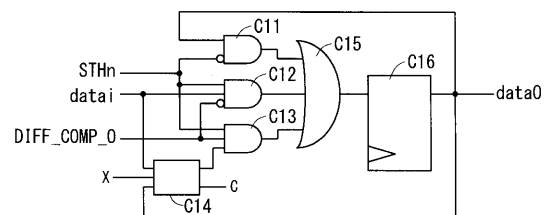
【図 10】



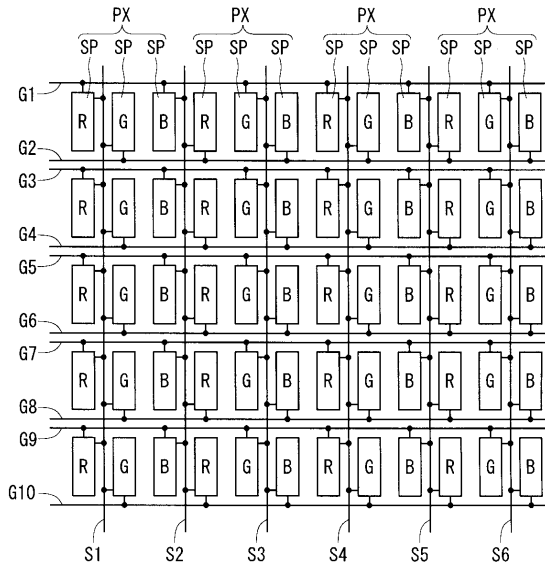
【図 12】



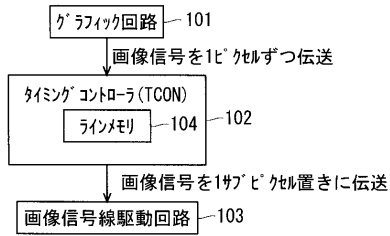
【図 13】



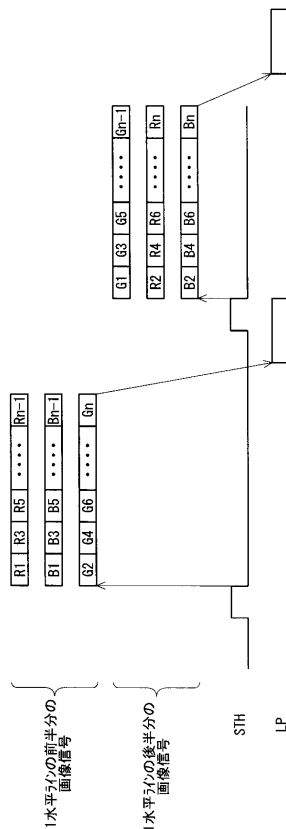
【図 14】



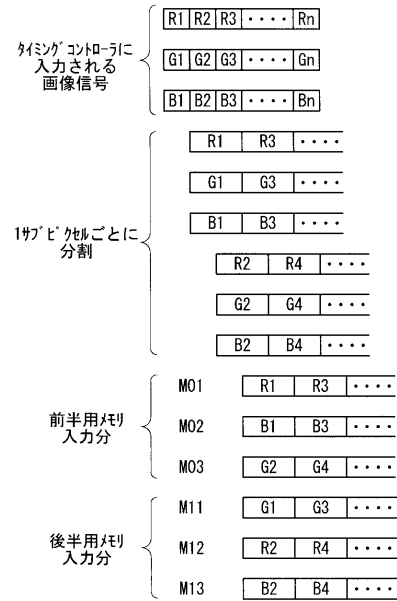
【図 15】



【図 17】



【図 16】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 1 C
	G 0 2 F 1/133	5 5 0
	G 0 2 F 1/1368	

F ターム(参考)	5C006	AA16	AA22	AF83	BB16	BC11	BF01	BF03	BF04	BF14	BF22
		FA32	FA47								
	5C080	AA10	BB05	CC03	DD12	DD26	EE29	EE30	FF11	FF12	JJ02
		JJ03	JJ04	JJ05							

专利名称(译)	液晶显示装置和半导体装置		
公开(公告)号	JP2016114877A	公开(公告)日	2016-06-23
申请号	JP2014254927	申请日	2014-12-17
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	南昭宏		
发明人	南 昭宏		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368		
FI分类号	G09G3/36 G09G3/20.611.C G09G3/20.611.A G09G3/20.623.A G09G3/20.623.V G09G3/20.641.C G02F1/133.550 G02F1/1368		
F-TERM分类号	2H192/AA24 2H192/CC24 2H192/CC62 2H193/ZA04 2H193/ZA08 2H193/ZF12 2H193/ZF16 2H193/ZF32 2H193/ZF33 2H193/ZF34 5C006/AA16 5C006/AA22 5C006/AF83 5C006/BB16 5C006/BC11 5C006/BF01 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF22 5C006/FA32 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
外部链接	Espacenet		

摘要(译)

公开了一种用于从时序控制器向图像信号线驱动电路发送的图像信号，提供一种抑制发射功率消耗和电磁波噪声的发生的液晶显示装置的传输线。多个排列在水平方向上的像素，具有图像信号线驱动电路用于驱动图像信号的液晶显示装置通过至少像素每隔一个，以及用于控制一个定时控制器给定的定时控制器包括分割电路，该分割电路根据至少每隔一个像素给出图像信号的方法，按照将图像信号给予图像信号线驱动电路的顺序分割一条水平线的图像信号，用于比较信号的比较器电路，接收所述比较电路的比较结果，比较结果反映电路停止给的情况下前后的相关匹配的图像信号，图像信号线驱动电路后的图像信号它配备了一扇门。点域1

