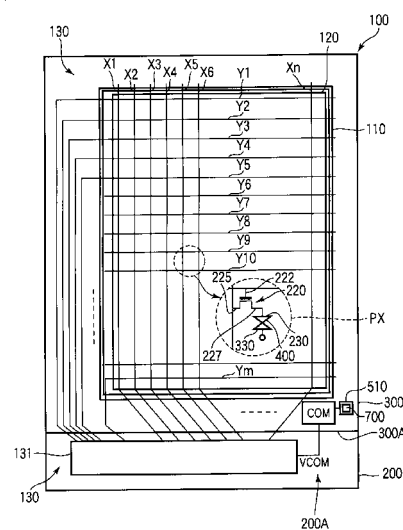




【特許請求の範囲】

【請求項 1】

複数の画素によって構成された略矩形状のアクティブエリアを備えた液晶表示装置であって、

前記画素のそれぞれに画素電極を備えた第 1 基板と、

前記画素電極のそれぞれに対向した対向電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備え、

前記第 1 基板は、さらに、前記対向電極に供給される電圧を制御する対向電圧生成回路を備え、

前記対向電圧生成回路は、前記対向電極と第 1 電圧源との電氣的接続を切替える第 1 スイッチと、前記対向電極と第 2 電圧源との電氣的接続を切替える第 2 スイッチと、前記第 1 スイッチの開閉を制御する信号を出力する否定論理積回路と、前記第 2 スイッチの開閉を制御する信号を出力する否定論理和回路と、遅延回路と、を備え、

前記否定論理積回路および前記否定論理和回路には前記遅延回路の入力信号と出力信号とが入力される、液晶表示装置。

【請求項 2】

複数の画素によって構成された略矩形状のアクティブエリアを備えた液晶表示装置であって、

前記画素のそれぞれに画素電極を備えた第 1 基板と、

前記画素電極のそれぞれに対向した対向電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、を備え、

前記第 1 基板は、さらに、前記対向電極に供給される電圧を制御する対向電圧生成回路を備え、

前記対向電圧生成回路は、前記対向電極と第 1 電圧源との電氣的接続を切替える第 1 スイッチと、前記対向電極と第 2 電圧源との電氣的接続を切替える第 2 スイッチと、前記第 1 スイッチの開閉を制御する信号を出力する否定論理積回路と、前記第 2 スイッチの開閉を制御する信号を出力する否定論理和回路と、前記第 1 論理回路の出力信号を反転して前記否定論理和回路へ出力する第 1 遅延回路と、前記第 2 論理回路の出力信号を反転して前記否定論理積回路へ出力する第 2 遅延回路と、を備え、

前記否定論理積回路および前記否定論理和回路には共通の制御信号がさらに入力される、液晶表示装置。

【請求項 3】

前記第 1 スイッチは P 型の薄膜トランジスタであり、前記第 2 スイッチは N 型の薄膜トランジスタである請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 4】

前記遅延回路は、直列に接続された 2 以上の偶数のインバート回路を備える請求項 1 記載の液晶表示装置。

【請求項 5】

前記第 1 遅延回路および第 2 遅延回路のそれぞれは、直列に接続された 1 以上の奇数のインバート回路を備える請求項 2 記載の液晶表示装置。

【請求項 6】

前記第 1 スイッチおよび第 2 スイッチは、ポリシリコンによって形成された半導体層を備えた薄膜トランジスタである請求項 1 又は請求項 2 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、パーソナルコンピュ

10

20

30

40

50

ータやテレビなどのOA機器などの表示装置として各種分野で利用されている。近年では、液晶表示装置は、携帯電話などの携帯端末機器や、カーナビゲーション装置、ゲーム機などの様々な電子機器の表示装置としても利用されている。

【0003】

液晶表示装置は、シール材を介して対向して貼り合わせられたアレイ基板と対向基板との間に液晶層を保持して構成された液晶表示パネルを備えている。この液晶表示パネルは、画像を表示する略矩形状のアクティブエリアを備えている。

【0004】

アクティブエリアにおいてアレイ基板はマトリクス状に配置された複数の画素電極を備えている。対向基板は、複数の画素電極と対向するように配置された対向電極を備えている。複数の画素電極には、駆動回路からそれぞれ対応する映像信号が印加される。対向電極には対向電圧生成回路から対向電圧が印加される。

10

【0005】

例えば、低温ポリシリコン技術を用いて液晶表示パネルに対向電圧生成回路を内蔵する場合、液晶表示パネルサイズやアレイ基板と対向基板との間の基板間ギャップから、液晶負荷容量を算出して対向電圧生成回路の最終段バッファ能力を調整している。対向電圧生成回路の最終段バッファは例えば2つの電圧源と対向電極との電氣的接続を切替えている。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】特開2008-209696号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

液晶表示パネルのアクティブエリアの寸法や基板間ギャップが大きくなると液晶負荷容量が大きくなり、対向電圧生成回路の最終段バッファに入力されるゲート信号波形の立ち上がりおよび立下りに遅延が発生する。この場合、対向電極と一方の電圧源との接続を切替える第1スイッチと、対向電極と他方の電圧源との接続を切替える第2スイッチとの両方が閉じて（導通して）、2つの電圧源間に貫通電流が流れることがあった。さらに第1スイッチおよび第2スイッチの種類の特性によっては、両方が閉じる期間が長くなり、貫通電流が大きくなることがあった。貫通電流が流れると消費電力が大きくなるため、低消費電力化を実現することが困難であった。

30

【0008】

本発明は上記事情を鑑みて成されたものであって、消費電力を低減する液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

実施形態による液晶表示装置は、複数の画素によって構成された略矩形状のアクティブエリアを備えた液晶表示装置であって、前記画素のそれぞれに画素電極を備えた第1基板と、前記画素電極のそれぞれに対向した対向電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備え、前記第1基板は、さらに、前記対向電極に供給される電圧を制御する対向電圧生成回路を備え、前記対向電圧生成回路は、前記対向電極と第1電圧源との電氣的接続を切替える第1スイッチと、前記対向電極と第2電圧源との電氣的接続を切替える第2スイッチと、前記第1スイッチの開閉を制御する信号を出力する否定論理積回路と、前記第2スイッチの開閉を制御する信号を出力する否定論理和回路と、遅延回路と、を備え、前記否定論理積回路および前記否定論理和回路には前記遅延回路の入力信号と出力信号とが入力される、液晶表示装置。

40

【図面の簡単な説明】

【0010】

50

【図 1】実施形態の液晶表示装置の一構成例を示す図である。

【図 2】図 1 に示した液晶表示パネルの構成を概略的に示す断面図の一例である。

【図 3】図 1 に示した対向電圧生成回路の最終段のバッファ回路の一構成例を概略的に示す図である。

【図 4】図 3 に示す最終段のバッファ回路の動作の一例を説明するためのタイミングチャートである。

【図 5】図 1 に示した対向電圧生成回路の最終段のバッファ回路の他の構成例を概略的に示す図である。

【図 6】図 5 に示す最終段のバッファ回路の動作の一例を説明するためのタイミングチャートである。

10

【図 7 A】図 5 に示す最終段のバッファ回路に入力される制御信号の立ち上がり時の動作の一例を説明するための図である。

【図 7 B】図 5 に示す最終段のバッファ回路に入力される制御信号の立ち上がり時の動作の一例を説明するための図である。

【図 8 A】図 5 に示す最終段のバッファ回路に入力される制御信号の立ち下がり時の動作の一例を説明するための図である。

【図 8 B】図 5 に示す最終段のバッファ回路に入力される制御信号の立ち下がり時の動作の一例を説明するための図である。

【発明を実施するための形態】

【0011】

20

以下、実施形態について、図面を参照して説明する。

図 1 に、本実施形態に係る液晶表示装置の一構成例を示す。図 1 に示すように、液晶表示装置は、略矩形平板上の液晶表示パネル 100 を備えている。液晶表示パネル 100 は、一对の基板すなわちアレイ基板（第 1 基板）200 及び対向基板（第 2 基板）300 と、アレイ基板 200 と対向基板 300 との間に保持された液晶層 400 と、を備えている。アレイ基板 200 と対向基板 300 とは、シール材 110 によって貼り合わせられ、これらの間に液晶層 400 を保持するための所定のギャップを形成する。

【0012】

液晶表示パネル 100 は、シール材 110 によって囲まれた内側に、画像を表示する略矩形状のアクティブエリア 120 を備えている。このアクティブエリア 120 は、マトリクス状に配置された複数の画素 PX によって構成されている。

30

【0013】

アレイ基板 200 は、アクティブエリア 120 において、画素 PX の行方向に沿って延在する複数のゲート線 Y（1、2、3、…、m）と、画素 PX の列方向に沿って延在する複数のソース線 X（1、2、3、…、n）と、各画素 PX におけるソース線 X とゲート線 Y との交差部に配置されたスイッチング素子 220 と、画素 PX のそれぞれに配置されスイッチング素子 220 に接続された画素電極 230 と、を備えている。

【0014】

ゲート線 Y とソース線 X とは、絶縁層を介して互いに交差するように配置されている。スイッチング素子 220 は、例えばポリシリコンによって形成された半導体層を備えた薄膜トランジスタ（TFT；Thin Film Transistor）によって構成されている。

40

【0015】

スイッチング素子 220 のゲート電極 222 は、ゲート線 Y に接続されている（あるいは、ゲート電極 222 は、ゲート線 Y と一体的に形成されている）。スイッチング素子 220 のソース電極 225 は、ソース線 X に接続されている（あるいは、ソース 225 は、ソース線 X と一体的に形成されている）。スイッチング素子 220 のドレイン電極 227 は、画素電極 230 に接続されている。

【0016】

対向基板 300 は、アクティブエリア 120 において、複数の画素電極 230 のそれぞれに対向した対向電極 330 を備えている。

50

また、液晶表示パネル１００は、アクティブエリア１２０の外側に位置する外周部１３０に配置された接続部１３１を備えている。この接続部１３１は、信号供給源として機能する駆動ＩＣチップやフレキシブル配線基板と接続可能である。図１に示した例では、接続部１３１は、対向基板３００の端部３００Ａより外方に延在したアレイ基板２００の延在部２００Ａ上に形成されている。

【００１７】

アクティブエリア１２０に配置されたゲート線Ｙ（１、２、３、…、ｍ）のそれぞれは、外周部１３０を経由して接続部１３１に接続されている。また、ソース線Ｘ（１、２、３、…、ｎ）のそれぞれも同様に、外周部１３０を経由して接続部１３１に接続されている。

10

【００１８】

次に、アレイ基板２００及び対向基板３００の構造をより詳細に説明する。

図２に示すように、アレイ基板２００は、ガラスなどの光透過性を有する絶縁基板２１０を用いて形成される。スイッチング素子２２０のゲート電極２２２は、ゲート線Ｙなどとともに絶縁基板２１０の上に配置されている。このゲート電極２２２は、ゲート絶縁膜２４０によって覆われている。このゲート絶縁膜２４０は、例えば、窒化シリコン（ Si_3N_4 ）などによって形成されている。

【００１９】

スイッチング素子２２０の半導体層２４２は、ゲート絶縁膜２４０の上に配置されている。この半導体層２４２には、スイッチング素子２２０のソース電極２２５及びドレイン電極２２７がコンタクトしている。これらのソース電極２２５及びドレイン電極２２７は、パッシベーション膜２４４によって覆われている。このパッシベーション膜２４４は、例えば、窒化シリコン（ Si_3N_4 ）などによって形成されている。

20

【００２０】

画素電極２３０は、パッシベーション膜２４４の上において各画素ＰＸに対応して配置されている。この画素電極２３０は、パッシベーション膜２４４に形成されたコンタクトホールを介してスイッチング素子２２０のドレイン電極２２７と電氣的に接続されている。

【００２１】

バックライト光を選択的に透過して画像を表示する透過型液晶表示パネルにおいては、画素電極２３０は、例えば、インジウム・ティン・オキシド（ITO）やインジウム・ジंक・オキシド（IZO）などの光透過性を有する導電材料によって形成されている。また、外光を選択的に反射して画像を表示する反射型液晶表示パネルにおいては、画素電極２３０は、例えば、アルミニウム（Al）やモリブデン（Mo）などの光反射性を有する導電材料によって形成されている。

30

【００２２】

対向基板３００は、ガラスなどの光透過性を有する絶縁基板３１０を用いて形成される。カラー表示タイプの液晶表示装置では、液晶表示パネル１００は、複数種類の画素、例えば赤（R）を表示する赤色画素PX R、緑（G）を表示する緑色画素PX G、青（B）を表示する青色画素PX Bを有している。

40

【００２３】

図２に示した実施形態においては、対向基板３００は、アクティブエリア１２０において、絶縁基板３１０の一方の主面（液晶層と対向する面）上に、画素PX毎に配置されたカラーフィルタ層３２０（R、G、B）を備えている。これらのカラーフィルタ層３２０（R、G、B）は、赤色（R）、緑色（G）、及び青色（B）にそれぞれ着色された複数の着色樹脂によって形成されている。

【００２４】

すなわち、対向基板３００は、絶縁基板３１０上に、赤色画素PX Rに対応して赤色の主波長の光を透過するように着色された樹脂からなる赤色カラーフィルタ層３２０ Rを備え、緑色画素PX Gに対応して緑色の主波長の光を透過するように着色された樹脂からな

50

る緑色カラーフィルタ層 320G を備え、さらに、青色画素 P X B に対応して青色の主波長の光を透過するように着色された樹脂からなる青色カラーフィルタ層 320B を備えている。

【0025】

対向電極 330 は、アクティブエリア 120 において、複数の画素 P X に対向するようにカラーフィルタ層 320 上に配置されている。この対向電極 330 は、例えば I T O や I Z O などの光透過性を有する導電材料によって形成されている。

【0026】

これらのアレイ基板 200 及び対向基板 300 の表面は、液晶層 400 に含まれる液晶分子の配向を制御するための配向膜 250 及び 350 によってそれぞれ覆われている。また、アレイ基板 200 及び対向基板 300 の外面には、それぞれ光学素子 260 及び 360 が設けられている。これらの光学素子 260 及び 360 は、液晶層 400 の特性に合わせて偏光方向を設定した偏光板などを含んでいる。

【0027】

図 1 に示すように、シール材 110 は、略矩形状のアクティブエリア 120 を囲むようにアレイ基板 200 と対向基板 300 との間に配置される。シール材 110 は、例えば熱硬化性樹脂や紫外線硬化性樹脂などの樹脂材料によって形成され、液晶表示パネル 100 を構成する一方の基板、例えばアレイ基板 200 のアクティブエリア 120 を囲むシール部 115 に塗布される。その後、他方の基板、例えば対向基板 300 をアレイ基板 200 に対向配置した状態で、一对の基板を貼り合わせる方向に加圧しながら加熱するあるいは紫外線を照射する。これにより、シール材 110 が硬化し、アレイ基板 200 と対向基板 300 とが貼り合わせられる。

【0028】

次に、アレイ基板側から対向基板側への給電構造についてより詳細に説明する。

アレイ基板 200 は、対向電極 330 に対して所定の電位、例えば対向電位を供給するための対向電圧生成回路 C O M と対向電圧生成回路 C O M から出力された対向電位が印加される給電パッド 510 と、をさらに備えている。

【0029】

給電パッド 510 は、アクティブエリア 120 外の角部、すなわちシール材 110 が配置されるシール部 115 よりも基板端側に位置したアレイ基板 200 の角部に配置されている。この給電パッド 510 は、対向基板 300 においてシール部 115 よりも基板端側まで延在した対向電極 330 と対向している。このような給電パッド 510 は、パッシベーション膜 244 の上に配置され、画素電極 230 と同一材料によって形成されている。この給電パッド 510 は、配向膜 250 から露出している。

【0030】

給電パッド 510 の上には、対向電極 330 にコンタクトした導電性部材 700 が配置されている。つまり、対向電圧生成回路 C O M から出力された対向電位は、給電パッド 510 を介して導電性部材 700 により対向電極 330 へ印加される。

【0031】

対向電圧生成回路 C O M はアレイ基板 200 のアクティブエリア 120 外に形成されている。対向電圧生成回路 C O M は、例えば低温ポリシリコン技術により、スイッチング素子 220、ゲート線 Y、ソース線 X 等を形成する工程と同時に、アレイ基板 200 の絶縁基板 210 上に形成される。

【0032】

図 3 に、対向電圧生成回路 C O M の最終段のバッファ回路の一構成例を示す。対向電圧生成回路 C O M は複数段のバッファ回路 B f を備えている。対向電圧生成回路 C O M の最終段のバッファ回路は、第 1 電圧源 V D D と対向電極 330 との電氣的接続を切替える第 1 スイッチ S W A と、第 2 電圧源 V S S と対向電極 330 との電氣的接続を切替える第 2 スイッチ S W B と、第 1 スイッチ S W A のゲート電圧を制御する論理回路 P g a t e と、第 2 スイッチ S W B のゲート電圧を制御する論理回路 N g a t e と、遅延回路 520 と、

10

20

30

40

50

を備えている。

【0033】

第1スイッチSWAは、P型の薄膜トランジスタであって、ソースドレインパスが第1電圧源VDDと対向電極330との間に電氣的に接続されている。第2スイッチSWBは、N型の薄膜トランジスタであって、ソースドレインパスが第2電圧源VSSと対向電極330との間に電氣的に接続されている。

【0034】

論理回路Pgateは、否定論理積回路530と、否定論理積回路530の後段に直列に接続された2つのインバート回路INVと、を備えている。否定論理積回路530の出力信号は、2つのインバート回路INVを介して第1スイッチSWAのゲート電極に印加される。したがって論理回路Pgateの出力信号は、否定論理積回路530の出力信号を反転しない信号となる

10

論理回路Ngateは、否定論理和回路540と、否定論理和回路540の後段に直列に接続された2つのインバート回路INVと、を備えている。否定論理和回路540の出力信号は、2つのインバート回路INVを介して第2スイッチSWBのゲート電極に印加される。したがって論理回路Ngateの出力信号は、否定論理和回路540の出力信号を反転しない信号となる。

【0035】

遅延回路520は、直列に接続された複数のインバート回路INVを備えている。遅延回路520は、遅延回路520の入力信号と出力信号との波形が反転しないように、2以上の偶数のインバート回路INVを備えている。なお、遅延回路520のインバート回路INVの数は、液晶容量LCの大きさや配線容量、第1スイッチSWAおよび第2スイッチSWBのゲート容量に応じて調整することが望ましい。

20

【0036】

遅延回路520には、接続部131を介して信号供給源としての駆動ICチップやフレキシブル配線基板から（若しくは複数段のバッファ回路Bfを介して）VCOM信号が入力される。論理回路Pgateの否定論理積回路530にはVCOM信号（遅延回路520の入力信号）と遅延回路520の出力信号（VCOM Delay）とが入力される。論理回路Ngateの否定論理和回路540にはVCOM信号（遅延回路520の入力信号）と遅延回路520の出力信号（VCOM Delay）とが入力される。

30

【0037】

図4は、図3に示すバッファ回路の動作を説明するためのタイミングチャートの一例を示す。遅延回路520から出力される出力信号（VCOM Delay）は入力されたVCOM信号に対して所定期間だけ遅延した波形となる。

【0038】

VCOM信号がロー（Low）レベルであって、出力信号（VCOM Delay）がローレベルである期間T1では、論理回路Pgateおよび論理回路Ngateは共にハイ（High）レベルの信号を出力する。したがってこの期間T1では、第2スイッチSWBのソースドレインパスが導通して対向電極330には第2電圧源VSSから対向電圧が供給されている。

40

【0039】

VCOM信号がローレベルからハイレベルへ変化し、出力信号（VCOM Delay）がローレベルのままである期間Td1では、論理回路Pgateはハイレベルの信号出力を維持し、論理回路Ngateはローレベルの信号を出力する。したがって、この期間Td1では、第1スイッチSWAおよび第2スイッチSWBの両方が開いた状態となる。

【0040】

VCOM信号がハイレベルへ変化した後、所定期間が経過すると、出力信号（VCOM Delay）がハイレベルへ変化する。VCOM信号と出力信号（VCOM Delay）との両方がハイレベルである期間T2では、論理回路Pgateおよび論理回路Ngateは共にローレベルの信号を出力する。したがって、この期間T2では、第1スイッチSWAのソースド

50

レインパスが導通して対向電極 330 には第 1 電圧源 VDD から対向電圧が供給される。

【0041】

VCOM 信号がハイレベルからローレベルへ変化し、出力信号 (VCOM Delay) がハイレベルのままである期間 Td2 では、論理回路 Pgate はハイレベルの信号を出力し、論理回路 Ngate はローレベルの出力信号を維持する。したがって、この期間 Td2 では、第 1 スイッチ SWA および第 2 スイッチ SWB の両方が開いた状態となる。

【0042】

VCOM 信号がローレベルへ変化した後、所定期間が経過すると、出力信号 (VCOM Delay) がローレベルへ変化して、再び VCOM 信号と出力信号 (VCOM Delay) とが共にローレベルとなり、第 2 スイッチ SWB のソースドレインパスが導通する。

10

【0043】

上記のように、図 3 に示すバッファ回路では、VCOM 信号が変化してから出力信号 (VCOM Delay) が変化するまでの期間 (期間 Td1、Td2) は、第 1 スイッチ SWA および第 2 スイッチ SWB の両方が閉じた状態となり、第 1 スイッチ SWA と第 2 スイッチ SWB との両方のソースドレインパスが導通する期間が生じない。したがって、遅延回路 520 による遅延期間を負荷容量の大きさに応じて調整することにより、第 1 電圧源 VDD から第 2 電圧源 VSS へ貫通電流が流れることを防止し、消費電力が増すことを回避することができる。

【0044】

すなわち、本実施形態に係る液晶表示装置によれば、消費電力を低減する液晶表示装置を提供することができる。

20

【0045】

次に、第 2 実施形態に係る液晶表示装置について図面を参照して説明する。なお、以下の説明において上述の第 1 実施形態に係る液晶表示装置と同様の構成については同一の符号を付して説明を省略する。本実施形態に係る液晶表示装置は、アレイ基板 200 の対向電圧生成回路 COM の最終段のバッファ回路の構成が上述の第 1 実施形態に係る液晶表示装置と異なっている。

【0046】

図 5 に、本実施形態に係る液晶表示装置のアレイ基板 200 に設けられた対向電圧生成回路 COM の最終段のバッファ回路の一構成例を示す。対向電圧生成回路 COM の最終段のバッファ回路は、第 1 電圧源 VDD と対向電極 330 との電氣的接続を切替える第 1 スイッチ SWA と、第 2 電圧源 VSS と対向電極 330 との電氣的接続を切替える第 2 スイッチ SWB と、第 1 スイッチ SWA のゲート電圧を制御する論理回路 Pgate と、第 2 スイッチ SWB のゲート電圧を制御する論理回路 Ngate と、遅延回路 520A、520B と、を備えている。

30

【0047】

第 1 スイッチ SWA は、P 型の薄膜トランジスタであって、ソースドレインパスが第 1 電圧源 VDD と対向電極 330 との間に電氣的に接続されている。第 2 スイッチ SWB は、N 型の薄膜トランジスタであって、ソースドレインパスが第 2 電圧源 VSS と対向電極 330 との間に電氣的に接続されている。

40

【0048】

論理回路 Pgate は、否定論理積回路 530 と、否定論理積回路 530 の後段に直列に接続された 2 つのインバート回路 INV と、を備えている。論理回路 Pgate の出力信号は、否定論理積回路 530 の出力信号を反転しない信号となる。否定論理積回路 530 には、接続部 131 を介して信号供給源としての駆動 IC チップやフレキシブル配線基板から (若しくは複数段のバッファ回路 Bf を介して) VCOM 信号と後述する遅延回路 520B の出力信号とが入力される。否定論理積回路 530 の出力信号は、2 つのインバート回路 INV を介して第 1 スイッチ SWA のゲート電極に印加される。

【0049】

論理回路 Ngate は、否定論理和回路 540 と、否定論理和回路 540 の後段に直列

50

に接続された2つのインバート回路INVと、を備えている。論理回路Ngateの出力信号は、否定論理和回路540の出力信号を反転しない信号となる。否定論理和回路540には、接続部131を介して信号供給源としての駆動ICチップやフレキシブル配線基板から（若しくは複数段のバッファ回路Bfを介して）VCOM信号と後述する遅延回路520Aの出力信号が入力される。否定論理和回路540の出力信号は、2つのインバート回路INVを介して第2スイッチSWBのゲート電極に印加される。すなわち、否定論理積回路530と否定論理和回路540とには共通の制御信号としてVCOM信号が入力される。

【0050】

遅延回路520Aはインバート回路INVを備えている。遅延回路520Aは、遅延回路520Aの入力信号と出力信号との波形が反転するように、直列に接続された1以上の奇数のインバート回路INVを備えている。遅延回路520Aには論理回路Ngateの出力信号が入力され、遅延回路520Aの出力信号は論理回路Pgateの否定論理積回路530に入力される。

【0051】

同様に、遅延回路520Bはインバート回路INVを備えている。遅延回路520Bは、遅延回路520Bの入力信号と出力信号との波形が反転するように、直列に接続された1以上の奇数のインバート回路INVを備えている。遅延回路520Bには論理回路Pgateの出力信号が入力され、遅延回路520Bの出力信号は論理回路Ngateの否定論理和回路540に入力される。

【0052】

なお、遅延回路520A、520Bのインバート回路INVの数は、液晶容量LCの大きさや配線容量、第1スイッチSWAおよび第2スイッチSWBのゲート容量に応じて調整することが望ましい。

【0053】

図6に、図5に示すバッファ回路の動作を説明するためのタイミングチャートの一例を示す。

VCOM信号がロー（Low）レベルである期間T3では、論理回路Pgateおよび論理回路Ngateは共にハイレベルの信号を出力する。したがってこの期間T3では、第2スイッチSWBのソースドレインパスが導通して対向電極330には第2電圧源VSSから対向電圧が供給されている。

【0054】

図7Aおよび図7Bに、VCOM信号がローレベルからハイレベルへ変化するときのバッファ回路の動作を説明するための図を示す。VCOM信号がローレベルからハイレベルへ変化してから所定期間Td3では、まず、図6および図7Aに示すように論理回路Ngateの出力信号がローレベルとなる。このことによって、第2スイッチSWBが開いた状態となる。したがって期間Td3では第1スイッチSWAおよび第2スイッチSWBの両方が開いている。

【0055】

VCOM信号がローレベルからハイレベルへ変化して所定期間Td3経過すると、図6および図7Bに示すように、遅延回路520Bを介して論理回路Pgateに入力される論理回路Ngateの信号がハイレベルとなり、論理回路Pgateの出力信号がハイレベルへ変化する。したがって、VCOM信号がローレベルからハイレベルへ変化して所定期間Td3経過した後の期間T4では、第1スイッチSWAのソースドレインパスが導通して、対向電極330には第1電圧源VDDから対向電圧が供給される。

【0056】

図8Aおよび図8Bに、VCOM信号がハイレベルからローレベルへ変化するときのバッファ回路の動作を説明するための図を示す。VCOM信号がハイレベルからローレベルへ変化してから所定期間Td4では、まず、図6および図8Aに示すように、論理回路Pgateの出力信号がハイレベルとなる。このことによって、第1スイッチSWAが開い

10

20

30

40

50

た状態となる。したがって期間 T d 4 では第 1 スイッチ S W A および第 2 スイッチ S W B の両方が開いている。

【 0 0 5 7 】

V C O M 信号がハイレベルからローレベルへ変化して所定期間 T d 4 経過すると、図 6 および図 8 B に示すように、遅延回路 5 2 0 A を介して論理回路 N g a t e に入力される論理回路 P g a t e の信号がローレベルとなり、論理回路 N g a t e の出力信号がハイレベルとなる。したがって、V C O M 信号がハイレベルからローレベルへ変化して所定期間 T d 4 経過した後の期間 T 3 では、第 2 スイッチ S W B のソースドレインパスが導通して、対向電極 3 3 0 には第 2 電圧源 V S S から対向電圧が供給される。

【 0 0 5 8 】

上記のように、図 5 に示すバッファ回路では、V C O M 信号が変化してから遅延回路 5 2 0 A、5 2 0 B の出力信号が変化するまでの期間（期間 T d 3、T d 4）は、第 1 スイッチ S W A および第 2 スイッチ S W B の両方が閉じた状態となり、第 1 スイッチ S W A と第 2 スイッチ S W B との両方のソースドレインパスが導通する期間が生じない。したがって、遅延回路 5 2 0 A、5 2 0 B による遅延期間を負荷容量の大きさに応じて調整することにより、第 1 電圧源 V D D から第 2 電圧源 V S S へ貫通電流が流れることを防止し、消費電力が増すことを回避することができる。

【 0 0 5 9 】

すなわち、本実施形態に係る液晶表示装置によれば、消費電力を低減する液晶表示装置を提供することができる。

【 0 0 6 0 】

以上で説明したように、上述の第 1 実施形態および第 2 実施形態によれば、アレイ基板 2 0 0 内に対向電圧生成回路 C O M を内蔵し、低消費電力を実現する表示装置を提供することが可能である。

【 0 0 6 1 】

なお、対向電圧生成回路 C O M は、アレイ基板 2 0 0 を形成する低温ポリシリコン製造工程において、アクティブエリア 1 2 0 に配置されたスイッチング素子 2 2 0、ゲート線 Y、ソース線 X 等を形成する工程と同時に、アレイ基板 2 0 0 の絶縁基板 2 1 0 上に形成されるため製造工程も増加せず、したがって上記実施形態によれば製造コストを増大させることもなく上記効果を得ることが可能である。

【 0 0 6 2 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【 0 0 6 3 】

P X … 画素、C O M … 対向電圧生成回路、V D D … 第 1 電圧源、S W A … 第 1 スイッチ、V S S … 第 2 電圧源、S W B … 第 2 スイッチ、P g a t e … 第 1 論理回路、N g a t e … 第 2 論理回路、I N V … インバート回路、1 0 0 … 液晶表示パネル、1 2 0 … アクティブエリア、1 3 0 … 外周部、2 0 0 … アレイ基板、2 3 0 … 画素電極、3 0 0 … 対向基板、3 3 0 … 対向電極、4 0 0 … 液晶層、5 2 0 … 遅延回路、5 2 0 A … 第 1 遅延回路、5 2 0 B … 第 2 遅延回路、5 3 0 … 否定論理積回路、5 4 0 … 否定論理和回路、7 0 0 … 導電性部材。

10

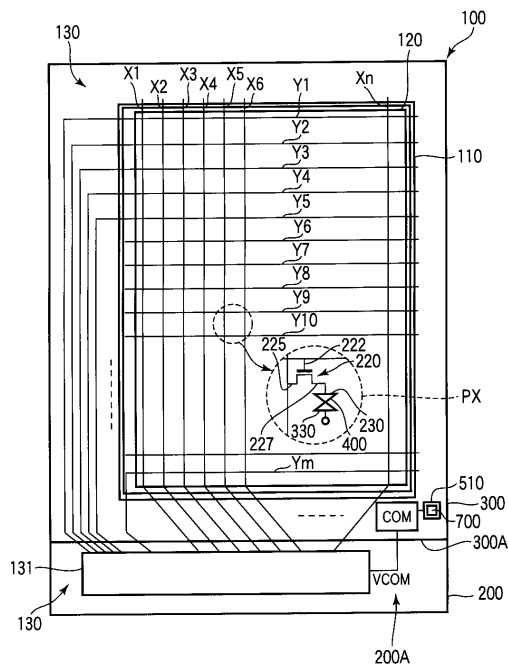
20

30

40

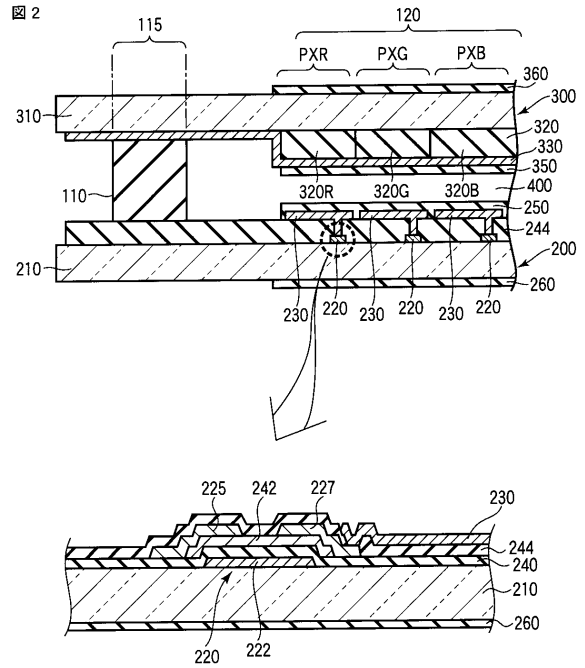
【図 1】

図 1



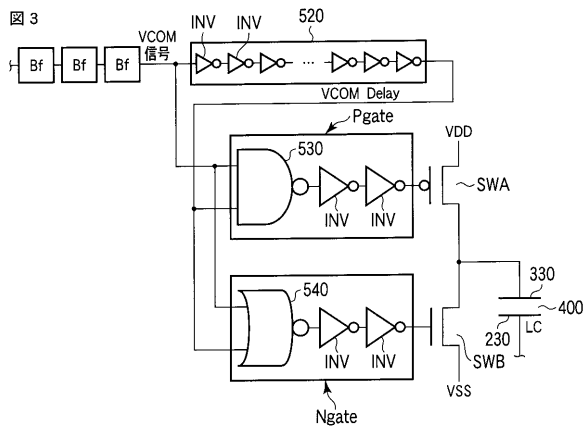
【図 2】

図 2



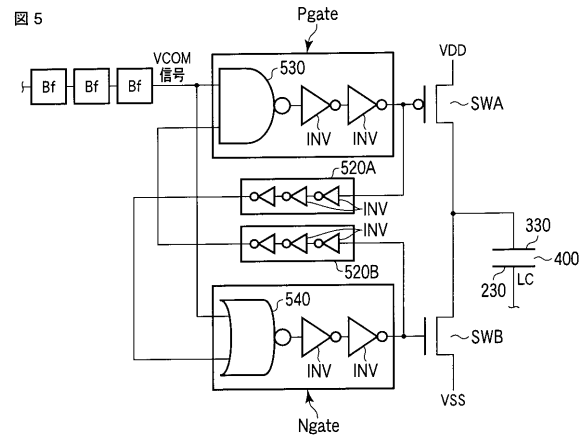
【図 3】

図 3



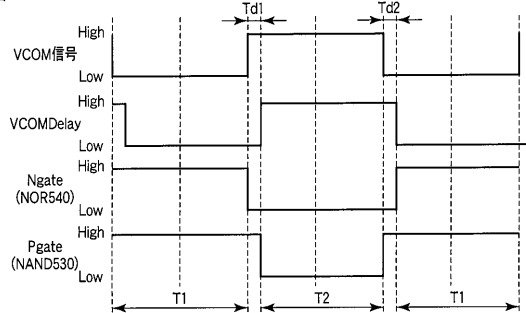
【図 5】

図 5



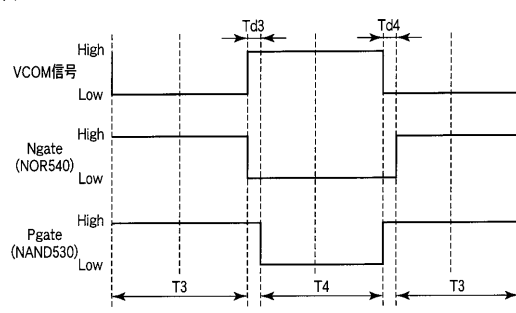
【図 4】

図 4

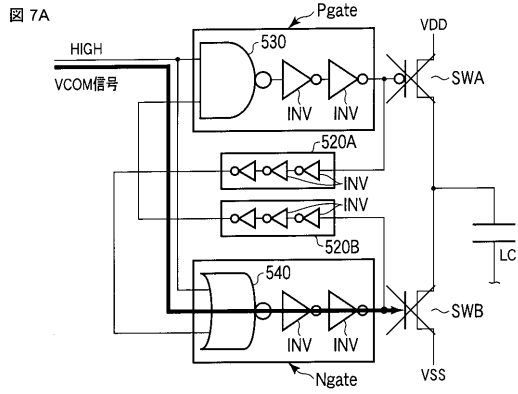


【図 6】

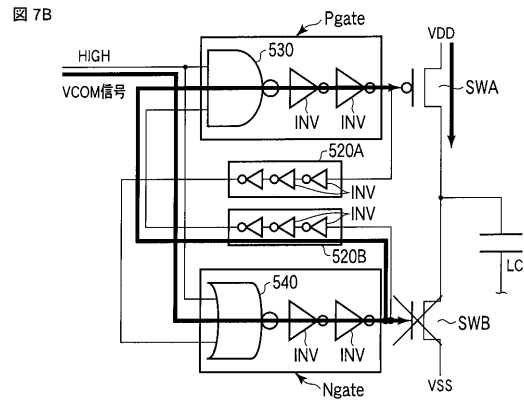
図 6



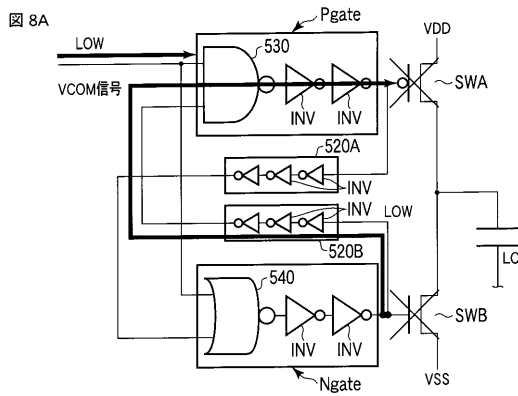
【図 7 A】



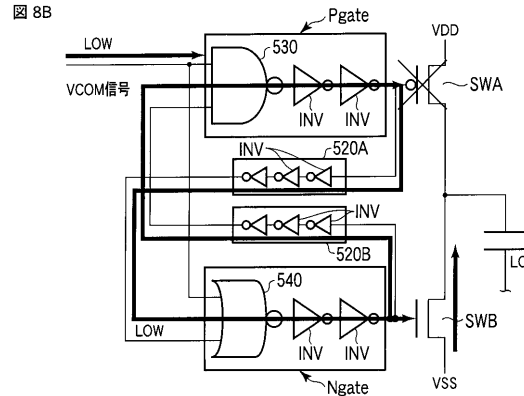
【図 7 B】



【図 8 A】



【図 8 B】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
G 0 9 G 3/20 6 1 1 A

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 丸山 哲
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

(72)発明者 原田 賢治
埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

Fターム(参考) 2H193 ZA04 ZF02 ZF59 ZG03

5C006 AA16 AA22 AC11 AC25 AC26 AF50 AF52 AF71 BB16 BC20
BF07 BF25 BF26 BF27 BF33 BF34 BF42 EB05 FA16 FA36
FA37 FA47 FA51

5C080 AA10 BB05 CC03 DD24 DD25 DD26 DD27 FF03 FF11 JJ02
JJ03 JJ04 KK03 KK07 KK20 KK23

专利名称(译)	液晶表示装置		
公开(公告)号	JP2012163696A	公开(公告)日	2012-08-30
申请号	JP2011022953	申请日	2011-02-04
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	丸山哲 原田賢治		
发明人	丸山 哲 原田 賢治		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.535 G09G3/20.624.C G09G3/20.621.M G09G3/20.611.A		
F-TERM分类号	2H193/ZA04 2H193/ZF02 2H193/ZF59 2H193/ZG03 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AC26 5C006/AF50 5C006/AF52 5C006/AF71 5C006/BB16 5C006/BC20 5C006/BF07 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF33 5C006/BF34 5C006/BF42 5C006/EB05 5C006/FA16 5C006/FA36 5C006/FA37 5C006/FA47 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD27 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK03 5C080/KK07 5C080/KK20 5C080/KK23		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
外部链接	Espacenet		

摘要(译)

提供一种降低功耗的液晶显示装置。和第一基板200，第二基板300具有面向每个所述多个像素电极230，第一基板200和第二基板之间夹持的液晶层的对置电极330 300 400，包括第一基板200包括计数器电压产生电路COM，其控制提供给公共电极330的电压，对电极电压产生电路COM电对置电极330和第一电压源VDD之间第一开关SWA的切换连接，第二开关SWB用于切换对置电极330和第二电压源VSS之间的电连接，以及用于控制所述第一开关SWA的开闭输出信号的NAND电路530—NOR为用于控制第二开关SWB，延迟电路520，提供时，NAND电路530的开闭输出信号电路540和NOR电路540和延迟电路的输入信号520个输出信号输入。点域1

