(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2010-175857
(P2010-175857A)
(43)公開日　平成22年8月12日(2010.8.12)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	3/36	(2006.01)	G09G	3/36		2H093
G09G	3/20	(2006.01)	G09G	3/20	611E	5C006
G02F	1/133	(2006.01)	G09G	3/20	624D	5C080
			G09G	3/20	621B	
			G09G	3/20	624B	

審査請求 未請求　請求項の数 13　ＯＬ　（全 61 頁）　最終頁に続く

(21)出願番号　特願2009-18773(P2009-18773)
(22)出願日　平成21年1月29日(2009.1.29)

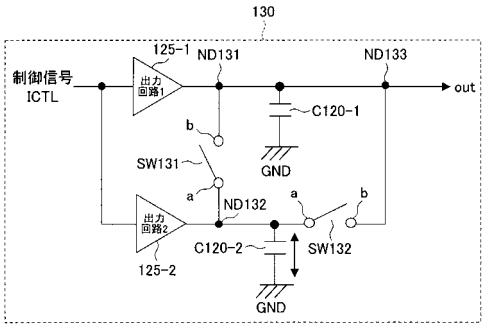
(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　豊島　良彦
東京都港区港南１丁目７番１号　ソニー株式会社内
(72)発明者　板倉　直之
東京都港区港南１丁目７番１号　ソニー株式会社内

Ｆターム(参考)　2H093 NA16 NA32 NA33 NA34 NA43 NA80 NB01 NC18 NC21 NC34 ND07 ND10

最終頁に続く

(54)【発明の名称】表示装置および電子機器

(57)【要約】　（修正有）
【課題】スタートアップ時間に影響を与えることなくリップルを抑制できる表示装置および電子機器を提供する。
【解決手段】液晶電位の揺らぎ防止回路１３０においては、平滑容量である第１のキャパシタＣ１２０－１と第２のキャパシタＣ１２０－２をスイッチングによりスタートアップ時にはサイズを小さく、通常時はサイズを大きくする。液晶電位の揺らぎ防止回路１３０においては、単純にスイッチングを行うと電位の変動が発生してしまい、画表示に問題が生じるおそれがあるため、予備の平滑容量としての第２のキャパシタＣ１２０－２をあらかじめ充電しておく。これにより、黒輝度および白輝度の両方の輝度を最適化することが可能なことはもとより、フリッカの発生を抑止でき、使用によってコモン電圧信号のセンター値が最適値からシフトすることを防止できる。
【選択図】図１１



【特許請求の範囲】
【請求項１】
スイッチング素子を通して映像用画素データを書き込む複数の画素回路がマトリクス状に配置された有効画素部と、
上記有効画素部の上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、
上記画素回路の行配列に対応するように配置された複数の容量配線と、
上記画素回路の列配列に対応するように配置され、上記画素データを伝搬する複数の信号ラインと、
上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、
モニタ画素の検出電位を平均化した電位を検出して所定の周期で電圧レベルが切り替わるコモン電圧信号のセンター値を修正可能なモニタ回路と、を有し、
上記有効画素部に配列された各画素回路は、
第１画素電極および第２画素電極を有する表示エレメントと、
第１電極および第２電極を有する保持容量と、を含み、
上記表示エレメントの第１画素電極と上記保持容量の第１電極と上記スイッチング素子の一端子が接続され、
上記保持容量の第２電極が対応する行に配列された上記容量配線に接続され、
上記表示エレメントの第２画素電極には所定の周期でレベルが切り替わるコモン電圧信号が印加され、
上記モニタ回路は、
検出画素電位を平均化して中間電位を検出する検出回路と、
上記検出回路が検出した中間電位と上記コモン電圧信号のセンター値に関する情報を含む信号との比較結果に応じて上記コモン電圧信号のセンター値を調整して出力する出力回路と、
上記出力回路の出力の電位の揺らぎを防止するための揺らぎ防止回路と、を有し、
上記出力回路は、複数系統形成され、
上記揺らぎ防止回路は、
上記出力回路の出力ラインに接続される平滑容量と、
動作状態に応じて上記平滑容量をスイッチングして平滑容量のサイズを変更可能なスイッチ部と、を含む
表示装置。
【請求項２】
上記揺らぎ防止回路は、
スタートアップ時には、平滑容量のサイズが小さくなり、通常時には平滑容量のサイズを大きくなるように上記スイッチ部が制御される
請求項１記載の表示装置。
【請求項３】
上記出力回路は、
上記比較結果の供給ラインに対して並列に接続された第１の出力回路と第２の出力回路と、を含み、
上記揺らぎ防止回路は、
上記第１の出力回路の出力と上記第１の出力回路の出力との間に接続された第１のスイッチと、
上記第２の出力回路の出力と上記第１の出力回路の出力との間に接続された第２のスイッチと、
上記第１の出力回路の出力に接続された第１の平滑容量と、
上記第２の出力回路の出力に接続された第２の平滑容量と、を有する
請求項１または２記載の表示装置。
【請求項４】

上記揺らぎ防止回路は、
スタートアップ時は、上記第１のスイッチおよび第２のスイッチがオフ状態に制御され、
通常時は、上記第１のスイッチおよび第２のスイッチがオン状態に制御される
請求項３記載の表示装置。
【請求項５】
通常時は、上記第２の出力回路が非動作状態に制御される
請求項４記載の表示装置。
【請求項６】
上記モニタ回路は、
正極性または負極性の少なくとも一つのモニタ画素を含む第１モニタ画素部と、
負極性または正極性の少なくとも一つのモニタ画素を含む第２モニタ画素部と、
上記第１モニタ画素部の検出画素電位と上記第２モニタ画素部の検出画素電位を平均化して中間電位を検出する検出回路と、
上記検出回路が検出した中間電位と上記コモン電圧信号のセンター値に関する情報を含む信号との比較結果に応じて上記コモン電圧信号のセンター値を調整して出力する出力回路と、を含む
請求項１から５のいずれか一に記載の表示装置。
【請求項７】
上記出力回路は、
上記検出回路が検出した中間電位と、上記センター値に関する情報としてフィードバックされる出力側信号との比較結果に応じて上記コモン電圧信号のセンター値を調整して出力する
請求項６記載の表示装置。
【請求項８】
上記出力回路は、
上記検出回路が検出した中間電位とフィードバックされる出力側信号とを比較する比較器と、
上記比較器の比較結果を受けて反転させて出力する定電流源付きインバータと、
上記定電流源付きインバータの出力をゲート入力とし、ソースに電流源が接続されたトランジスタを含むソースフォロワーと、を含む
請求項７記載の表示装置。
【請求項９】
上記モニタ回路は、
上記有効画素部とは別個に、走査ライン、容量配線、信号ライン、および駆動回路を有し、
上記モニタ画素回路は、上記有効画素部の画素回路と等価な構成を有する
請求項６から８のいずれか一に記載の表示装置。
【請求項１０】
上記第１モニタ画素部と上記第２モニタ画素部は、互いに異なる極性であり、正極性と負極性が所定の周期で切替えられる
請求項９記載の表示装置。
【請求項１１】
上記第１モニタ画素部および上記第２モニタ画素部は、
複数の上記モニタ画素が行列状に配列され、行方向および列方向に隣接するモニタ画素がそれぞれ異なる第１走査ライン、第２走査ラインに接続され、
上記第２走査ラインに接続されているモニタ画素の画素電極が配線により接続されている
請求項９または１０記載の表示装置。
【請求項１２】

上記モニタ回路において、
上記第１走査ラインを通して当該第１走査ラインに接続された複数のモニタ画素を空駆動した後、第２走査ラインを通して当該第２走査ラインに接続された複数のモニタ画素を駆動して検出画素電位を得る
請求項１１記載の表示装置。
【請求項１３】
表示装置を有し、
上記表示装置は、
スイッチング素子を通して映像用画素データを書き込む複数の画素回路がマトリクス状に配置された有効画素部と、
上記有効画素部の上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、
上記画素回路の行配列に対応するように配置された複数の容量配線と、
上記画素回路の列配列に対応するように配置され、上記画素データを伝搬する複数の信号ラインと、
上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、
モニタ画素の検出電位を平均化した電位を検出して所定の周期で電圧レベルが切り替わるコモン電圧信号のセンター値を修正可能なモニタ回路と、を有し、
上記有効画素部に配列された各画素回路は、
第１画素電極および第２画素電極を有する表示エレメントと、
第１電極および第２電極を有する保持容量と、を含み、
上記表示エレメントの第１画素電極と上記保持容量の第１電極と上記スイッチング素子の一端子が接続され、
上記保持容量の第２電極が対応する行に配列された上記容量配線に接続され、
上記表示エレメントの第２画素電極には所定の周期でレベルが切り替わるコモン電圧信号が印加され、
上記モニタ回路は、
検出画素電位を平均化して中間電位を検出する検出回路と、
上記検出回路が検出した中間電位と上記コモン電圧信号のセンター値に関する情報を含む信号との比較結果に応じて上記コモン電圧信号のセンター値を調整して出力する出力回路と、
上記出力回路の出力の電位の揺らぎを防止するための揺らぎ防止回路と、を有し、
上記出力回路は、複数系統形成され、
上記揺らぎ防止回路は、
上記出力回路の出力ラインに接続される平滑容量と、
動作状態に応じて上記平滑容量をスイッチングして平滑容量のサイズを変更可能なスイッチ部と、を含む
電子機器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、画素の表示エレメント（電気光学素子）を表示領域にマトリクス状に配列したアクティブマトリクス型の表示装置および電子機器に関するものである。
【背景技術】
【０００２】
表示装置、たとえば液晶セルを画素の表示エレメント（電気光学素子）に用いた液晶表示装置は、薄型で低消費電力であるという特徴を有している。
液晶表示装置は、このような特徴をいかして、たとえば携帯情報端末(Personal Digital Assistant ：ＰＤＡ)、携帯電話、デジタルカメラ、ビデオカメラ、パーソナルコンピュータ用表示装置等、幅広い電子機器に適用されている。

【０００３】
図１は、液晶表示装置の構成例を示すブロック図である（たとえば特許文献１，２参照）。
液晶表示装置１は、図１に示すように、有効画素部２、垂直駆動回路（ＶＤＲＶ）３、および水平駆動回路（ＨＤＲＶ）４を有している。
【０００４】
有効画素部２は、複数の画素回路２１が、マトリクス状に配列されている。
各画素回路２１は、スイッチング素子としての薄膜トランジスタ（ＴＦＴ；thin film transistor）２１、液晶セルＬＣ２１、および保持容量Ｃｓ２１を有する。
ＴＦＴ２１のドレイン電極（またはソース電極）に液晶セルＬＣ２１の画素電極が接続され、ＴＦＴ２１のドレイン電極に保持容量Ｃｓ２１の一方の電極が接続されている。
これら画素回路２１の各々に対して、走査ライン（ゲートライン）５－１～５－ｍが各行毎にその画素配列方向に沿って配線され、信号ライン６－１～６－ｎが各列毎にその画素配列方向に沿って配線されている。
そして、各画素回路２１のＴＦＴ２１のゲート電極は、各行単位で同一の走査ライン５－１～５－ｍにそれぞれ接続されている。また、各画素回路２１のソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン６－１～６－ｎに各々接続されている。
【０００５】
さらに、一般的な液晶表示装置においては、保持容量配線Ｃｓを配線し、この保持容量配線Ｃｓと液晶セルＬＣ２１の第１電極との間に保持容量Ｃｓ２１が形成されが、保持容量配線Ｃｓは、コモン電圧ＶＣＯＭと同相パルスが入力され、保持容量として用いる。一般的な液晶表示装置においては、有効画素部２におけるすべての画素回路２１の保持容量Ｃｓ２１は、一つの保持容量配線Ｃｓに共通に接続されている。
そして、各画素回路２１の液晶セルＬＣ２１の第２電極は、たとえば１水平走査期間（１Ｈ）毎に極性が反転するコモン電圧Ｖｃｏｍの供給ライン７に共通に接続されている。
【０００６】
各走査ライン５－１～５－ｍは、垂直駆動回路３により駆動され、各信号ライン６－１～６－ｎは水平駆動回路４により駆動される。
【０００７】
垂直駆動回路３は、１フィールド期間ごとに垂直方向（行方向）に走査して走査ライン５－１～５－ｍに接続された各画素回路２１を行単位で順次選択する処理を行う。
すなわち、垂直駆動回路３から走査ライン５－１に対して走査パルスＧＰ１が与えられたときには第１行目の各列の画素が選択され、走査ライン５－２に対して走査パルスＧＰ２が与えられたときには第２行目の各列の画素が選択される。以下同様にして、走査ライン５－３，…，５－ｍに対して走査パルスＧＰ３，…，ＧＰｍが順に与えられる。
【０００８】
図２（Ａ）～（Ｅ）に、図１に示す一般的な液晶表示装置のいわゆる１ＨＶｃｏｍ反転駆動方式におけるタイミングチャートを示す。
図２（Ａ）がゲートパルスＧＰ＿Ｎを、図２（Ｂ）がコモン電圧Ｖｃｏｍを、図２（Ｃ）がストレージ信号ＣＳ＿Ｎを、図２（Ｄ）が映像信号Ｖｓｉｇを、図２（Ｅ）が液晶セルに印加される信号Ｐｉｘ＿Ｎをそれぞれ示している。
【０００９】
また、他の駆動方式として、保持容量配線Ｃｓからのカップリングを利用して液晶への印加電圧を変調させる容量結合駆動方式が知られている（たとえば特許文献３参照）。
【先行技術文献】
【特許文献】
【００１０】
【特許文献１】特開平１１－１１９７４６号公報
【特許文献２】特開２０００－２９８４５９号公報
【特許文献３】特開平２－１５７８１５号公報

【発明の概要】
【発明が解決しようとする課題】
【００１１】
上述した容量結合駆動方式は、１ＨＶｃｏｍ反転駆動方式に比べいわゆるオーバドライブによる液晶の応答速度を改善でき、またＶｃｏｍ周波数帯域で発生するオーディオノイズを低減でき、超高精細パネルにおけるコントラストの補償が行えるなどの特徴がある。
【００１２】
ところが、特許文献３に記載されたこの容量結合駆動方式を、図３に示すような、印加電圧に対する液晶誘電率εの特性を有する液晶材料（たとえば、ノーマリーホワイト）を用いて液晶表示装置に採用した場合、次のような不利益がある。
すなわち、この場合、実効画素電位を考慮した際に、製造時の液晶ギャップ変動／ゲート酸化膜厚変動、または温度環境変化時の液晶の比誘電率変動が起こった際の輝度変化が大きいという不利益がある。
また、黒輝度を最適化しようとした際、白輝度が黒くなる（沈んでしまう）という不利益がある。
【００１３】
（数１）
$$\Delta Vpix1 = Vsig + (Ccs/(Ccs+Clc)) * \Delta Vcs - Vcom \cdots (1)$$
【００１４】
式（１）において、ΔＶｐｉｘは実効画素電位、Ｖｓｉｇは映像信号電圧、Ｃｃｓは保持容量、Ｃｌｃは液晶容量を、ΔＶｃｓはストレージ信号ＣＳの電位を、Ｖｃｏｍはコモン電圧をそれぞれ示している。
上述したように、黒輝度を最適化しようとした際、白輝度が沈んでしまうのは、上記式（１）の（Ｃｃｓ／Ｃｃｓ＋Ｃｌｃ）＊ΔＶｃｓの項にあり、液晶誘電率の非線形性が実効画素電位に影響を与えるためである。
【００１５】
コモン電圧Ｖｃｏｍのセンター値の調整を行わない場合、表示画面においてフリッカが発生するという問題がある。また、正負極性にて、液晶層に印加される電圧が異なるために焼きつきの問題が発生する。
これらの対策として、出荷時の検査工程において、最適なコモン電圧Ｖｃｏｍのセンター値を調整し出荷を行う必要がある。この検査工程においては調整回路等を別途設ける必要もあり、煩雑な手間を要する。
検査工程において、コモン電圧Ｖｃｏｍセンター値を最適に調整したとしても、使用中の温度、駆動方式、駆動周波数、バックライト（B/L）輝度、外光輝度の変化により、また連続使用により、コモン電圧Ｖｃｏｍのセンター値が最適値からシフトする。したがって、同様の問題が発生する。
【００１６】
また、液晶に印加する対向電位や保持電位に揺らぎ（リップル）が起きると画面に揺らぎなど見え画品位が低下するおそれがある。平滑容量のサイズを大きくするとリップルノイズの抑制が行える。
しかしながら、容量サイズを大きくすると充電に時間がかかってしまう。そうするとスタートアップ時に画がすぐに切り替わらずにゆっくり変わっていくのが見えてしまうおそれがある。
【００１７】
本発明は、黒輝度および白輝度の両方の輝度を最適化することが可能なことはもとより、フリッカの発生を抑止でき、使用によってコモン電圧信号のセンター値が最適値からシフトすることを防止でき、スタートアップ時間に影響を与えることなくリップルを抑制できる表示装置および電子機器を提供することにある。
【課題を解決するための手段】
【００１８】

本発明の第１の観点の表示装置または第２の観点の電子機器の表示装置は、スイッチング素子を通して映像用画素データを書き込む複数の画素回路がマトリクス状に配置された有効画素部と、上記有効画素部の上記画素回路の行配列に対応するように配置され、上記スイッチング素子の導通制御のための複数の走査ラインと、上記画素回路の行配列に対応するように配置された複数の容量配線と、上記画素回路の列配列に対応するように配置され、上記画素データを伝搬する複数の信号ラインと、上記複数の走査ライン、および上記複数の容量配線を選択的に駆動する駆動回路と、モニタ画素の検出電位を平均化した電位を検出して所定の周期で電圧レベルが切り替わるコモン電圧信号のセンター値を修正可能なモニタ回路と、を有し、上記有効画素部に配列された各画素回路は、第１画素電極および第２画素電極を有する表示エレメントと、第１電極および第２電極を有する保持容量と、を含み、上記表示エレメントの第１画素電極と上記保持容量の第１電極と上記スイッチング素子の一端子が接続され、上記保持容量の第２電極が対応する行に配列された上記容量配線に接続され、上記表示エレメントの第２画素電極には所定の周期でレベルが切り替わるコモン電圧信号が印加され、上記モニタ回路は、検出画素電位を平均化して中間電位を検出する検出回路と、上記検出回路が検出した中間電位と上記コモン電圧信号のセンター値に関する情報を含む信号との比較結果に応じて上記コモン電圧信号のセンター値を調整して出力する出力回路と、上記出力回路の出力の電位の揺らぎを防止するための揺らぎ防止回路と、を有し、上記出力回路は、複数系統形成され、上記揺らぎ防止回路は、上記出力回路の出力ラインに接続される平滑容量と、動作状態に応じて上記平滑容量をスイッチングして平滑容量のサイズを変更可能なスイッチ部と、を含む。

【発明の効果】

【００１９】

本発明によれば、黒輝度および白輝度の両方の輝度を最適化することができる。

さらに、フリッカの発生を抑止でき、使用によってコモン電圧信号のセンター値が最適値からシフトすることを防止でき、スタートアップ時間に影響を与えることなくリップルを抑制できる利点がある。

【図面の簡単な説明】

【００２０】

【図１】一般的な液晶表示装置の構成例を示すブロック図である。

【図２】図１に示す一般的な液晶表示装置のいわゆる１ＨＶｃｏｍ反転駆動方式におけるタイミングチャートを示す。

【図３】ノーマリホワイト液晶の印加電圧と比誘電率との関係を示す図である。

【図４】本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。

【図５】図４の回路の画素部の具体的な構成例を示す回路図である。

【図６】本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。

【図７】第１モニタ画素部および第２モニタ画素部の１つのモニタ画素の構成例を示す図である。

【図８】本実施形態に係るモニタ回路の基本概念を示す図である。

【図９】本実施形態に係るモニタ回路における比較出力部の具体的な構成例を示す回路図である。

【図１０】本実施形態に係る駆動方式における時間的な処理の流れを示す波形図である。

【図１１】本実施形態に係るモニタ回路における出力回路の液晶電位揺らぎ防止回路の構成例を示す図である。

【図１２】モニタ回路における出力回路の液晶電位の揺らぎ防止回路を形成する理由について説明するための図である。

【図１３】本実施形態に係る液晶電位の揺らぎ防止回路のスタートアップ時と通常時の動作状態を示す図である。

【図１４】図１１の液晶電位の揺らぎ防止回路のように２つのスイッチを用いて平滑容量

を接続、非接続とする理由を説明するための図である。
【図１５】本実施形態の液晶電位の揺らぎ防止回路の第１の形成例を示す図である。
【図１６】本実施形態の液晶電位の揺らぎ防止回路の第２の形成例を示す図である。
【図１７】本実施形態の液晶電位の揺らぎ防止回路の第３の形成例を示す図である。
【図１８】本実施形態の液晶電位の揺らぎ防止回路の第４の形成例を示す図である。
【図１９】本実施形態の駆動方式による理想状態を示す図である。
【図２０】本実施形態に係る駆動方式において正（＋）極性と負（－）極性での画素電位Ｐｉｘ対Ｖｃｏｍ電位差の関係を示す図である。
【図２１】画素トランジスタのリーク要因を模式的に示す図である。
【図２２】本実施形態に係る駆動方式において正（＋）極性と負（－）極性でゲートカップリングおよび画素トランジスタのリークによる状態をまとめて示す図である。
【図２３】本実施形態に係るコモン電圧Ｖｃｏｍのセンター値の自動調整により、画素電位変動要因による影響を抑止できる項目を示す図である。
【図２４】モニタ画素を有効画素部の一部としてたとえば１行分あるいは１画素を含むように形成する例を示す図である。
【図２５】１フレーム期間の中間では表示画素により変動する信号ラインの影響を受けてモニタ画素電位が変動してしまう例を説明するための図である。
【図２６】複数のモニタ画素で単純にゲートラインを共有（共用）する例を示す図である。
【図２７】本実施形態に係るモニタ画素部における画素配置例を示す図である。
【図２８】図２７のモニタ画素部の駆動波形例を示す図である。
【図２９】モニタ回路の構成回路の他の配置例を示す図である。
【図３０】液晶セルギャップ、層間絶縁膜などのパネル面内バラツキによって表示画素と物性値の差異ができる可能性があることを説明するための図である。
【図３１】信号Ｓｉｇの電位によるオフセット補正について説明するための図である。
【図３２】信号Ｓｉｇの電位によるオフセット補正を実現可能な回路の第１の構成例を示す図である。
【図３３】信号Ｓｉｇの電位によるオフセット補正を実現可能な回路の第２の構成例を示す図である。
【図３４】検出系やＳｉｇ書き込み系をＣＯＧやＣＯＦなど外付けＩＣ内に実現することも可能であることを説明するための図である。
【図３５】付加容量によるオフセット補正の概要について説明するための図である。
【図３６】付加容量によるオフセット補正を採用した中間電位検出回路の構成例を示す回路図である。
【図３７】付加容量の接続タイミング例を示すタイミングチャートである。
【図３８】検出画素電位オフセット補正回路の画素電位ショートモデルを示す図である。
【図３９】付加容量値を変更した場合の画素電位波形を示す図である。
【図４０】付加容量ＣＯＦの定数を変更とする構成例を示す図である。
【図４１】交互にモニタ画素電位検出を行うようなスイッチのショート、オープン状態を繰り返すようなシステムで電位の偏りが生じる例を説明するための図である。
【図４２】モニタ画素電位のショート処理による電位の偏りを生じさせない方法を説明するための図である。
【図４３】モニタ画素電位のショート処理による電位の偏りを生じさせない方法をより具体的に説明するための図である。
【図４４】モニタ画素電位のショート処理による電位の偏りを生じさせない電位偏り抑止回路の第１の構成例を示す図である。
【図４５】図４４の回路のタイミングチャートである。
【図４６】モニタ画素電位のショート処理による電位の偏りを生じさせない電位偏り抑止回路の第２の構成例を示す図である。
【図４７】図４６の回路のタイミングチャートである。

【図４８】ゲートラインの時定数ずれの要因を説明するための図である。
【図４９】本実施形態における有効画素のレイアウトモデルとモニタ画素（検出画素）のレイアウトモデルを示す図である。
【図５０】ゲートラインの時定数を一致させる方法の一例を示す図である。
【図５１】ゲートラインの時定数を一致させる方法においてレイアウトオプションを用いる例を示す図である。
【図５２】本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。
【図５３】式４における液晶セルの各容量を示す図である。
【図５４】液晶表示装置で使用される液晶材料（ノーマリホワイト液晶）を用いた場合の白表示のときに液晶に印加される実効画素電位ΔＶｐｉｘ　Ｗの選定基準を説明するための図である。
【図５５】本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の１ＨＶｃｏｍ駆動方式の映像信号電圧と実効画素電位との関係を示す図である。
【図５６】本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。
【図５７】各補正系に対応して検出画素部を３系統を設けている例を示す図である。
【図５８】本実施形態に係る複数の補正系で一つの検出画素部（モニタ画素部）を共用する構成例を示す図である。
【図５９】複数の補正系で一つの検出画素部（モニタ画素部）を共用する場合のスイッチング例を示す図である。
【図６０】各Ｖｃｏｍ補正系、Ｖｃｓ補正系、およびＶｓｉｇ補正系を外付けＩＣに搭載した例を示す図である。
【図６１】補正系を二系統ずつ選択する構成例を示す図である。
【図６２】Ｖｃｏｍ補正系とＶｓｉｇ補正系の二系統の補正系を設けた場合において、より具体的に構成例を示す図である。
【図６３】図６２の回路のスイッチングのタイミング例を示す図である。
【図６４】コモン電圧Ｖｃｏｍのセンター値の自動調整システムを１ＨＶｃｏｍ反転駆動方式に採用した場合の波形例を示す図である。
【図６５】コモン電圧Ｖｃｏｍのセンター値の自動調整システムを１ＨＶｃｏｍ反転駆動方式に採用した場合の検出回路の構成例を示す図である。
【図６６】図６５の回路の波形例を示す図である。
【図６７】本発明の実施形態に係る電子機器である携帯電話機の構成の概略を示す外観図である。
【発明を実施するための形態】
【００２１】
以下、本発明の実施の形態について図面に関連付けて詳細に説明する。
なお、説明は以下の順序で行う。
１．表示装置の全体構成例
２．モニタ回路の構成例
３．ストレージ信号ＣＳの電位補正
【００２２】
＜１．表示装置の全体構成例＞
図４は、たとえば液晶セルを画素の表示エレメント（電気光学素子）として用いた本発明の一実施形態に係るアクティブマトリクス型表示装置の構成例を示す図である。
図５は、図４の回路の有効画素部の具体的な構成例を示す回路図である。
【００２３】
本表示装置１００は、図４および図５に示すように、有効画素部１０１、垂直駆動回路（Ｖ／ＣＳＤＲＶ）１０２、および水平駆動回路（ＨＤＲＶ）１０３を有する。
表示装置１００は、ゲートライン（走査ライン）１０４－１～１０４－ｍ、保持容量配線（以下、ストレージラインという）１０５－１～１０５－ｍ、および信号ライン１０６

－１～１０６－ｎを有する。
表示装置１００は、第１モニタ（ダミー）画素部（ＭＮＴＰ１）１０７－１、第２モニタ画像部（ＭＮＴＰ２）１０７－２、および第１モニタ画素部および第２モニタ画素部兼用のモニタ垂直駆動回路（Ｖ／ＣＳＤＲＶＭ）１０８を有する。
さらに、表示装置１００は、第１モニタ画素部専用の第１モニタ水平駆動回路（ＨＤＲＶＭ１）１０９－１、第２モニタ画素部専用の第２モニタ水平駆動回路（ＨＤＲＶＭ２）１０９－２、検出出力回路１１０、および補正回路１１１を有している。
【００２４】
本実施形態においては、有効画素部１０１に隣接して独立に（図４においては図中右側に）モニタ回路１２０が形成されている。
モニタ回路１２０は、１画素または複数画素を含む第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、およびモニタ画素を駆動するためのモニタ垂直駆動回路１０８により構成される。
さらに、モニタ回路１２０は、第１モニタ水平駆動回路１０９－１、第２モニタ水平駆動回路１０９－２、および検出出力回路１１０により構成される。
また、有効画素部１０１に隣接して水平駆動回路１０３および垂直駆動回路１０２が形成されている。図４においては、有効画素部１０１の上側に水平駆動回路１０３が形成され、有効画素部１０１の左側に垂直駆動回路１０２が形成されている。
【００２５】
本実施形態においては、基本的に、後で詳述するように、画素電位を変化させ、液晶印加電圧を変調する駆動方式が採用される。
この駆動方式では、信号ライン１０６－１～１０６－ｎからの画素データの書き込み後に、各行に独立して配線されているストレージライン１０５－１～１０５－ｍから保持容量Ｃｓ２０１を介してカップリングを与える。これにより、画素電位を変化させ、液晶印加電圧が変調される。
なお、画素データの書き込み後とは、ゲートライン１０４－１～１０４－ｍへのゲートパルスの立ち下げ後である。
そして、本実施形態においては、この駆動方式による実駆動中において、モニタ回路１２０における第１モニタ画素部１０７－１と第２モニタ画素部１０７－２の正負極性のモニタ画素電位を平均化した電位を検出する。
本実施形態では、その平均化した電位検出結果を最適コモン電圧Ｖｃｏｍ値、またはリファレンスドライバにフィードバックすることでコモン電圧Ｖｃｏｍのセンター値を自動調整するように構成されている。
なお、モニタ回路１２０における第１モニタ画素部１０７－１と第２モニタ画素部１０７－２の正負極性のモニタ画素電位は、モニタ画素において、画素回路ＰＸＬＣの接続ノードＮＤ２０１の電位に相当する。
また、本実施形態においては、後述するように、第１および第２モニタ画素部１０７－１，１０７－２から検出したモニタ画素電位に応じて有効画素部１０１の画素電位が任意の電位になるように、ＣＳドライバから出力するストレージ信号ＣＳを補正する。
このモニタ回路に構成および機能、並びにストレージ信号ＣＳの補正システムについては、後で詳述する。
【００２６】
［有効画素部の構成例］
有効画素部１０１は、図５に示すように、複数の画素回路ＰＸＬＣが、ｍ×ｎのマトリクス状に配列されている。
なお、図５においては、図面の簡単化のために、４×４のマトリクス配列として示している。
【００２７】
各画素回路ＰＸＬＣは、図５に示すように、スイッチング素子としてのＴＦＴ（薄膜トランジスタ；thin film transistor）２０１、液晶セルＬＣ２０１、および保持容量Ｃｓ

２０１を有する。
ＴＦＴ２０１のドレイン電極（またはソース電極）に液晶セルＬＣ２０１の第１画素電極が接続されている。また、ＴＦＴ２０１のドレイン電極（またはソース電極）には保持容量Ｃｓ２０１の第１電極が接続されている。
なお、ＴＦＴ２０１のドレイン電極（またはソース電極）と、液晶セルＬＣ２０１の第１画素電極と、保持容量Ｃｓ２０１の第１電極との接続点によりノードＮＤ２０１が形成されている。
【００２８】
ゲートライン（走査ライン）１０４－１～１０４－ｍおよびストレージライン１０５－１～１０５－ｍが各行毎にその画素配列方向に沿って配線され、信号ライン１０６－１～１０６－ｎが各列毎にその画素配列方向に沿って配線されている。
【００２９】
そして、各画素回路ＰＸＬＣのＴＦＴ２０１のゲート電極は、各行単位で同一のゲートライン１０４－１～１０４－ｍにそれぞれ接続されている。
各画素回路ＰＸＬＣの保持容量Ｃｓ２０１の第２電極は、各行単位で同一のストレージライン１０５－１～１０５－ｍにそれぞれ接続されている。
また、各画素回路ＰＸＬＣのソース電極（または、ドレイン電極）は、各列単位で同一の信号ライン１０６－１～１０６－ｎに各々接続されている。
そして、各画素回路ＰＸＬＣの液晶セルＬＣ２０１の第２画素電極は、１水平走査期間（１Ｈ）に極性が反転する、たとえば小振幅のコモン電圧ＶＣＯＭ（Ｖｃｏｍ）の供給ライン１１２に共通に接続されている。
このコモン電圧Ｖｃｏｍについては後で更に詳述する。
【００３０】
各ゲートライン１０４－１～１０４－ｍは、垂直駆動回路１０２のゲートドライバにより駆動される。
各ストレージライン１０５－１～１０５－ｍは垂直駆動回路１０２の容量ドライバ（ＣＳドライバ）により駆動される。
各信号ライン１０６－１～１０６－ｎは水平駆動回路１０３により駆動される。
【００３１】
［垂直駆動回路の構成および機能］
垂直駆動回路１０２は、基本的には、１フィールド期間ごとに垂直方向（行方向）に走査してゲートライン１０４－１～１０４－ｍに接続された各画素回路ＰＸＬＣを１行単位で順次選択する処理を行う。
すなわち、垂直駆動回路１０２は、ゲートライン１０４－１に対してゲートパルスＧＰ１を与えて第１行目の各列の画素が選択し、ゲートライン１０４－２に対してゲートパルスＧＰ２を与えて第２行目の各列の画素を選択する。以下同様にして、ゲートライン１０４－３，…，１０４－ｍに対してゲートパルスＧＰ３，…，ＧＰｍを順に与える。
【００３２】
さらに、垂直駆動回路１０２は、各ゲートライン毎に対応して独立に配線された各ストレージライン１０５－１～１０５－ｍ毎に第１レベルＣＳＨまたは第２レベルＣＳＬのいずれかに選択した容量信号（以下ストレージ信号という）ＣＳ１～ＣＳｍを順に与える。
ストレージ信号ＣＳ１～ＣＳｍの第１レベルＣＳＨは、たとえば３Ｖ～４Ｖであり、第２レベルＣＳＬは、たとえば０Ｖである。
【００３３】
図６（Ａ）～（Ｌ）は、本実施形態の垂直駆動回路のゲートラインとストレージラインの駆動例を示すタイミングチャートである。
図６（Ａ）は垂直駆動回路１０２に供給される極性を認識するための信号ＬＳＣＳを示している。
図６（Ｂ）はゲートライン１０４－１～１０４－ｍが配置された領域の外側に設けられた図示せぬダミーのゲートラインに与えられるパルスＧａｔｅ　ＤＴを示している。

図６（Ｃ）～（Ｇ）は図５に例示されたゲートライン１０４－１～１０４－５に与えられるゲートパルスＧＰ１、ＧＰ２、ＧＰ３、ＧＰ４、およびＧＰ５を示している。
図６（Ｈ）はストレージライン１０５－１～１０５－ｍが配置された領域の外側に設けられた図示せぬダミーのストレージラインに与えられるパルスＣＳ＿ＤＴを示している。
図６（Ｉ）～（Ｌ）は図５に例示されたストレージライン１０５－１～１０５－４に与えられるパルスＣＳ＿１、ＣＳ＿２、ＣＳ＿３、およびＣＳ＿４を示している。

【００３４】

垂直駆動回路１０２は、たとえば第１行目から順番にゲートライン１０４－１～１０４－ｍ、ストレージライン１０５－１～１０５－ｍを駆動していくが、ゲートパルスで一のゲートラインを駆動する。
垂直駆動回路１０２は、ゲートラインを駆動した後（信号書き込み後）、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン１０５－１～１０５－ｍに印加するストレージ信号ＣＳ１～ＣＳｍのレベルを交互に接続する。
垂直駆動回路１０２は、以下のように、ストレージ信号ＣＳ１～ＣＳｍのレベルを第１レベルＣＳＨと第２レベルＣＳＬを交互に選択してストレージライン１０５－１～１０５－ｍに印加する印加する。

【００３５】

たとえば、垂直駆動回路１０２は、第１行目のストレージライン１０５－１に第１レベルＣＳＨを選択してストレージ信号ＣＳ１を印加した場合、第２行目のストレージライン１０５－２には第２レベルＣＳＬを選択してストレージ信号ＣＳ２を印加する。
そして、垂直駆動回路１２０は、第３行目のストレージライン１０５－３には第１レベルＣＳＨを選択してストレージ信号ＣＳ３を印加し、第４行目のストレージライン１０５－４には第２レベルＣＳＬを選択してストレージ信号ＣＳ４を印加する。
以下同様にして、垂直駆動回路１０２は、交互に第１レベルＣＳＨと第２レベルＣＳＬを選択してストレージ信号ＣＳ１～ＣＳｍをストレージライン１０５－１～１０５－ｍに印加する。
また、垂直駆動回路１０２は、第１行目のストレージライン１０５－１に第２レベルＣＳＬを選択してストレージ信号ＣＳ１を印加した場合、第２行目のストレージライン１０５－２には第１レベルＣＳＨを選択してストレージ信号ＣＳ２を印加する。
そして、垂直駆動回路１０２は、第３行目のストレージライン１０５－３には第２レベルＣＳＬを選択してストレージ信号ＣＳ３を印加し、第４行目のストレージライン１０５－４には第１レベルＣＳＨを選択してストレージ信号ＣＳ４を印加する。
以下同様にして、垂直駆動回路１０２は、交互に第２レベルＣＳＬと第１レベルＣＳＨを選択してストレージ信号ＣＳ１～ＣＳｍをストレージライン１０５－１～１０５－ｍに印加する。

【００３６】

本実施形態においては、ゲートパルスＧＰの立下り後、ストレージライン１０５－１～１０５－ｍを駆動し、保持容量Ｃｓ２０１を介してカップリングさせることにより画素電位（ノードＮＤ２０１の電位）を変化させて、液晶印加電圧を変調させている。
そして、この駆動方式による実駆動中において、後述するように、モニタ回路における第１モニタ画素部１０７－１と第２モニタ画素部１０７－２の正負極性のモニタ画素電位（ノードＮＤ２０１の電位に相当する）を平均化した電位を検出する。
本実施形態では、その平均化した電位検出結果を最適コモン電圧Ｖｃｏｍ値、またはリファレンスドライバにフィードバックすることでコモン電圧Ｖｃｏｍのセンター値を自動調整するように構成されている。
また、本実施形態においては、第１および第２モニタ画素部１０７－１，１０７－２から検出したモニタ画素電位に応じて有効画素部１０１の画素電位が任意の電位になるように、ＣＳドライバから出力するストレージ信号ＣＳが補正される。

【００３７】

［垂直駆動回路のＣＳドライバの構成例］

図５には、垂直駆動回路１０２のＣＳドライバ１０２０のレベル選択出力部の一例を模式的に示している。
ＣＳドライバ１０２０は、可変電源部１０２１、電源部１０２１の正極側に接続された第１レベル供給ライン１０２２、および電源部１０２１の負極側に接続された第２レベル供給ライン１０２３を有する。
さらに、ＣＳドライバ１０２０は、第１レベル供給ライン１０２２または第２レベル供給ライン１０２３を画素配列の各行毎に配線したストレージライン１０５－１～１０５－ｍとを選択的に接続するスイッチＳＷ１～ＳＷｍを含んで構成されている。
【００３８】
また、図５中にΔＶｃｓは第１レベルＣＳＨと第２レベルＣＳＬとのレベル差（電位差）を示している。
後で詳述するように、このΔＶｃｓと小振幅の交流のコモン電圧Ｖｃｏｍの振幅ΔＶｃｏｍは、黒輝度および白輝度をともに最適化できるような値に選定される。
たとえば後述するように、白表示のときに液晶に印加される実効画素電位ΔＶｐｉｘＷが０．５Ｖ以下の値となるようにΔＶｃｓとΔＶｃｏｍの値が決定される。
【００３９】
垂直駆動回路１０２は、垂直シフトレジスタ群を含み、画素配列に対応して各行毎に配列されたゲートライン１０４－１～１０４－ｍが接続され、ゲートバッファに対応して設けられた複数のシフトレジスタＶＳＲを有する。
各シフトレジスタＶＳＲは、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルスＶＳＴ、垂直走査の基準となる垂直クロックＶＣＫ（または互いに逆相の垂直クロックＶＣＫ，ＶＣＫＸ）が供給される。
たとえばシフトレジスタは、垂直スタートパルスＶＳＴを、垂直クロックＶＣＫに同期にてシフト動作を行い、対応するゲートバッファに供給する。
また、垂直スタートパルスＶＳＴは、有効画素部１０１の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。
したがって、基本的には、シフトレジスタＶＳＲにより供給された垂直クロックにより各ゲートバッファを通して各ゲートライン１０４－１～１０４－ｍが順番に駆動されていく。
【００４０】
水平駆動回路１０３は、水平走査の開始を指令する水平スタートパルスＨＳＴ、水平走査の基準となる水平クロックＨＣＫ（または互いに逆相の垂直クロックＨＣＫ，ＨＣＫＸ）に基づいて、入力される映像信号Ｖｓｉｇを１Ｈ毎に順次サンプリングする。
これにより、水平駆動回路１０３は、信号ライン１０６－１～１０６－ｎを介して垂直駆動回路１０２によって行単位で選択される各画素回路ＰＸＬＣに対して書き込む処理を行う。
ここで、Ｈは水平走査期間を示す。
【００４１】
＜２．モニタ回路の構成および機能＞
次に、モニタ回路１２０の構成および機能について詳述する。
【００４２】
モニタ回路１２０は、前述したように、有効画素部１０１に隣接して独立（図４においては図中右側）に形成されている。
モニタ回路１２０は、１画素または複数画素を含む第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、およびモニタ画素を駆動するためのモニタ垂直駆動回路１０８を有する。
さらに、モニタ回路１２０は、第１モニタ水平駆動回路１０９－１、第２モニタ水平駆動回路（ＨＤＲＶＭ２）１０９－２、および検出出力回路１１０を有している。
【００４３】
［モニタ画素の構成例］

第１モニタ画素部１０７－１および第２モニタ画素部１０７－２を構成する１または複数のモニタ（ダミー）画素は、基本的に有効画素部１０１の画素と同様の構成を有する。
図７（Ａ），（Ｂ）に、第１モニタ画素部１０７－１および第２モニタ画素部１０７－２の１つのモニタ画素の構成例を示す。

【００４４】

第１モニタ画素部１０７－１の第１モニタ画素回路ＰＸＬＣＭ１は、図７（Ａ）に示すように、スイッチング素子としてのＴＦＴ３０１、液晶セルＬＣ３０１、および保持容量Ｃｓ３０１を有する。
ＴＦＴ３０１のドレイン電極（またはソース電極）に液晶セルＬＣ３０１の第１画素電極が接続されている。また、ＴＦＴ３０１のドレイン電極（またはソース電極）には保持容量Ｃｓ３０１の第１電極が接続されている。
なお、ＴＦＴ３０１のドレイン電極（またはソース電極）と、液晶セルＬＣ３０１の第１画素電極と、保持容量Ｃｓ３０１の第１電極との接続点によりノードＮＤ３０１が形成されている。

【００４５】

そして、第１モニタ画素回路ＰＸＬＣＭ１のＴＦＴ３０１のゲート電極は、ゲートライン３０２に接続されている。
第１モニタ画素回路ＰＸＬＣＭ１の保持容量Ｃｓ３０１の第２電極は、各行単位で同一のストレージライン３０３に接続されている。
また、第１モニタ画素回路ＰＸＬＣＭ１のソース電極（または、ドレイン電極）は、信号ライン３０４に接続されている。
そして、第１モニタ画素回路ＰＸＬＣＭ１の液晶セルＬＣ３０１の第２画素電極は、１水平走査期間（１Ｈ）に極性が反転する、たとえば小振幅のコモン電圧ＶＣＯＭ（Ｖｃｏｍ）の供給ライン１１２に接続されている。

【００４６】

ゲートライン３０２は、モニタ垂直駆動回路１０８のゲートドライバにより駆動され、ストレージライン３０３はモニタ垂直駆動回路１０８の容量ドライバ（ＣＳドライバ）により駆動され、信号ライン３０４は第１モニタ水平駆動回路１０９－１により駆動される。

【００４７】

第２モニタ画素部１０７－２の第２モニタ画素回路ＰＸＬＣＭ２は、図７（Ｂ）に示すように、スイッチング素子としてのＴＦＴ３１１、液晶セルＬＣ３１１、および保持容量Ｃｓ３１１を有する。
ＴＦＴ３１１のドレイン電極（またはソース電極）に液晶セルＬＣ３１１の第１画素電極が接続されている。また、ＴＦＴ３１１のドレイン電極（またはソース電極）には保持容量Ｃｓ３１１の第１電極が接続されている。
なお、ＴＦＴ３１１のドレイン電極（またはソース電極）と、液晶セルＬＣ３１１の第１画素電極と、保持容量Ｃｓ３１１の第１電極との接続点によりノードＮＤ３１１が形成されている。

【００４８】

そして、モニタ画素回路ＰＸＬＣＭ２のＴＦＴ３１１のゲート電極は、ゲートライン３１２に接続されている。
第２モニタ画素回路ＰＸＬＣＭ２の保持容量Ｃｓ３１１の第２電極は、各行単位で同一のストレージライン３１３に接続されている。
また、第２モニタ画素回路ＰＸＬＣＭ２のソース電極（または、ドレイン電極）は、信号ライン３１４に接続されている。
そして、第２モニタ画素回路ＰＸＬＣＭ２の液晶セルＬＣ３１１の第２画素電極は、１水平走査期間（１Ｈ）に極性が反転する、たとえば小振幅のコモン電圧ＶＣＯＭ（Ｖｃｏｍ）の供給ライン１１２に接続されている。

【００４９】

ゲートライン３１２は、モニタ垂直駆動回路１０８のゲートドライバにより駆動され、

ストレージライン３１３はモニタ垂直駆動回路１０８の容量ドライバ（ＣＳドライバ）により駆動され、信号ライン３１４は第２モニタ水平駆動回路１０９－２により駆動される。

【００５０】

図４の例においては、モニタ垂直駆動回路１０８を兼用している。モニタ垂直駆動回路１０８の基本的な機能は有効画素部１０１を駆動する垂直駆動回路１０２と同様の機能を有している。

また、第１モニタ水平駆動回路１０９－１および第２モニタ水平駆動回路１０９－２の基本的な機能は有効画素部１０１を駆動する水平駆動回路１０３と同様の機能を有している。

【００５１】

そして、第１モニタ画素部１０７－１の第１モニタ画素回路ＰＸＬＣＭ１と第２モニタ画素部１０７－２の第２モニタ画素回路ＰＸＬＣＭ２は、いずれか一方が正極性画素として駆動されるとき、他方は負極性画素として駆動される。

第１モニタ画素回路ＰＸＬＣＭ１と第２モニタ画素回路ＰＸＬＣＭ２は、たとえば１水平走査期間（１Ｈ）ごとに、交互に正極性画素と負極性画素となるよう駆動制御される。

【００５２】

本実施形態における有効画素部１０１の駆動方式では、信号ライン１０６－１～１０６－ｎからの画素データの書き込み後に、各行に独立して配線されているストレージライン１０５－１～１０５－ｍから保持容量Ｃｓ２０１を介してカップリングを与える。

これにより、有効画素部１０１の駆動方法では、画素電位を変化させ、液晶印加電圧を変調する。

モニタ回路１２０は、この駆動方式による実駆動中において正極性または負極性の第１モニタ画素部１０７－１と負極性または正極性の第２モニタ画素部１０７－２の正負極性のモニタ画素電位を、検出出力回路１１０において平均化した中間電位を検出する。

モニタ回路１２０は、その結果を検出出力回路１１０の出力回路により出力し、コモン電圧Ｖｃｏｍのセンター値を自動調整する。

【００５３】

［モニタ回路の基本概念］

図８は、本実施形態に係るモニタ回路１２０の基本概念を示す図である。

図８においては、図面の簡単化のために、モニタ垂直駆動回路１０８、第１モニタ水平駆動回路１０９－１および第２モニタ水平駆動回路１０９－２は省略してある。

また、図８においては、第１モニタ画素部１０７－１が正極性画素として駆動され、第２モニタ画素部１０７－２が負極性画素として駆動されている場合を例として示している。

【００５４】

図８において、モニタ回路１２０を構成する検出出力回路１１０は、スイッチ１２１，１２２、および比較出力部１２３により構成されている。

また、液晶表示パネル（図４の液晶表示装置１００）の外部には、出力端子ＴＯおよび入力端子ＴＩに接続されたコモン電圧Ｖｃｏｍの平滑用キャパシタＣ１２０が配置されている。

そして、モニタ回路１２０において、第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、スイッチ１２１、およびスイッチ１２２により中間電位検出回路１２４が構成され、比較出力部１２３により出力回路１２５が構成されている。

【００５５】

スイッチ１２１の固定接点ａが第１モニタ画素部１０７－１の検出電位の出力に接続され、作動接点ｂが比較出力部１２３の第１入力に接続されている。

スイッチ１２２の固定接点ａが第２モニタ画素部１０７－２の検出電位の出力に接続され、作動接点ｂが比較出力部１２３の第１入力に接続されている。

すなわち、スイッチ１２１およびスイッチ１２２の作動接点ｂの出力側が接続され、そ

の接続点（ノードＮＤ１２１）が比較出力部１２３の第１入力に接続されている。
【００５６】
比較出力部１２３の第２入力は入力端子ＴＩとコモン電圧Ｖｃｏｍの供給ライン１１２との接続点（ノードＮＤ１２２）に接続されている。
比較出力部１２３は、センター値を自動調整したコモン電圧Ｖｃｏｍを出力端子ＴＯに出力する。
【００５７】
［モニタ回路における比較出力部の構成例］
図９は、本実施形態に係るモニタ回路における比較出力部の具体的な構成例を示す回路図である。
【００５８】
図９の比較出力部１２３は、比較器（コンパレータ）１２３１、定電流源付きインバータ１２３２、ソースフォロワー１２３３、および平滑化キャパシタＣ１２３を有している。
【００５９】
比較器１２３１は、ノードＮＤ１２１の中間電位ＶＭＨＬとソースフォロワー１２３３の出力とを比較し、その結果（差電位）を定電流源付きインバータ１２３２に出力する。
【００６０】
定電流源付きインバータ１２３２は、定電流源Ｉ１２１，Ｉ１２２、ｐチャネルＭＯＳ（ＰＭＯＳ）トランジスタＰＴ１２１、ｎチャネルＭＯＳ（ＮＭＯＳ）トランジスタＮＴ１２１を有する。
ＰＭＯＳトランジスタＰＴ１２１のゲートとＮＭＯＳトランジスタＮＴ１２１のゲートが比較器１２３１の出力に共通に接続されている。また、ＰＭＯＳトランジスタＰＴ１２１のドレインとＮＭＯＳトランジスタＮＴ１２１のドレイン同士が接続され、その接続点（ノードＮＤ１２３）がソースフォロワー１２３３の入力に接続されている。
ＰＭＯＳトランジスタＰＴ１２１のソースが定電流源Ｉ１２１に接続され、定電流源Ｉ１２１が電源電位ＶＤＤ２に接続されている。
ＮＭＯＳトランジスタＮＴ１２１のソースが定電流源Ｉ１２２に接続され、定電流源Ｉ１２２が基準電位ＶＳＳ（たとえば接地電位ＧＮＤ）に接続されている。
定電流源付きインバータ１２３２は、ＣＭＯＳインバータを形成し、その電源電位側（ソース側）および基準電位側（ソース側）に、たとえば５００ｎＡ程度の定電流を供給する定電流源Ｉ１２１，Ｉ１２２が接続されている。
【００６１】
ソースフォロワー１２３３は、ＮＭＯＳトランジスタＮＴ１２２および定電流源Ｉ１２３を有する。
ＮＭＯＳトランジスタＮＴ１２２のゲートが定電流源付きインバータ１２３２の出力であるノードＮＤ１２３に接続されている。ＮＭＯＳトランジスタＮＴ１２２のドレインが電源電位ＶＤＤ２に接続され、ソースが定電流源Ｉ１２３に接続され、その接続点（ノードＮＤ１２４）が比較器１２３１の第２入力と出力端子ＴＯとの接続点であるノードＤ１２２に接続されている。
また、定電流源Ｉ１２３が基準電位ＶＳＳ（たとえば接地電位ＧＮＤ）に接続されている。
【００６２】
平滑化キャパシタＣ１２３の第１電極が、定電流源付きインバータ１２３２の出力であるノードＮＤ１２３とＮＭＯＳトランジスタＮＴ１２３のゲートとの接続点に接続されている。平滑化キャパシタＣ１２３の第２電極が基準電位ＶＳＳ（たとえば接地電位ＧＮＤ）に接続されている。
【００６３】
このような比較出力部１２３により、中間電位検出回路１２４で検出した中間電位ＶＭＨＬに追従するように、コモン電圧Ｖｃｏｍのセンター値が自動調整される。

【００６４】
図１０は、本実施形態に係る駆動方式における時間的な処理の流れを示す波形図である。
【００６５】
図１０に示すように、時刻ｔ１で信号ライン１０６－１～１０６－ｎからの画素データを書き込み、所定時間経過後した時刻ｔ２にゲートライン１０４－１～１０４－ｍへのゲートパルスを立ち下げて画素回路ＰＸＬＣのＴＦＴ２０１をオフとする。
そして、時刻ｔ３で各行に独立して配線されているストレージライン１０５－１～１０５－ｍから保持容量Ｃｓ２０１を介してカップリングを与えることにより画素電位を変化させ、液晶印加電圧を変調する。
所定時間電位を保持させた後、時刻ｔ４で中間電位検出回路１２４のスイッチ１２１，１２２がオンにされると、ノードＮＤ１２１において両電位がショートされ、結果として平均化される。
上記の例では、正極性画素である第１モニタ画素部１０７－１の第１モニタ画素回路ＰＸＬＣＭ１の画素電位ＶpixHが５．９Ｖで、負極性画素である第２モニタ画素部１０７－２の第２モニタ画素回路ＰＸＬＣＭ２の画素電位ＶpixLが－２．８Ｖである。
したがって、中間電位ＶＭＨＬとして１．５５Ｖが検出され、時刻ｔ４において比較出力部１２３に入力される。
そして、比較出力部１２３により、中間電位検出回路１２４で検出した中間電位ＶＭＨＬに追従するように、コモン電圧Ｖｃｏｍのセンター値が自動調整される。
【００６６】
出力回路は、中間電位検出回路１２４が検出した中間電位ＶＭＨＬとコモン電圧信号Ｖｃｏｍのセンター値に関する情報を含む情報としてフィードバックされる出力側信号との比較結果に応じてコモン電圧信号Ｖｃｏｍのセンター値を調整して出力する。
この処理は、基本的にアナログ信号処理である。モニタ回路のデジタル信号処理についても構成可能であるが、ここではその詳細は省略する。
【００６７】
［モニタ回路における出力回路の電位揺らぎ防止回路の構成例］
次に、モニタ回路における出力回路の液晶電位の揺らぎ防止回路の構成例について説明する。
【００６８】
図１１は、本実施形態に係るモニタ回路における出力回路の液晶電位揺らぎ防止回路の構成例を示す図である。
【００６９】
図１１の液晶電位揺らぎ防止回路１３０は、複数（ここでは２）系統の第１および第２の出力回路１２５－１，１２５－２、第１および第２の平滑用キャパシタＣ１２０－１，Ｃ１２０－２、第１および第２のスイッチＳＷ１３１，ＳＷ１３２を有する。
液晶電位揺らぎ防止回路１３０は、さらに、第１のノードＮＤ１３１、第２のノードＮＤ１３２，第３のノードＮＤ１３３を有する。
【００７０】
本実施形態の液晶電位の揺らぎ防止回路１３０は、第１および第２のスイッチＳＷ１３１，ＳＷ１３２によって平滑容量（第１および第２のキャパシタＣ１２０－１，Ｃ１２０－２を分割し合計サイズを切り替えられるように構成されている。
また、出力回路を二系統、すなわち、第１の出力回路１２５－１および第２の出力回路１２５－２が用意されている。
【００７１】
第１および第２の出力回路１２５－１，１２５－２は、共通の制御信号ＩＣＴＬが入力される。換言すれば、第１および第２の出力回路１２５－１，１２５－２は、制御信号ＩＣＴＬの供給ラインに対して並列に接続されている。
【００７２】

第１および第２の出力回路１２５－１，１２５－２は、たとえば図９に示すように、コンパレータ１２３１、定電流源付きインバータ１２３２、およびソースフォロワー１２３３を含んで構成可能である。

この場合、図示しないが、第１および第２の出力回路１２５－１，１２５－２は、その出力がフィードバックされ、入力制御信号ＩＣＴＬは中間電位ＶＭＨＬとなる。

【００７３】

また、第１および第２の出力回路１２５－１，１２５－２は、たとえば図９に示す、定電流源付きインバータ１２３２、およびソースフォロワー１２３３を含んで構成可能である。

あるいは、第１および第２の出力回路１２５－１，１２５－２は、たとえば図９に示す、ソースフォロワー１２３３を含んで構成可能である。

この場合、入力制御信号ＩＣＴＬは、コンパレータ１２３１の出力信号となる。

【００７４】

第１および第２の出力回路１２５－１，１２５－２は、共通の制御信号ＩＣＴＬが入力される。換言すれば、第１および第２の出力回路１２５－１，１２５－２は、制御信号ＩＣＴＬの供給ラインに対して並列に接続されている。

この場合、入力制御信号ＩＣＴＬは、定電流源付きインバータ１２３２の出力信号となる。

【００７５】

第１の出力回路１２５－１の出力は第１のノードＮＤ１３１に接続され、第１のノードＮＤ１３１は第３のノードＮＤ１３３に直接的に接続されている。第３のノードＮＤ１３３は、液晶電位揺らぎ防止回路１３０の出力ラインに接続されている。

第２の出力回路１２５－１の出力は第２のノードＮＤ１３２に接続されている。

【００７６】

第１の平滑用キャパシタＣ１２０－１は、第１電極が第１のノードＮＤ１３１に接続され、第２電極が基準電位、たとえば接地電位ＧＮＤに接続されている。

第２の平滑用キャパシタＣ１２０－２は、第２電極が第２のノードＮＤ１３２に接続され、第２電極が基準電位、たとえば接地電位ＧＮＤに接続されている。

【００７７】

第１のスイッチＳＷ１３１は、端子ａが第２のノードＮＤ１３２に接続され、端子ｂが第１のノードＮＤ１３１に接続されている。

第２のスイッチＳＷ１３２は、端子ａが第２のノードＮＤ１３２に接続され、端子ｂが第３のノードＮＤ１３３に接続されている。

【００７８】

このような構成を有する液晶電位揺らぎ防止回路１３０は、スタートアップ時と通常時とで、図示しない制御系により、第２の出力回路１２５－２、第１および第２のスイッチＳＷ１３１，ＳＷ１３２に対して異なる制御が行われる。

具体的には、スタートアップ時は、第１および第２の出力回路１２５－１，１２５－２が駆動状態に制御され、第１および第２のスイッチＳＷ１３１，ＳＷ１３２はオフ（非導通状態）に制御される。

そして、通常時は、第１の出力回路１２５－１は駆動状態、第２の出力回路１２５－２は非駆動状態（停止状態）に制御され、第１および第２のスイッチＳＷ１３１，ＳＷ１３２はオン（導通状態）に制御される。

第２の出力回路１２５－２の駆動状態の制御は、たとえばソースフォロワー１２３３の電流源を停止する、あるいは、トランジスタのドレインと電源との間にスイッチングトランジスタを配置し、これをオンオフする等により行うことが可能である。

【００７９】

ここで、モニタ回路における出力回路の液晶電位の揺らぎ防止回路１３０を形成する由について、図１２（Ａ）～（Ｄ）に関連付けて説明する。

【００８０】

前述したように、本実施形態のモニタ回路１２０は、基本的に、モニタ画素を有し、そのモニタ画素電位を検出し対向電位や保持電位にフィードバックを行っている。

その際に出力電位の揺らぎ（リップル）が生じると表示画にも揺らぎが生じ、画品位を損ねる。平滑容量のサイズを上げればリップルを抑制できるがスタートアップに時間がかかるようになる。

図９および図１２（Ａ）に示すように、出力回路と平滑用キャパシタＣ１２０を１対１で設けた場合、液晶に印加する対向電位や保持電位に揺らぎ（リップル）が起きると画面に揺らぎなど見え画品位が低下する。

図１２（Ｂ），（Ｃ）に示すように、平滑容量のサイズを大きくするとリップルノイズの抑制が行える。

しかしながら、容量サイズを大きくすると充電に時間がかかってしまう。そうすると、図１２（Ｄ）に示すように、スタートアップ時に画がすぐに切り替わらずにゆっくり変わっていくのが見えてしまう。

そこで、本実施形態の液晶電位の揺らぎ防止回路１３０は、平滑用キャパシタ（平滑容量）をスイッチングしスタートアップ時はサイズを小さく、通常時はサイズを大きくすることができるように、図１１の構成が採用されている。

ただ単純にスイッチングを行うと電位の変動が発生してしまい画表示に問題が生じてしまうため、予備の平滑容量（図１１では第２のキャパシタＣ１２０－２）をあらかじめ充電して置く回路構成が採用されている。

【００８１】

図１３（Ａ）および（Ｂ）は、本実施形態に係る液晶電位の揺らぎ防止回路１３０のスタートアップ時と通常時の動作状態を示す図である。図１３（Ａ）がスタートアップ時の動作状態を、図１３（Ｂ）が通常時の動作状態をそれぞれ示している。

【００８２】

液晶電位の揺らぎ防止回路１３０においては、スタートアップ時は、図１３（Ａ）に示すように、第１および第２の出力回路１２５－１，１２５－２が駆動状態に制御され、第１および第２のスイッチＳＷ１３１，ＳＷ１３２はオフ（非導通状態）に制御される。

このように、スタートアップ時は、第１および第２のスイッチＳＷ１３１，ＳＷ１３２はオフ（非導通状態）に制御されることにより、平滑容量合計が小さくなるようにして、第１の出力回路１２５－１でチャージの高速化を行う。

【００８３】

液晶電位の揺らぎ防止回路１３０においては、通常時は、図１３（Ｂ）に示すように、第１の出力回路１２５－１は駆動状態、第２の出力回路１２５－２は非駆動状態に制御され、第１および第２のスイッチＳＷ１３１，ＳＷ１３２はオンに制御される。

このように、スタートアップが終了したならば、第１および第２のスイッチＳＷ１３１，ＳＷ１３２がオンされて、２つの平滑容量を合算しリップルを抑えるように制御される。

しかしながら、平滑容量を接続する際に電荷の変動が、起こり出力電位が揺れてしまう可能性がある。

それを防止するために、もう一系統の第２の出力回路１２５－２を用い、予備の平滑容量としての第２のキャパシタＣ１２０－２をチャージしておく。そうすることにより、２つの平滑容量を接続した際の電位揺れを抑えられる。

また、接続が完了したなら２系統の出力回路を動かすことは電力の無駄となるため第２の出力回路１２５－２は動作停止状態に制御される。

【００８４】

次に、１つのスイッチを用いて平滑容量を単純にスイッチングするのではなく、図１１の液晶電位の揺らぎ防止回路１３０ように２つのスイッチを用いた構成を採用した理由について説明する。

【００８５】

図１４（Ａ）および（Ｂ）は、図１１の液晶電位の揺らぎ防止回路１３０のように２つ

のスイッチを用いて平滑容量を接続、非接続とする理由を説明するための図である。
図１４（Ａ）は１つのスイッチを用いて平滑容量を単純にスイッチングする例を示し、図１４（Ｂ）は図１１の液晶電位の揺らぎ防止回路１３０のように２つのスイッチを用いて平滑容量を接続、非接続とする例を示す図である。
なお、ここで、第１および第２の平滑用キャパシタＣ１２０－１，Ｃ１２０－２の容量値は共にＣとする。また、充電する電圧はＶとする。

【００８６】

図１４（Ａ）の例の場合、まずスタートアップ中はスイッチＳＷ１３３をオフして第１のキャパシタＣ１２０－１にはＶ１＝Ｖ（Ｖ）が掛かっている。
第２のキャパシタＣ１２０－２はスイッチＳＷ１３３がオープンの状態のため電圧は掛かっていない。
ここで、スイッチＳＷ１３３をオンにすると電位差があるため電圧分配が発生する。
そうすると出力outの電圧は（１／２）ＣＶとなってしまいこの電位変動が画表示に見えてしまう。

【００８７】

図１４（Ｂ）の例の場合、スタートアップ時は第１のスイッチＳＷ１３１および第２のスイッチＳＷ１３２がオフしている状態であり、第１のキャパシタＣ１２０－１にはＶ１＝Ｖ（Ｖ）が、第２のキャパシタＣ１２０－２にはＶ２＝Ｖ（Ｖ）が掛かっている。
ここで、第１のスイッチＳＷ１３１および第２のスイッチＳＷ１３２をオンしても同一の電圧が掛かっているので電圧の変動は発生しない。
よって、本実施形態においては、図１１および図１４（Ｂ）の構成が採用されている。

【００８８】

以上のように、本実施形態の液晶電位の揺らぎ防止回路１３０においては、平滑容量である第１のキャパシタＣ１２０－１と第２のキャパシタＣ１２０－２をスイッチングによりスタートアップ時にはサイズを小さく、通常時はサイズを大きくする。
単純にスイッチングを行うと電位の変動が発生してしまい、画表示に問題が生じるおそれがあるため、予備の平滑容量としての第２のキャパシタＣ１２０－２をあらかじめ充電しておく回路構成が採用されている。
これにより、スタートアップ時間に影響を与えることなくリップルを抑制できる。

【００８９】

次に、本実施形態の液晶電位の揺らぎ防止回路１３０が液晶パネルガラスとどのような関係をもって形成可能であるかについて、複数の形成例を挙げて説明する。

【００９０】

図１５は、本実施形態の液晶電位の揺らぎ防止回路１３０の第１の形成例を示す図である。
図１６は、本実施形態の液晶電位の揺らぎ防止回路１３０の第２の形成例を示す図である。
図１７は、本実施形態の液晶電位の揺らぎ防止回路１３０の第３の形成例を示す図である。
図１８は、本実施形態の液晶電位の揺らぎ防止回路１３０の第４の形成例を示す図である。

【００９１】

図１５の第１の形成例では、液晶電位の揺らぎ防止回路１３０の全体が液晶（ＬＣＤ）パネルガラスＰＮＬ内に低温ポリシリコン（ＬＴＰＳ）で一体形成されている。

【００９２】

図１６の第２の形成例では、容量、すなわち第１および第２のキャパシタＣ１２０－１，Ｃ１２０－２のみＬＣＤパネル外に形成されている。そして、第２の形成例では、他の第１および第２の出力回路１２４５－１，１２５－２、第１および第２のスイッチＳＷ１３１，ＳＷ１３２がＬＣＤパネルガラスＰＮＬにＬＴＰＳで一体形成されている。

【００９３】

図１７の第３の形成例では、第１および第２のキャパシタＣ１２０－１，Ｃ１２０－２、並びに、第１および第２のスイッチＳＷ１３１，ＳＷ１３２がＬＣＤパネルガラスＰＮＬ外に形成されている。そして、第３の形成例では、他の第１および第２の出力回路１２４５－１，１２５－２がＬＣＤパネルガラスＰＮＬにＬＴＰＳで一体形成されている。

【００９４】

図１８の第４の形成例では、第１および第２のキャパシタＣ１２０－１，Ｃ１２０－２、第１および第２のスイッチＳＷ１３１，ＳＷ１３２、並びに第１および第２の出力回路１２４５－１，１２５－２がＬＣＤパネルガラスＰＮＬ外に形成されている。

そして、液晶電位の揺らぎ防止回路１３０の出力ｏｕｔがＬＣＤパネルガラスＰＮＬ内に入力される。

【００９５】

次に、コモン電圧Ｖｃｏｍのセンター値を自動調整するシステムを液晶表示パネルに設ける理由について説明する。

【００９６】

コモン電圧Ｖｃｏｍのセンター値の調整を行わない場合、表示画面においてフリッカが発生するという問題がある。また、正負極性にて、液晶層に印加される電圧が異なるために焼きつきの問題が発生する。

これらの対策として、出荷時の検査工程において、最適なコモン電圧Ｖｃｏｍのセンター値を調整し出荷を行う必要がある。この検査工程においては調整回路等を別途設ける必要もあり、煩雑な手間を要する。

検査工程で、コモン電圧Ｖｃｏｍセンター値を最適に調整したとしても、使用中の温度、駆動方式、駆動周波数、バックライト（B/L）輝度、外光輝度の変化によりまた連続使用によりコモン電圧Ｖｃｏｍのセンター値が最適値からシフトし同様の問題が発生する。

【００９７】

本実施形態の液晶表示装置１００は、コモン電圧Ｖｃｏｍのセンター値を自動調整するシステムを液晶表示パネルに形成してある。

したがって、煩雑な手間を要する出荷時の検査工程が不要で、使用中の温度、駆動方式、駆動周波数、バックライト（B/L）輝度、外光輝度の変化により、コモン電圧Ｖｃｏｍのセンター値が最適値からシフトしたとしても、次の利点がある。

すなわち、本実施形態の液晶表示装置１００は、コモン電圧Ｖｃｏｍのセンター値を使用状況に応じた最適な値に保持することが可能となり、フリッカの発生を適応的に抑止できる利点がある。

【００９８】

また、有効画素部１０１の実効画素の電位が、ゲートラインの立ち下がり時のカップリングにより、あるいは画素トランジスタであるＴＦＴ２０１における電流リークにより変動し、その結果、コモン電圧Ｖｃｏｍの最適なセンター値が変動する。

しかし、本実施形態のように、コモン電圧Ｖｃｏｍのセンター値を最適値に調整することにより、実効画素電位変動に伴う画質への影響を抑止できる。

【００９９】

以下、実効画素の電位変動のメカニズムについて考察する。

【０１００】

図１９は、本実施形態の駆動方式による理想状態を示す図である。なお、図１９中に示す電圧値等は理解を容易にするために示してあるものであり、実際の駆動時とは異なる場合もある。

【０１０１】

図１９に示すように、画素電位が理想どおりなら映像信号Ｓｉｇのセンター電位に対して対称に振幅する。

正（＋）極性と負（－）極性で画素電位Ｐｉｘ対Ｖｃｏｍ電位差が均等なら輝度差が生じずフリッカが見えなくなる。

すなわち、Ｐｉｘ対Ｖｃｏｍ電位が＋/－極性とも等しくなり、映像信号Ｓｉｇのセン

ター値が最適Ｖｃｏｍ値となるはずである。
しかし、実際の最適なＶｃｏｍ値は映像信号Ｓｉｇのセンター値より低い。これは、ゲートラインの立ち下がり時のカップリングにより、あるいは画素トランジスタであるＴＦＴ２０１における電流リークによるものと考えられる。
【０１０２】
［ゲートカップリング］
図２０（Ａ），（Ｂ）は、本実施形態に係る駆動方式において正（＋）極性と負（－）極性での画素電位Ｐｉｘ対Ｖｃｏｍ電位差の関係を示す図である。
ＴＦＴ２０１のゲート（Gate）の＋方向のカップリングは画素トランジスタＴＦＴ２０１がオンの期間であることから打ち消されるが、－方向のカップリングは打ち消せず画素電位がドロップする。
そうするとＶｃｏｍ電位=Ｓｉｇセンター電位であると、Ｐｉｘ対Ｖｃｏｍ電位が＋/－極性で不均一となってしまい、最適なコモン電圧Ｖｃｏｍではなくなってしまう。
【０１０３】
［画素トランジスタのリーク］
図２１は、画素トランジスタのリーク要因を模式的に示す図である。
画素トランジスタのリークには、信号ラインへのリーク（ＴＦＴのソース（Ｓ）‐ドレイン（Ｄ）間のリーク）とゲートラインへの充放電によるリーク（ＴＦＴのソース（Ｓ）‐ゲート（Ｇ）間のリーク）が存在する。
Ｓ-Ｄ間リークとＳ-Ｇ間リークが複合された結果、画素電位（Ｐｉｘ電位）がドロップする。
これらによって、光による電流Ioffの増大や周波数による保持期間の変動などの影響を画素電位（Ｐｉｘ電位）が受けることになる。
【０１０４】
図２２（Ａ），（Ｂ）は、本実施形態に係る駆動方式において正（＋）極性と負（－）極性でゲートカップリングおよび画素トランジスタのリークによる状態をまとめて示す図である。
図２２（Ａ），（Ｂ）において、破線はゲートカップリングおよび画素トランジスタのリークがない場合の波形を示し、実線はゲートカップリングおよび画素トランジスタのリークがある場合の波形を示している。
－極性側はＳ-Ｄ間リークとＳ-Ｇ間リークの方向が逆なので実際の方向はどちらのリークが多いかによる。
＋極性側はＳ-Ｄ間リークとＳ-Ｇ間リークとも同じ方向で画素電位がドロップする方向へ向かう。
このように、ゲートカップリング、および、または画素トランジスタのリークにより画素電位がドロップ（降下）し、最適Ｖｃｏｍ値が下方向にシフトする。
【０１０５】
本実施形態においては、コモン電圧Ｖｃｏｍのセンター値を最適値に自動調整することにより、実効画素電位変動に伴う画質への影響を抑止できる。
【０１０６】
図２３は、本実施形態に係るコモン電圧Ｖｃｏｍのセンター値の自動調整により、画素電位変動要因による影響を抑止できる項目を示す図である（○は調整できること、×は調整できないことを示す）。図２３においては、比較対照して検査工程による抑止項目を示している。
本実施形態によれば、検査工程においても、抑止できない画素トランジスタ（Ｔｒ）のオフリークによる実使用時の駆動周波数変動、温度、エージングによる影響を抑止できる。また、本実施形態によれば、検査工程においても、抑止できない画素トランジスタの光リークによる実使用時の駆動周波数変動、温度、バックライト輝度、外光輝度による影響を抑止できる。
【０１０７】

以上、コモン電圧Ｖｃｏｍのセンター値の自動調整について説明した。
次に、本実施形態に係るモニタ画素部の画素配置について考察する。
【０１０８】
本実施形態においては、前述したように、有効画素部１０１に隣接して独立に（図４においては図中右側に）モニタ回路１２０が形成されている。
モニタ回路１２０は、第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、モニタ垂直駆動回路１０８、第１モニタ水平駆動回路１０９－１、第２モニタ水平駆動回路１０９－２、および検出出力回路１１０を有する。
このように、有効画素部１０１に隣接して独立にモニタ回路１２０が形成されている理由を以下に示す。
【０１０９】
図２４に示すように、モニタ画素を有効画素部１０１の一部としてたとえば１行分あるいは１画素を含むように形成することも可能である。
そして、有効画素部１０１と同じ垂直駆動回路１０２、水平駆動回路１０３でゲートライン、ストレージライン、信号ラインを駆動することにより、有効表示画素と同等のモニタ画素電位を得るように形成することも可能である。
しかし、この構成では、モニタ画素は表示画素と同等の電位が必要なためモニタ画素部の構成を大きく変えることができず、有効画素部（有効表示領域）の上端もしくは下端にしか配置（横置き配置）できない。
また、表示画素と同じ駆動信号（制御信号）を使うことになるため制御信号の自由度が低い。また信号ラインも表示領域と共有しているので、信号ラインからのカップリングの影響も無視できないという問題もある。
本実施形態の駆動方式によれば、モニタ画素への書き込み後、１フレーム期間の中間にて検出を行うことで最適な補正を行うことが可能である。
しかし、図２５に示すように、１フレーム期間の中間では表示画素により変動する信号ラインの影響を受けてモニタ画素電位が変動してしまうため、映像信号のブランキング期間の補正にせざるを得ない。
そして、上述したコモン電圧Ｖｃｏｍのセンター値の自動調整化システムのために必要な＋極性、－極性の両極性画素の配置も困難である。
そこで、本実施形態においては、有効画素部１０１に隣接して独立に、第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、モニタ垂直駆動回路１０８、モニタ水平駆動回路１０９－１、１０９－２を含むモニタ回路１２０が形成されている。
【０１１０】
また、モニタ画素部を複数のモニタ画素回路で形成する場合、図２６（Ａ），（Ｂ）に示すように、複数のモニタ画素で単純にゲートラインを共有（共用）するように構成すると、ゲートカップリングの量が変わってしまう。
図２６（Ａ）に示すように、モニタ画素配置を横置きとしてゲートラインを共有するように構成した場合、隣接画素のゲートカップリングの影響を受ける。
また、図２６（Ｂ）に示すように、モニタ画素配置を縦置きとしてゲートラインを共有した場合、自画素だけでなく隣接画素のゲートカップリングも同時に受けるので、画素電位がドロップする量が大きい。
そこで、本実施形態においては、以下に示すように、ゲートラインの配置をいわゆる入れ子に配置することにより、モニタ画素を縦置きとしても自ライン分のみのゲートカップリングとするように構成されることが好ましい。
【０１１１】
図２７は、本実施形態に係るモニタ画素部における画素配置例を示す図である。また、図２８は、図２７のモニタ画素部の駆動波形例を示す図である。
【０１１２】
図２７に示すモニタ画素部１０７Ａは、１６個の画素回路ＰＸＬＣＭ１１～ＰＸＬＣＭ４４を４×４のマトリクス状に配列されている例を示している。マトリクス配列する画素

数はこれに限定されるものではない。

【０１１３】

このモニタ画素部１０７Ａは、マトリクス画素配列において、列方向で２分した領域ＡＲＡ１，ＡＲＡ２が形成されている。

画素配列の各行において、実際のモニタには用いない空駆動用の第１モニタ画素回路（図中、ｐｉｘＡで示している）領域ＡＲＡ１１と、実際のモニタ画素として用いる第２モニタ画素（図中、ｐｉｘＢで示している）領域ＡＲＡ２１が形成されている。

そして、各２分領域ＡＲＡ１，ＡＲＡ２においては、列方向において、第１モニタ画素領域ＡＲＡ１１と第２モニタ画素領域ＡＲＡ２１が行毎に交互に配置されている。

したがって、第１モニタ画素回路ｐｉｘＡと第２モニタ画素回路ｐｉｘＢは、画素配列の列方向においてはジグザグに配置されることになる。

【０１１４】

モニタ画素部１０７の第１モニタ画素回路ｐｉｘＡおよび第２モニタ画素回路ｐｉｘＢは、図２７に示すように、スイッチング素子としてのＴＦＴ３２１、液晶セルＬＣ３２１、および保持容量Ｃｓ３２１を有する。ＴＦＴ３２１のドレイン電極（またはソース電極）に液晶セルＬＣ３２１の第１画素電極が接続されている。また、ＴＦＴ３２１のドレイン電極（またはソース電極）には保持容量Ｃｓ３２１の第１電極が接続されている。

なお、ＴＦＴ３２１のドレイン電極（またはソース電極）と、液晶セルＬＣ３２１の第１画素電極と、保持容量Ｃｓ３２１の第１電極との接続点によりノードＮＤ３２１が形成されている。

【０１１５】

そして、図２７のモニタ画素部１０７Ａにおいては、ゲートラインを第１ゲートラインＧＴ１と、第２ゲートラインＧＴ２の２つが用いられている。

第１ゲートラインＧＴ１に対して第１モニタ画素領域ＡＲＡ１１の第１モニタ画素回路ｐｉｘＡのＴＦＴ３２１のゲート電極が接続されている。第２ゲートラインＧＴ２が第２モニタ画素領域ＡＲＡ２１の第２モニタ画素回路ｐｉｘＢのＴＦＴ３２１のゲート電極が接続されている。

第２モニタ画素回路ｐｉｘＢのノードＮＤ３２１が、導電性配線たとえばＩＴＯにより接続されている。そして、４行２列目の第２モニタ画素回路ＰＸＬＣＭ４２のノードＮＤ３２１が検出出力回路１１０に接続される。

図２７の例では、実際のモニタ画素として、画素回路ＰＸＬＣＭ１３、ＰＸＬＣＭ２２、ＰＸＬＣＭ３３、およびＰＸＬＣＭ４２が割り当てられている。

【０１１６】

また、第１モニタ画素回路ｐｉｘＡおよび第２モニタ画素回路ｐｉｘＢの保持容量Ｃｓ３２１の第２電極は、各行単位で同一のストレージラインＬ３２１に接続されている。

また、同一列に配列された第１モニタ画素回路ｐｉｘＡおよび第２モニタ画素回路ｐｉｘＢのソース電極（または、ドレイン電極）は、それぞれ信号ラインＬ３２２－１～Ｌ３２２－４に接続されている。

そして、第１モニタ画素回路ｐｉｘＡおよび第２モニタ画素回路ｐｉｘＢの第２画素電極は、１水平走査期間（１Ｈ）に極性が反転する、たとえば小振幅のコモン電圧ＶＣＯＭ（Ｖｃｏｍ）の供給ラインに接続されている。

【０１１７】

このモニタ画素部１０７Ａは、図２８に示すように、まず第１ゲートラインＧＴ１を駆動して第１モニタ画素回路ｐｉｘＡが空駆動される。ここで隣接ライン分のゲートカップリングはここで受けるが第１ゲートラインＧＴ１の立ち下げのタイミングで元に戻る。

次に、第２ゲートラインＧＴ２を駆動して第２モニタ画素回路ｐｉｘＢが本駆動される。この場合、ゲートカップリングは自画素分だけで、隣接画素のゲートカップリングを受けることがない。したがって、画素電位がドロップする量を有効画素部１０１の画素回路ＰＸＬＣと同等にすることが可能となる。

このように、本実施形態においては、ゲートラインの配置をいわゆる入れ子に配置する

ことにより、モニタ画素のゲートカップリングを自ライン分のみとすることができる。

【０１１８】

図２７に示すモニタ画素部は、図４の第１モニタ画素部１０７－１と第２モニタ画素部１０７－２に適用することが可能である。

【０１１９】

このように、本実施形態においては、有効画素部１０１に隣接して独立に、第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、モニタ垂直駆動回路１０８、モニタ水平駆動回路１０９－１、１０９－２を含むモニタ回路１２０が形成される。

また、本実施形態においては、ゲートラインの配置をいわゆる入れ子に配置するように構成することから、パネルデザインの自由度が増すという利点がある。

これにより、モニタ回路１２０の構成回路、すなわち第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、モニタ垂直駆動回路１０８、モニタ水平駆動回路１０９－１、１０９－２の配置も容易となる。

図４のように、有効画素部１０１に隣接して図中右側にモニタ回路１２０の全ての構成回路を配置することも可能な他、種々の態様で配置することが可能である。

たとえば、図２９（Ａ）に示すように、有効画素部１０１の図中の右側および上側に分けて配置することも可能である。

また、図２９（Ｂ）に示すように、第１モニタ画素部１０７－１、第２モニタ画素部１０７－２を並列に配置する。そして、モニタ水平駆動回路１０９を第１モニタ画素部１０７－１、第２モニタ画素部１０７－２の上側に、モニタ垂直駆動回路１０８を下側に配置することも可能である。

【０１２０】

また、モニタ画素部専用の垂直および水平駆動回路を有効画素部１０１とは別個に持つことが可能となり、前述した信号ラインの振幅の問題でブランキング期間中しか検出できないという問題も解決することができる。

【０１２１】

ところで、前述したように、有効画素（表示画素）とモニタ画素を個別に配置して駆動を行うと、構造上の違いにより目的のモニタ画素電位からのシフトが懸念される。

そこで、本実施形態では、このモニタ電位の目的電位からのシフトを調整する回路を採用している。

【０１２２】

本実施形態では、モニタ回路１２０において、正（+）/負（-）極性よりなる一対のモニタ画素部１０７－１，１０７－２を配置する。そして、両モニタ画素部１０７－１，１０７－２の検出画素電位をショートさせることで、平均電位を生成してコモン電圧Ｖｃｏｍの電位（センター値）の調整（補正）を行うシステムを採用している。

この電位が有効画素のＶｃｏｍ電位と一致するはずである。

しかし、モニタ画素と表示画素（有効画素）を独立に配置していると、たとえば図３０（Ａ）～（Ｄ）に示すように、液晶セルギャップ、層間絶縁膜などのパネル面内バラツキによって表示画素と物性値の差異ができてしまう可能性がある。

たとえば、液晶セルギャップのバラツキによって液晶容量に影響があり、層間絶縁膜のバラツキによって、たとえば保持容量、ＴＦＴのゲート寄生容量、トランジスタ特性に影響がある。

このような場合、モニタ回路で誤差が生じ目標値からシフトするおそれがある。この問題は、たとえば以下に示す、二通りの異なる方法およびそれらの組み合わせにより解決することが可能である。

第１は、このモニタ画素にそれぞれ異なる振幅の信号を書き込み検出画素電位のオフセットを行い補正する方法である。

第２は、モニタ画素に容量を付与し検出画素電位をオフセットさせて補正する方法である。

これらに第１の方法または第２の方法、あるいは両方法の組み合わせによってシフト分

をキャンセルすることが可能となる。

【０１２３】

まず、第１の方法の信号Ｓｉｇの電位によるオフセット補正について説明する。

【０１２４】

図３１（Ａ），（Ｂ）は、信号Ｓｉｇの電位によるオフセット補正について説明するための図である。

図３１（Ａ）はモニタ画素にそれぞれ同じ振幅の信号を書き込んだ場合の中間電位の検出出力を、図３１（Ｂ）はモニタ画素にそれぞれ異なる振幅の信号を書き込み検出画素電位のオフセットを行った場合の中間電位の検出出力をそれぞれ示している。

【０１２５】

この第１の方法では、前述のシフト分に対してモニタ画素の電位もシフトさせることによって解決を行う。

図３１（Ｂ）に示すように、本実施形態においては、一対のモニタ画素部を有しているがそれぞれに異なる振幅の信号を書き込む。

検出画素電位はモニタ画素の出力をショートして生成することから、これにより検出画素電位のシフトが可能である。

なお、この例では－側の書き込みをシフトさせる場合を記載したが同様にＳｉｇ+の振幅を変更させて検出電位をシフトさせることも可能である。

【０１２６】

図３２は、信号Ｓｉｇの電位によるオフセット補正を実現可能な回路の第１の構成例を示す図である。

【０１２７】

この回路は、たとえば第１モニタ画素部１０７-１、第２モニタ画素部１０７－２にそれぞれ対応して設けられている第１モニタ水平駆動回路１０９－１，第２モニタ水平駆動回路１０９－２の出力段に書き込み回路が配置される。

すなわち、この回路は、その出力段に正極性モニタ画素専用の書き込み回路１０９１－１および負極性モニタ画素専用の書き込み回路１０９１－２を配置し、映像信号Ｓｉｇの振幅を独立に制御する。

書き込み回路１０９１－１，１０９１－２は、デジタルアナログコンバータＤＡＣと増幅器ａｍｐを有する。

【０１２８】

図３３は、信号Ｓｉｇの電位によるオフセット補正を実現可能な回路の第２の構成例を示す図である。

【０１２９】

この回路は、第１モニタ水平駆動回路１０９－１，第２モニタ水平駆動回路１０９－２の出力段に、ＤＡＣの代わりに分割抵抗群ＤＲＧ１、ＤＲＧ２が設け、映像信号Ｓｉｇの振幅を独立に制御する。

図３３の例では、分割抵抗群ＤＲＧ１、ＤＲＧ２の各分割抵抗はスイッチＳＷによって切り替えるように構成されているが、この他にもたとえばレーザリペアによって抵抗を切り離して制御する方法も採用することが可能である。

【０１３０】

なお、これらの検出系やＳｉｇ書き込み系は、必ずしもＬＣＤパネル内に一体的に形成する必要はなく、たとえば図３４（Ａ），（Ｂ）に示すように、ＣＯＧやＣＯＦなど外付けＩＣ内に実現することも可能である。

【０１３１】

まず、第２の方法の付加容量によるオフセット補正について説明する。

【０１３２】

図３５は、付加容量によるによるオフセット補正の概要について説明するための図である。

【０１３３】

この第２の方法では、モニタ画素ＰＸＬＣＭの電位検出ノードＮＤ３２１に付加容量ＣＯＦＳを付け、モニタ画素の電荷量を調整する。

正極性モニタ画素、負極性モニタ画素の両方に容量ＣＯＦをつけ、レーザリペアやスイッチングにより、付加容量を調整することにより、検出画素オフセットが可能となる。

図３５の例は、オフセットスイッチＳＷＯＦのスイッチングにより容量を付加する例を示している。

【０１３４】

図３６は、付加容量によるオフセット補正を採用した中間電位検出回路の構成例を示す回路図である。

【０１３５】

図３６の中間電位検出回路１２４Ａは、第１モニタ画素部１０７－１のノードＮＤ３０１に対してＮＭＯＳトランジスタによるスイッチＳＷ１０７－１を介して並列配置された複数の容量素子（キャパシタ）からなる付加容量ＣＯＦ１０７－１が接続されている。

第２モニタ画素部１０７－２のノードＮＤ３１１に対してＰＭＯＳトランジスタによるスイッチＳＷ１０７－２を介して並列配置された複数の容量素子（キャパシタ）からなる付加容量ＣＯＦ１０７－２が接続されている。

そして、スイッチＳＷ１０７－１のゲート電極（制御電極）がインバータＩＮＶ１０７を介してオフセット信号ＳＯＦＳＴの供給ラインに接続され、スイッチＳＷ１０７－２のゲート電極（制御電極）がオフセット信号ＳＯＦＳＴの供給ラインに接続されている。

図３６の例では、第１モニタ画素部１０７－１が正極性画素、第２モニタ画素部１０７－２が負極性画素として示している。また、図３６の例では、検出画素電位をショートさせ平均化させるためのスイッチ１２１，１２２はトランジスタにより形成されている。

【０１３６】

図３７は、付加容量の接続タイミング例を示すタイミングチャートである。

【０１３７】

図３７に示すように、画素電位検出期間はオフセット信号ＳＯＦＳＴがアクティブのローレベルに設定されて付加容量ＣＯＦ１０７－１、ＣＯＦ１０７－２が電位検出のためのノードＮＤ３０１、ＮＤ３１１に接続される。

一方、未検出期間はオフセット信号ＳＯＦＳＴがハイレベルに設定されてノードＮＤ３０１、ＮＤ３１１に対して付加容量はＣＯＦ１０７－１、ＣＯＦ１０７－２が接続されない。

また、付加容量接続期間は、付加容量が接続されているので、ＣＳカップリング量が減少する。

【０１３８】

図３８は、検出画素電位オフセット補正回路の画素電位ショートモデルを示す図であり、以下にこのモデルに基づく検出画素電位オフセット補正回路のモデル式を示す。

【０１３９】

【数２】

$$Q1 = (C1+C2+C3)VL + \frac{C1}{(C1+C2+C3)} \times Vcs \times (C1+C2+C3)$$

$$Q2 = (C1+C2+C4)VH - \frac{C1}{(C1+C2+C4)} \times Vcs \times (C1+C2+C4)$$

$$Q1+Q2 = (C1+C2)(VH+VL) + C3VL + C4VH = [2(C1+C2)+C3+C4]Vcom$$

$$Vcom = \frac{(C1+C2)(VH+VL) + C3VL + C4VH}{2(C1+C2)+C3+C4} \quad \cdots\cdots 式(2)$$

変数内訳

C1	： Clc
C2	： CS
C3	：付加容量L側
C4	：付加容量H側

ここで、ＶＨは正極性の信号線書き込み電位を、ＶＬは負極性の信号線書き込み電位をそれぞれ示している。

【０１４０】

以下にモデル式を示す。

図３９は、付加容量値を変更した場合の画素電位波形を示す図である。

次式に上記（２）式を用いて図３９の［１］，［２］の条件に付加容量を変更した場合のコモン電圧Ｖｃｏｍのセンター値ｃｏｍを示す。

【０１４１】

【数３】

$$式(2)\cdot\cdot com = \frac{(C1+C2)(VH+VL) + C3VL + C4VH}{2(C1+C2)+C3+C4}$$

$$【1】com = \frac{(11+36)(0+3.35) + 6x3.35 + 6x0}{2(11+36)+6+6} = 1.675(V)$$

$$【2】com = \frac{(11+36)(0+3.35) + 1x3.35 + 6x0}{2(11+36)+1+6} = 1.593(V)$$

【０１４２】

この［１］，［２］の結果より、付加容量を変更することにより、検出画素電位のオフセット補正が可能である。

【０１４３】

図４０は、付加容量ＣＯＦの定数を変更とする構成例を示す図である。

【０１４４】

付加容量ＣＯＦの定数は、図４０に示すように制御信号ＣＴＬによりスイッチＳＷＯＦをオンオフさせて制御することも可能である。

あるいは、レーザによって物理的に切り離し付加容量ＣＯＦの定数を設定することも可能である。

【０１４５】

また、前述したように、有効画素（表示画素）とモニタ画素を個別に配置し駆動を行い、モニタ画素電位を検出し、検出画素電位を、スイッチ１２１，１２２を介して検出ラインをショートして平均化するように構成している。

この構成において、ショートする動作後、モニタ画素の検出画素電位を再書き込みする処理を行う場合と行わない場合では、電位の偏りが生じ、焼きつきなど画素機能が劣化するおそれがある。

そこで、本実施形態では、検出画素電位のショート処理後再書き込みを行うように構成して電位の偏りを是正し、電気的保護を行うようにする。

【０１４６】

本実施形態においては、正（＋）／負（－）極性のモニタ画素の検出画素電位をショートさせることで、平均電位を生成しコモン電圧Ｖｃｏｍのセンター値の調整を行う。

通常液晶の駆動は、図４１（Ａ）に示すように、交流で行い電位の偏りを生じさせないようにする。

しかし、交互にモニタ画素電位検出を行うようなスイッチのショート、オープン状態を繰り返すようなシステムでは、図４１（Ｂ）に示すように、電位の偏りが生じる懸念がある。ショートすると－極性にかかっている期間が短くなってしまうので電位が偏る。

図４１（Ｂ）の例では負極性側が短い状況だが対になる検出画素では逆に正極性が短いケースとなる。

【０１４７】

図４２は、モニタ画素電位のショート処理による電位の偏りを生じさせない方法を説明するための図である。

【０１４８】

検出系システム（検出出力回路１１０）が所望の電位を読み取った後ならばショート状態を維持する必要はない。

そのため、検出完了後に再びショート前と同じ電位を書き込む。

この再書き込みを行う前に一旦再書き込み準備を行う必要がある。このシステムについて後述する。

【０１４９】

図４３（Ａ），（Ｂ）は、モニタ画素電位のショート処理による電位の偏りを生じさせない方法をより具体的に説明するための図である。

【０１５０】

画素電位はＴＦＴ（画素トランジスタ）を介して書き込まれた後、ＣＳカップリングによって所望の電位を得る。

初回書き込み時に一旦カップリングをしてしまうため再書き込み時にはこのＣＳカップリングを与えるためには工夫が必要である。

そのため、準備動作として一旦ＣＳカップリング方向とは逆方向に振る（画素極性によってＨ／Ｌの方向は変わる）。すなわち、準備動作として一旦ＣＳカップリング方向とは逆方向にＣＳカップリングを行う。

無論、逆方向に振ることにより画素電位も影響を受けるが、再書き込み用のゲートパルスが来る直前の位置で行うと正規の信号で書き直されるので影響をキャンセルできる。

【０１５１】

図４４は、モニタ画素電位のショート処理による電位の偏りを生じさせない電位偏り抑止回路の第１の構成例を示す図である。

また、図４５（Ａ），（Ｂ）は、図４４の回路のタイミングチャートである。

【０１５２】

図４４の電位偏り抑止回路４００は、２入力ＯＲゲート４０１、シフトレジスタ（ＳＲＧ）４０２～４０４、およびＳＲ型フリップフロップ（ＳＲＦＦ）４０５を有する。

電位偏り抑止回路４００は、さらに、３入力ＡＮＤゲート４０６、ＣＳリセット回路４０７、ＣＳラッチ回路４０８、および出力バッファ４０９を有する。

【０１５３】

２入力ＯＲゲート４０１は、通常書き込み用の転送パルス（垂直スタートパルス）ＶＳＴまたは再書き込み用の転送パルスＶＳＴ２を入力し出力する。

シフトレジスタ（ＳＲＧ）４０２～４０４は、ＯＲゲート４０１の出力に対して縦続接続されている。

ＳＲＦＦ４０５は、通常書き込み用の転送パルスＶＳＴによりセットされ、最終段のシフトレジスタ４０４によるパルスＶ３によりリセットされ、反転出力ＸＱからローレベルでアクティブのマスキング信号ＭＳＫを出力する。

３入力ＡＮＤゲート４０６は、中段のシフトレジスタ４０３の出力パルスＶ２、マスキング信号ＭＳＫおよびイネーブル信号ＥＮＢの論理積をとる。

ＣＳリセット回路４０７は、極性認識パルスＰＯＬに同期してＡＮＤゲート４０６の出力信号Ｓ４０６を入力してＣＳリセット信号Ｃｓ＿ｒｅｓｅｔを出力する。

ＣＳラッチ回路４０８は、極性認識パルスＰＯＬに同期してシフトレジスタ４０４の出力パルスＶ３をラッチし、ＣＳリセット信号Ｃｓ＿ｒｅｓｅｔでラッチデータをリセットする。

出力バッファ４０９は、ＣＳラッチ回路４０８の出力をストレージ信号ＣＳとして出力する。

【０１５４】

このように、図４４の電位偏り抑止回路４００は、再書き込み準備ができるようにＣＳリセット回路４０７を有している。

このＣＳリセット回路４０７は、ストレージ信号ＣＳの極性を認識し現在と逆の方向にリセット（再書き込み準備）を行う。その際に再書き込み直前に準備できるように前段のシフトレジスタ４０３のパルスＶ２を使う。

また、逆方向に振るために現在の極性を判定する必要がある。そのために極性に同期した極性認識パルスＰＯＬを入力している。また、マスク中はＣＳリセット信号Ｃｓ＿ｒｅｓｅｔは出力されないように構成されている。この例では、パルスＶ３のタイミングで画素書き込みが行われる。

【０１５５】

図４６は、モニタ画素電位のショート処理による電位の偏りを生じさせない電位偏り抑止回路の第２の構成例を示す図である。

また、図４７（Ａ），（Ｂ）は、図４６の回路のタイミングチャートである。

【０１５６】

図４６の電位偏り抑止回路４００Ａは、再書き込み準備を直前ではないが回路構成の単純化のために、図４４の電位偏り抑止回路４００からマスク用のＳＲＦＦが削除されている。この場合、転送パルスＶＳＴ２のタイミングで再書き込み準備をする構成とすることも可能である。

図４６の電位偏り抑止回路４００Ａは、リセットされている期間が長くなるが無視できるほどの期間であれば有用である。

【０１５７】

なお、これらの電位偏り抑止回路は、ＬＴＰＳによる一体成型によるのかＣＯＧ、ＣＯＦなどの外付けかは問わない。

【０１５８】

次に、モニタ回路１２０におけるゲートラインの配線について考察する。

【０１５９】

前述したように、本実施形態においては、ゲートラインの配置をいわゆる入れ子に配置するゲート配線を採用しているが、基本的に、表示画素（有効画素）とモニタ画素のゲートラインの時定数が不一致であると、両者の画素電位に差異が生じる。両者の画素電位が同等ということが前提でＶｃｏｍセンター値や後で説明するＣＳやＳｉｇの補正回路の出力がずれるおそれがある。

そこで、本実施形態においては、時定数の小さいモニタ画素側に調整用抵抗を設ける。より具体的には、モニタ画素のゲートラインの形状を工夫し抵抗となるようにする。それにより有効画素と時定数が一致させて上記課題を解決する。

【０１６０】

図４８（Ａ）～（Ｃ）は、ゲートラインの時定数ずれの要因を説明するための図であって、図４８（Ａ）は画素の等価回路を示す図であり、図４８（Ｂ）はゲート波形を比較した図であり、図４８（Ｃ）は時定数ずれの要因を時系列的に説明するための図である。

図４８（Ａ）～（Ｃ）に示すように、ゲート波形のなまりにより、液晶容量Ｃｌｃより電荷再注入が起こり、画素電位がずれる。

ゲート波形のなまり方が違うとモニタ画素（検出画素）電位のずれが生じる。その結果、補正機能が正常に動作しない場合が発生するおそれがある。

【０１６１】

図４９（Ａ），（Ｂ）は、本実施形態における有効画素のレイアウトモデルとモニタ画素（検出画素）のレイアウトモデルを示す図である。

【０１６２】

本実施形態においては、モニタ回路１２０側のゲートラインＧＴ２、ＧＴ１を時定数調整のために、配線を図４９（Ｂ）に示すように折り曲げて（蛇行させて）配置する。この場合、折り曲げ回数で時定数を調整する。

【０１６３】

図５０（Ａ），（Ｂ）は、ゲートラインの時定数を一致させる方法の一例を示す図である。

【０１６４】

この例では、有効画素負荷モデルとモニタ画素（検出画素）負荷モデルの各測定点ＭＰＮＴ１，ＭＰＮＴ２の時定数が一致するように抵抗の配線レイアウトを工夫する。

【０１６５】

図５１（Ａ）～（Ｃ）は、ゲートラインの時定数を一致させる方法においてレイアウトオプションを用いる例を示す図である。

【０１６６】

この例では、通常レイアウトをオプションレイアウト１，２、または、並列配線に変更することも可能である。製造後、検出電位異常となった場合、レーザリペアすることで、時定数を調整することが可能である。

【０１６７】

以上、コモン電圧Ｖｃｏｍのセンター値の自動調整（補正）系について説明した。

次に、本実施形態に係るコモン電圧Ｖｃｏｍの値について説明する。

【０１６８】

本実施形態においては、たとえば１水平走査期間（１Ｈ）毎に極性が反転する小振幅のコモン電圧Ｖｃｏｍとして、供給ライン１１２を通して各部に供給される。

小振幅のコモン電圧Ｖｃｏｍは、有効画素部１０１の全画素回路ＰＸＬＣの液晶セルＬＣ２０１の第２画素電極、モニタ回路１２０の第１モニタ画素部１０７-１，第２モニタ画素部１０７－２の液晶セルＬＣ３０１、ＬＣ３１１の第２画素電極に供給される。

【０１６９】

コモン電圧Ｖｃｏｍの振幅の振幅ΔＶｃｏｍの値は、ストレージ信号ＣＳの第１レベルとＣＳＨと第２レベルＣＳＬとの差ΔＶｃｓとともに、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば後述するように、白表示のときに液晶に印加される実効画素電位ΔＶｐｉｘＷ

が０．５Ｖ以下の値となるようにΔＶｃｓとΔＶｃｏｍの値が決定される。

【０１７０】

コモン電圧生成回路としては、液晶パネル内に設ける構成を採用することも可能であり、あるいはパネル外に配置して、パネル外からコモン電圧Ｖｃｏｍを供給するように構成することも可能である。

【０１７１】

小振幅は容量カップリング（結合）を利用、またはデジタル的に生成して、使用することが可能である。

小振幅ΔＶｃｏｍの値は、極力小さい振幅、たとえば１０ｍＶ～１．０Ｖ程度の振幅が良い。理由は、それ以外であるとオーバドライブによる応答速度の改善、音響のノイズ低減などの効果が小さくなってしまうためである。

【０１７２】

以上のように、液晶表示装置１００において、容量カップリングを利用した容量結合駆動を行う際に、次の値が最適化できるような値に選定される。

すなわち、コモン電圧Ｖｃｏｍの振幅の振幅ΔＶｃｏｍの値と、ストレージ信号ＣＳの第１レベルとＣＳＨと第２レベルＣＳＬとの差ΔＶｃｓの値が、黒輝度および白輝度をともに最適化できるような値に選定される。

たとえば、白表示のときに液晶に印加される実効画素電位ΔＶｐｉｘ　Ｗが０．５Ｖより低い値となるようにΔＶｃｓとΔＶｃｏｍの値が決定される。

以下、本実施形態に関わる容量結合駆動方式についてさらに詳細に説明する。

【０１７３】

図５２（Ａ）～（Ｅ）は、本実施形態の主要な液晶セルの駆動波形を示すタイミングチャートである。

図５２（Ａ）がゲートパルスＧＰ＿Ｎを、図５２（Ｂ）がコモン電圧Ｖｃｏｍを、図５２（Ｃ）がストレージ信号ＣＳ＿Ｎを、図５２（Ｄ）が映像信号Ｖｓｉｇを、図５２（Ｅ）が液晶セルに印加される信号Ｐｉｘ＿Ｎをそれぞれ示している。

【０１７４】

本実施形態に関わる容量結合駆動においては、コモン電圧Ｖｃｏｍは一定の直流電圧ではなく１水平走査期間（１Ｈ）毎に極性が反転する小振幅の交流の信号として生成される。

そして、コモン電圧Ｖｃｏｍは、各画素回路ＰＸＬＣの液晶セルＬＣ２０１の第２画素電極、モニタ回路１２０の第１モニタ画素部１０７-１，第２モニタ画素部１０７－２の液晶セルＬＣ３０１、ＬＣ３１１の第２画素電極に印加される。

ストレージ信号ＣＳ　Ｎは、有効画素部１０１の各ゲートライン毎に対応して独立に配線された各ストレージライン１０５－１～１０５－ｍ毎に第１レベルＣＳＨ（たとえば３Ｖ～４Ｖ）または第２レベルＣＳＬ（たとえば０Ｖ）のいずれかに選択して与えられる。

このように駆動された場合の、液晶に印加される実効画素電位ΔＶｐｉｘは次式で与えられる。

【０１７５】

【数４】

$$\Delta Vpix3 = Vsig + \frac{Ccs}{Ccs+Clc+Cg+Csp} * \Delta Vcs + \frac{Clc}{Ccs+Clc+Cg+Csp} * \frac{\Delta Vcom}{2} - Vcom$$

$$\fallingdotseq Vsig + \underline{\frac{Ccs}{Ccs+Clc} * \Delta Vcs} + \underline{\frac{Clc}{Ccs+Clc} * \frac{\Delta Vcom}{2}} - Vcom$$

【０１７６】

図５３示すように、数（４）において、Ｖｓｉｇは映像信号電圧、Ｃｃｓは保持容量、Ｃｌｃは液晶容量を、ＣｇはノードＮＤ２０１とゲートライン間の容量をそれぞれ示して

いる。ＣｓｐはノードＮＤ２０１と信号ライン間の容量を、ΔＶｃｓは信号ＣＳの電位を、Ｖｃｏｍはコモン電圧をそれぞれ示している。

数（４）において、近似式の第２項｛（Ｃｃｓ／Ｃｃｓ＋Ｃｌｃ）＊ΔＶｃｓ｝が液晶誘電率の非線形性により白輝度側が黒くなる（沈む）要因となる項である。近似式の第３項｛（Ｃｌｃ／Ｃｃｓ＋Ｃｌｃ）＊ΔＶｃｏｍ／２｝が液晶誘電率の非線形性により白輝度側を白くする（浮かせる）項である。

すなわち、近似式の第２項の低電位（白輝度側）が黒くなる（沈む）傾向部分が第３項により低電位側を白くする（浮かせる）機能により補償するように動作する。

そして、黒輝度および白輝度をともに最適化できるような値に選定することで、最適なコントラストを得ることができる。

【０１７７】

図５４（Ａ），（Ｂ）は液晶表示装置で使用される液晶材料（ノーマリホワイト液晶）を用いた場合の白表示のときに液晶に印加される実効画素電位ΔＶｐｉｘ＿Ｗの選定基準を説明するための図である。図５４（Ａ）が印加電圧に対する比誘電率εの特性を示す図であり、図５４（Ｂ）は図５４（Ａ）の特性が大きく変化する領域を拡大して示す図である。

【０１７８】

図に示すように、液晶表示装置に使用されている液晶特性では、約０．５Ｖ以上の電圧を印加すると、白輝度が沈んでしまう。

そのため、白輝度を最適化するためには、白表示のときに液晶に印加される実効画素電位ΔＶｐｉｘ＿Ｗが０．５Ｖ以下とする必要がある。したがって、実効画素電位ΔＶｐｉｘ＿Ｗが０．５Ｖ以下となるようにΔＶｃｓとΔＶｃｏｍの値が決定される。

【０１７９】

実際に評価した結果としては、ΔＶｃｓ＝３．８Ｖ、ΔＶｃｏｍ＝０．５Ｖのとき、最適なコントラストが得られた。

【０１８０】

図５５は、本発明の実施形態に係る駆動方式、関連する容量結合駆動方式、および通常の１ＨＶｃｏｍ駆動方式の映像信号電圧と実効画素電位との関係を示す図である。

図５５において、横軸が映像信号電圧Ｖｓｉｇを、縦軸が実効画素電位ΔＶｐｉｘをそれぞれ示している。また、図５５中、Ａで示す線が本発明の実施形態に係る駆動方式の特性を、Ｃで示す線が関連する容量結合駆動方式の特性を、Ｂで示す線が通常の１ＨＶｃｏｍ駆動方式の特性を示している。

【０１８１】

図５５からわかるように、本実施形態に係る駆動方式によれば、関連する容量結合駆動方式に比べて十分な特性改善が得られている。

【０１８２】

図５６は、本発明の実施形態に係る駆動方式、および関連する容量結合駆動方式の映像信号電圧と輝度との関係を示す図である。

図５６において、横軸が映像信号電圧Ｖｓｉｇを、縦軸が輝度をそれぞれ示している。また、図５６中、Ａで示す線が本発明の実施形態に係る駆動方式の特性を、Ｂで示す線が関連する容量結合駆動方式の特性を示している。

【０１８３】

図５６からわかるように、関連する容量結合駆動方式では黒輝度（２）を最適化した際に、白輝度（１）が沈んでいた。これに対して、本実施形態に係る駆動方式によれば、Ｖｃｏｍを小振幅としたことで、黒輝度（２）および白輝度（１）の両方とも最適化することができる。

【０１８４】

下記の数（５）に、本実施形態に係る駆動方式の上記数（４）に具体的な数値を設定した場合の、黒表示のときの実効画素電位ΔＶｐｉｘ＿Ｂと白表示のときの実効画素電位ΔＶｐｉｘ＿Ｗの値を示す。

また、数（６）に関連する容量結合駆動方式の上記数（１）に具体的な数値を設定した場合の黒表示のときと、黒表示のときの実効画素電位ΔＶｐｉｘ＿Ｂと実効画素電位ΔＶｐｉｘ＿Ｗの値を示す。

【０１８５】

【数５】

(1)黒表示のとき

$$\Delta Vpix_B = Vsig + \frac{Ccs}{Clc_b + Ccs} \times \Delta Vcs + \frac{Clc_b}{Clc_b + Ccs} \times \frac{\Delta Vcom}{2} - Vcom$$

$$= 3.3V + 1.65 - 1.65V$$

$$= \boxed{3.3\ V} \leftarrow \text{黒輝度を最適化}$$

(2)白表示のとき

$$\Delta Vpix_W = Vsig + \frac{Ccs}{Clc_w + Ccs} \times \Delta Vcs + \frac{Clc_w}{Clc_w + Ccs} \times \frac{\Delta Vcom}{2} - Vcom$$

$$= 0.0V + 2.05 - 1.65V$$

$$= \boxed{0.4\ V} \leftarrow \text{白輝度を最適化}$$

【０１８６】

【数６】

(1)黒表示のとき

$$\Delta Vpix_B = Vsig + \frac{Ccs}{Clc_b + Ccs} \times \Delta Vcs - Vcom$$

$$= 3.3V + 1.65 - 1.65V$$

$$= \boxed{3.3\ V} \leftarrow \text{黒輝度を最適化}$$

(2)白表示のとき

$$\Delta Vpix_W = Vsig + \frac{Ccs}{Clc_w + Ccs} \times \Delta Vcs - Vcom$$

$$= 0.0V + 2.45 - 1.65V$$

$$= \boxed{0.8\ V} \leftarrow \text{白輝度が沈んでしまう}$$

【０１８７】

数（５）および数（６）に示すように、黒表示のときは本実施形態に係る駆動方式と関連する駆動方式ともに実効画素電位ΔＶｐｉｘ＿Ｂは３．３Ｖとなり、黒輝度が最適化されている。

白表示のときは、数（６）に示すように、関連する駆動方式の実効画素電位ΔＶｐｉｘＷは０．５Ｖ以上の０．８Ｖとなり、図５４（Ｂ）に関連付けて説明したように白輝度が沈んでしまう。

これに対して、本実施形態に係る駆動方式の実効画素電位ΔＶｐｉｘ＿Ｗは０．５Ｖ以下の０．４Ｖとなり、図５４（Ｂ）に関連付けて説明したように白輝度が最適化される。

【０１８８】

＜３．ストレージ信号ＣＳの電位補正＞

次に、本実施形態の特徴の一つであるストレージ信号ＣＳの電位Ｖｃｓを、補正回路１１１により補正する構成および機能について説明する。

ここでは、モニタ回路１２０の正極性または負極性の第１モニタ画素部１０７－１、お

よび、負極性または正極性の第２モニタ画素部１０７－２の検出画素電位に応じて補正し、光学的特性を最適化するように補正する具体的な構成例について説明する。

【０１８９】

本実施形態においては、駆動温度の変化による液晶の誘電率の変動、量産時のバラツキによる保持容量Ｃｓ２０１を形成している絶縁膜の膜厚の変動および液晶セルギャップの変動により、液晶印加電圧が変動してしまう。

この変動分を電気的に検知し（モニタ画素の電位変動として検知し）、液晶印加電圧の変動を抑制することで表示の温度、量産時のバラツキによる変化を抑制する。

【０１９０】

すなわち、本実施形態においては、液晶パネル内に量産時、温度変化時のばらつき変化をモニタするダミー画素（センサー画素）を配置、およびその変化を検出する。本実施形態では、これにより、容量線の電位、またはリファレンスドライバに補正をかけ、輝度を最適化（補正）することが可能な液晶表示装置を実現している。

【０１９１】

なお、図４に図示していないリファレンスドライバは、信号ラインに伝搬させる映像用画素データを生成する階調電圧生成回路として機能する。

モニタ回路１２０の正極性または負極性の第１モニタ画素部１０７－１、および、負極性または正極性の第２モニタ画素部１０７－２の検出画素電位に応じてリファレンスドライバに補正をかけるシステムは、信号Ｓｉｇの電位Ｖｓｉｇの補正系として機能する。

【０１９２】

以上のように、本実施形態の液晶表示装置１００は、モニタ回路１２０の正極性または負極性の第１モニタ画素部１０７－１、および、負極性または正極性の第２モニタ画素部１０７－２の検出画素電位を受けて補正を行う複数の補正系を有する。

表示装置１００は、図５７に示すように、第１の補正系としてのＶｃｏｍ補正系１１０Ａ（モニタ回路１２０の検出出力回路１１０）、第２の補正系としてのＶｃｓ補正系１１１Ａ（補正回路１１１）、および第３の補正系としてのＶｓｉｇ補正系１１３を有する。

【０１９３】

既に、図１１～図１８に関連付けて説明したように、のＶｃｏｍ補正系１１０Ａは、モニタ回路１２０の出力回路１２５の液晶電位の揺らぎ防止回路１３０を有している。ここでは、理解を容易にするために図１１等と同一構成部分は同一符号をもって表す。

そして、本実施形態では、Ｖｃｓ補正系１１１Ａ（補正回路１１１）も同様に、液晶電位の揺らぎ防止回路１４０を有している。

【０１９４】

Ｖｃｏｍ補正系１１０Ａの液晶電位揺らぎ防止回路１３０は、複数系統の第１および第２の出力回路１２５－１，１２５－２、第１および第２の平滑用キャパシタＣ１２０－１，Ｃ１２０－２、第１および第２のスイッチＳＷ１３１，ＳＷ１３２を有する。

液晶電位揺らぎ防止回路１３０は、さらに、第１のノードＮＤ１３１、第２のノードＮＤ１３２，第３のノードＮＤ１３３を有する。

【０１９５】

本実施形態の液晶電位の揺らぎ防止回路１３０は、第１および第２のスイッチＳＷ１３１，ＳＷ１３２によって平滑容量（第１および第２のキャパシタＣ１２０－１，Ｃ１２０－２を分割し合計サイズを切り替えられるように構成されている。

また、出力回路が二系統用意されている。

【０１９６】

Ｖｃｏｍ補正系１１０Ａは、比較器（Ｃｍｐ）１１０１、第１のアンプ（Ａｍｐ）１１０２－１、第２のアンプ１１０２－１、第１および第２の平滑用キャパシタＣ１２０－１，Ｃ１２０－２、第１および第２のスイッチＳＷ１３１，ＳＷ１３２を有する。

液晶電位揺らぎ防止回路１３０は、さらに、第１のノードＮＤ１３１、第２のノードＮＤ１３２，第３のノードＮＤ１３３を有する。

これらの接続関係や液晶電位の揺らぎ防止回路１３０の機能および効果等については、

既に説明したことから、ここではその説明を省略する。

【０１９７】

Ｖｃｓ補正系１１１Ａは、比較器（Ｃｍｐ）１１１１、第１のアンプ（Ａｍｐ）１１１２－１、第２のアンプ１１１２－１、第１および第２の平滑用キャパシタＣ１４０－１，Ｃ１４０－２、第１および第２のスイッチＳＷ１４１，ＳＷ１４２を有する。

液晶電位揺らぎ防止回路１４０は、さらに、第１のノードＮＤ１４１、第２のノードＮＤ１４２，第３のノードＮＤ１４３を有する。

液晶電位揺らぎ防止回路１４０は、基本的に液晶電位の揺らぎ防止回路１３０と同様の接続関係や機能および効果等を有する。したがって、液晶電位の揺らぎ防止回路１４０の接続関係や機能および効果等については、既に説明したことから、ここではその説明を省略する。

後で説明する場合も同等である。

【０１９８】

Ｖｓｉｇ補正系１１３は、主構成要素として比較器（Ｃｍｐ）１１３１、アンプを含むリファレンスドライバ１１３２を含む。

なお、図５１に示す検出画素部（モニタ画素部）１０７Ａ，１０７Ｂ，１０７Ｃは、モニタ回路１２０の正極性または負極性の第１モニタ画素部１０７－１、および、負極性または正極性の第２モニタ画素部１０７－２と同等の機能構成を含む。

【０１９９】

Ｖｃｓ補正系１１１Ａは、検出画素部（モニタ画素部）１０７Ａからの出力に基づき画素電位処理部１１６により求められた電位と基準電位１とを比較する機能を有する。

Ｖｃｓ補正系１１１Ａは、たとえば第１モニタ画素部１０７－１および第２モニタ画素部１０７－２からの異なる極性信号間の電位差に対応する電位と、この補正系のための所定の基準電位１とを比較器（Ｃｍｐ）１１１１にて比較してその比較結果を出力する。

比較結果として比較器（Ｃｍｐ）１１１１はたとえば極性信号間の電位差が基準電位１以上の場合とより小さい場合とで異なるレベルの信号を出力する。

その信号をアンプ（Ａｍｐ）１１１２－１，１１１２－２にて増幅することにより補正されたストレージ信号ＣＳの電位Ｖｃｓを生成し、モニタ画素部１０７Ａに設けられたストレージラインと共にストレージライン１０５－１～１０５－ｍに供給される。

【０２００】

Ｖｓｉｇ補正系１１３は、検出画素部（モニタ画素部）１０７Ｂからの出力に基づき画素電位処理部１１７により求められた電位と基準電位２とを比較する機能を有する。

Ｖｓｉｇ補正系１１３は、たとえば第１モニタ画素部１０７－１および第２モニタ画素部１０７－２からの異なる極性信号間の電位差に対応する電位と、この補正系のための所定の基準電位２とを比較器（Ｃｍｐ）１１３１にて比較して比較結果を出力する。

比較結果として比較器（Ｃｍｐ）１１３１はたとえば極性信号間の電位差が基準電位２以上の場合とより小さい場合とで異なるレベルの信号を出力する。

その信号に基づきアンプを含むリファレンスドライバ１１３２が出力を制御して補正された映像信号Ｓｉｇの電位Ｖｓｉｇを生成し、モニタ画素部１０７Ｂに設けられた信号ラインと共に信号ライン１０６－１～１０６－ｎに供給される。

【０２０１】

Ｖｃｏｍ補正系１１０Ａは、検出画素部（モニタ画素部）１０７Ｃからの出力に基づき画素電位処理部１１５により求められた電位と基準電位３とを比較する機能を有する。

Ｖｃｏｍ補正系１１０Ａは、たとえば第１モニタ画素部１０７－１および第２モニタ画素部１０７－２からの異なる極性信号の中間電位に対応する電位と、この補正系のための基準電位３とを比較器（Ｃｍｐ）１１０１にて比較して比較結果を出力する。

基準電位３としてたとえばアンプ（Ａｍｐ）１１０２からの出力を用いることができる。

その比較結果をアンプ（Ａｍｐ）１１０２－１，１１０２－２にて増幅することにより補正されたコモン電圧Ｖｃｏｍを生成し、モニタ画素部１０７Ｂに設けられたコモン電圧

供給ラインと共にコモン電圧ＶＣＯＭ（Ｖｃｏｍ）の供給ライン１１２に供給される。

【０２０２】

これらＶｃｓ補正系１１１Ａ、Ｖｓｉｇ補正系１１３およびＶｃｏｍ補正系１１０Ａのそれぞれによりフィードバックが形成され、画素電位が所定のレベルに安定化する。

【０２０３】

なお上述の画素電位処理部１１６、１１７は、第１モニタ画素部１０７－１および第２モニタ画素部１０７－２からの異なる極性信号間の電位差の代わりに次の電位を用いることが可能である。

すなわち、画素電位処理部１１６、１１７は第１モニタ画素部１０７－１または第２モニタ画素部１０７－２の信号と接地レベルとの間の電位差を用い、その電位差に対応する電位を出力するようにしてもよい。

ただし、第１モニタ画素部１０７－１および第２モニタ画素部１０７－２からの異なる極性信号間の電位差を所定の基準電位と比較することでより良好な補正結果が得られた。

【０２０４】

この図５７の構成は、各補正系に対応して検出画素部１０７Ａ，１０７Ｂ，１０７Ｃの３系統を設けている例である。

しかし、これでは回路面積の増大を招く。

そこで本実施形態においては、図５８に示すように、１つの検出画素部１０７を形成し、この検出画素電位出力をスイッチ回路１１４によりスイッチングして各Ｖｃｏｍ補正系１１０Ａ、Ｖｃｓ補正系１１１Ａ、およびＶｓｉｇ補正系１１３に選択的に入力させる。

なお、図５８は、本実施形態に係る複数の補正系で一つの検出画素部（モニタ画素部）を共用する構成例を示す図である。

【０２０５】

スイッチ回路１１４は、接点ａが検出画素部１０７の検出画素電位出力ラインに接続され、接点ｂがＶｃｏｍ補正系１１０Ａの入力に接続され、接点ｃがＶｓｉｇ補正系１１３の入力に接続され、作動接点ｄがＶｃｓ補正系１１１Ａの入力に接続されている。

【０２０６】

この場合、各Ｖｃｏｍ補正系１１０Ａ、Ｖｃｓ補正系１１１Ａ、およびＶｓｉｇ補正系１１３の比較器１１０１，１１１１，１１３１の出力側に検出結果（比較結果）を保持させるメモリ１１０３，１１１３，１１３３を配置する。このことにより、検出画素のスイッチングが可能となる。なお、メモリは、ＤＲＡＭ，ＳＲＡＭ等、特に制約はない。

これにより、一系統の検出画素部１０７のみで複数系統の補正を行うことが可能となり、各補正系の独立配置が可能となる。

【０２０７】

なお、図５８に示した各Ｖｃｏｍ補正系１１０Ａ、Ｖｃｓ補正系１１１Ａ、およびＶｓｉｇ補正系１１３のメモリ１１０３，１１１３，１１３３以外の構成およびその動作は図５７に示した各補正系１１０Ａ，１１１Ａ，１１３と同じである。

したがって、Ｖｃｏｍ補正系１１０ＡおよびＶｃｓ補正系１１１Ａは、液晶電位揺らぎ防止回路１３０，１４０を含んで構成されている。

【０２０８】

また、スイッチ回路１１４のスイッチングのタイミングは、特に順番に行う必要はなく、任意に重み付けできる。

【０２０９】

図５９（Ａ）～（Ｄ）は、複数の補正系で一つの検出画素部（モニタ画素部）を共用する場合のスイッチング例を示す図である。

図５９（Ａ）～（Ｄ）においてｃｏｍはＶｃｏｍ補正系１１０Ａが選択されている期間を、ＣＳはＶｃｓ補正系１１１Ａが選択されている期間を、ＳｉｇはＶｓｉｇ補正系１１３が選択されている期間を示す。

【０２１０】

図５９（Ａ）は順番に切り替える例を示している。

図５９（Ｂ）は、任意に重み付けを行ってスイッチングする例を示し、この例はＶｃｏｍを重み付けした場合である。
この場合、検出画素部の検出画素電位をＶｃｏｍ補正系１１０Ａに２回続けて、あるいは３回続けて入力させた後、スイッチングしてＶｃｓ補正系１１１Ａ、Ｖｓｉｇ補正系１１３に入力させる。
図５９（Ｃ）は１フィールドごとにスイッチングする例を示している。
図５９（Ｄ）は１／２フィールドごとにスイッチングする例を示している。

【０２１１】

なお、所望する画素電位が得られれば、フィールド駆動やライン駆動など駆動方式に捉われることはない。

【０２１２】

これらの補正系は、ＬＴＰＳによる一体成型によるのかＣＯＧ、ＣＯＦなどの外付けかは問わない。
図６０には、各Ｖｃｏｍ補正系１１０Ａ、Ｖｃｓ補正系１１１Ａ、およびＶｓｉｇ補正系１１３を外付けＩＣ１３０に搭載した例を示している。

【０２１３】

また、補正系は三系統である必要はなく二系統ずつ選択するように構成することも可能である。
図６１（Ａ）～（Ｃ）は、補正系を二系統ずつ選択する構成例を示す図である。

【０２１４】

図６１（Ａ）の例は、Ｖｃｓ補正系１１１ＡとＶｓｉｇ補正系１１３の二系統の補正系を設け、各補正系にスイッチ回路１１４Ａにより検出画素部１０７の検出画素電位を選択的に入力させる。
図６１（Ｂ）の例は、Ｖｃｏｍ補正系１１０ＡとＶｃｓ補正系１１１Ａの二系統の補正系を設け、各補正系にスイッチ回路１１４Ａにより検出画素部１０７の検出画素電位を選択的に入力させる。
図６１（Ｃ）の例は、Ｖｃｏｍ補正系１１０ＡとＶｓｉｇ補正系１１３の二系統の補正系を設け、各補正系にスイッチ回路１１４Ａにより検出画素部１０７の検出画素電位を選択的に入力させる。

【０２１５】

図６２は、Ｖｃｏｍ補正系１１０ＡとＶｓｉｇ補正系１１３の二系統の補正系を設けた場合において、より具体的に構成例を示す図である。
図６３は、図６２の回路のスイッチングのタイミング例を示す図である。
なお、図６２においては、第１モニタ画素部１０７－１が正極性画素として駆動され、第２モニタ画素部１０７－２が負極性画素として駆動されている場合を例として示している。

【０２１６】

第１モニタ画素部１０７－１と第２モニタ画素部１０７－２の検出画素電位出力ラインに並列に、それぞれ２つのスイッチＳＷ１０－１，ＳＷ１０－２、ＳＷ２０－１，ＳＷ２０－２を設けている。
スイッチＳＷ１０－１とＳＷ２０－１をＶｃｏｍ調整用画素（ｐｉｘ）電位処理部１１５に接続し、この画素電位処理部１１５の出力がＶｃｏｍ補正系１１０Ａの比較器１１０１に供給される。
また、スイッチＳＷ１０－２とＳＷ２０－２をＶｃｓ調整用画素（ｐｉｘ）電位処理部１１６に接続し、この画素電位処理部１１６の出力がＶｃｓ補正系１１１Ａの比較器１１１１に供給される。
そして、スイッチＳＷ１０－１，ＳＷ２０－１とスイッチＳＷ１０－２とＳＷ２０－２は交互にオンオフされる。
このような構成において、両極性の検出画素電位からＶｃｏｍ用検出、Ｖｃｓ用検出を１フィールド（Ｆ）ごとに交互に行い、それぞれの比較結果を見てＶｃｏｍ補正系１１０

Ａ、Ｖｃｓ補正系１１１に入力させる。
Ｖｃｏｍ調整用画素（ｐｉｘ）電位処理部１１５は、たとえば第１モニタ画素部１０７－１と第２モニタ画素部１０７－２の検出画素電位の中間電位を検出し、その中間電位に対応する電位を比較器１１０１の一方の端子に供給する。
また、アンプ（Ａｍｐ）１１０２－１からの出力を比較電位として比較器１１０１の他方の端子に供給する。比較器１１０１は、この２つの端子に供給された電位の比較結果に基づき異なる論理レベルを出力して補正されたコモン電圧Ｖｃｏｍを生成し、コモン電圧Ｖｃｏｍのセンター値が自動調整される。
Ｖｃｓ調整用画素（ｐｉｘ）電位処理部１１６は、たとえば第１モニタ画素部１０７－１と第２モニタ画素部１０７－２の検出画素電位の電位差を検出して比較器１１１１の一方の端子に供給する。基準電圧１をあらわす外部電位を比較器１１０１の他方の端子に供給する。比較器１１０１は、この２つの端子に供給された電位の比較結果に基づき異なる論理レベルを出力することにより補正されたストレージ信号ＣＳの電位Ｖｃｓが生成される。

【０２１７】
次に、上記構成による動作を説明する。

【０２１８】
垂直駆動回路１０２のシフトレジスタには、図示しないクロックジェネレータにより生成された垂直走査の開始を指令する垂直スタートパルスＶＳＴ、垂直走査の基準となる互いに逆相の垂直クロックＶＣＫ，ＶＣＫＸが供給される。
シフトレジスタにおいては、垂直クロックのレベルシフト動作が行われ、かつ、それぞれ異なる遅延時間で遅延される。たとえばシフトレジスタにおいては、垂直スタートパルスＶＳＴが、垂直クロックＶＣＫに同期にてシフト動作が行われ、対応するゲートバッファに供給される。
また、垂直スタートパルスＶＳＴは、有効画素部１０１の上部側から、または下部側から伝搬され、各シフトレジスタに順番にシフトインされていく。
したがって、基本的には、シフトレジスタＶＳＲにより供給された垂直クロックにより各ゲートバッファを通して各ゲートライン１０４－１～１０４－ｍが順番に駆動されていく。

【０２１９】
このように、垂直駆動回路１０２により、たとえば第１行目から順番にゲートライン１０４－１～１０４－ｍが駆動されていくが、これに伴い、ストレージライン１０５－１～１０５－ｍが駆動されていく。
このとき、ゲートパルスで一のゲートラインを駆動した後、次のゲートラインのゲートパルスの立ち上がりのタイミングで、ストレージライン１０５－１～１０５－ｍに印加するストレージ信号ＣＳ１～ＣＳｍのレベルが切り替えられて印加される。
すなわち、ストレージライン１０５－１～１０５－ｍに印加するストレージ信号ＣＳ１～ＣＳｍのレベルとして第１レベルＣＳＨと第２レベルＣＳＬが交互に選択されて印加される。
たとえば、第１行目のストレージライン１０５－１に第１レベルＣＳＨを選択してストレージ信号ＣＳ１が印加された場合、第２行目のストレージライン１０５－２には第２レベルＣＳＬが選択されてストレージ信号ＣＳ２が印加される。
第３行目のストレージライン１０５－３に第１レベルＣＳＨが選択されてストレージ信号ＣＳ３が印加され、第４行目のストレージライン１０５－４には第２レベルＣＳＬが選択されストレージ信号ＣＳ４が印加される。
以下同様にして交互に第１レベルＣＳＨと第２レベルＣＳＬが選択されストレージ信号ＣＳ５～ＣＳｍがストレージライン１０５－５～１０５－ｍに印加される。
このストレージ信号は、モニタ回路１２０のモニタ画素部１０７－１，１０７－２の画素電位が検出されて、この検出電位に基づいてＶｃｓ補正系１１１Ａにおいて、任意の電位になるように補正される。

【０２２０】
　また、小振幅ΔＶｃｏｍで交番のコモン電圧Ｖｃｏｍが有効画素部１０１の全画素回路ＰＸＬＣの液晶セルＬＣ２０１の第２画素電極に共通に印加される。
　このコモン電圧Ｖｃｏｍのセンター値がモニタ回路１２０のモニタ画素部１０７－１，１０７－２の検出画素電位に基づいてＶｃｏｍ補正系１１０Ａにおいて最適値に調整される。
【０２２１】
　そして、水平駆動回路１０３では、図示しないクロックジェネレータにより生成された水平走査の開始を指令する水平スタートパルスＨＳＴ、水平走査の基準となる互いに逆相の水平クロックＨＣＫ，ＨＣＫＸを受けてサンプリングパルスが生成される。
　入力される映像信号が生成したサンプリングパルスに応答して順次サンプリングされて、各画素回路ＰＸＬＣに書き込むべきデータ信号ＳＤＴとして各信号ライン１０６－１～１０６－ｎに供給される。
　たとえば、まず、Ｒ対応のセレクタスイッチが導通状態に駆動制御されてＲデータが各信号ラインに出力されてＲデータが書き込まれる。Ｒデータの書き込みが終了すると、Ｇ対応のセレクタスイッチのみが導通状態に駆動制御されてＧデータが各信号ラインに出力されて書き込まれる。Ｇデータの書き込みが終了すると、Ｂ対応のセレクタスイッチのみが導通状態に駆動制御されてＢデータが各信号ラインに出力されて書き込まれる。
【０２２２】
　本実施形態においては、この信号ラインからの書き込み後、ストレージライン１０５－１～１０５－ｍから保持容量Ｃｓ２０１を介してカップリングさせることにより画素電位（ノードＮＤ２０１の電位）を変化させて、液晶印加電圧を変調させている。
　このとき、コモン電圧Ｖｃｏｍは一定値ではなく小振幅ΔＶｃｏｍ（１０ｍＶ～１．０Ｖ）で交番信号として供給される。これにより、黒輝度のみならず白輝度も最適化されている。
【０２２３】
　以上説明したように、本実施形態によれば、液晶印加電圧を変調する駆動方式を採用している。
　この駆動方式による実駆動中において、モニタ回路における第１モニタ画素部１０７－１と第２モニタ画素部１０７－２の正負極性のモニタ画素電位を平均化した電位を検出し、コモン電圧Ｖｃｏｍのセンター値を自動調整するように構成されている。
　したがって、本実施形態によれば、以下の効果を得ることができる。
【０２２４】
　煩雑な手間を要する出荷時の検査工程が不要である。
　使用中の温度、駆動方式、駆動周波数、バックライト（B/L）輝度、外光輝度の変化により、コモン電圧Ｖｃｏｍのセンター値が最適値からシフトしたとしても、コモン電圧Ｖｃｏｍのセンター値を使用状況に応じた最適な値に保持することが可能となる。その結果、フリッカの発生を適応的に抑止できる利点がある。また、コモン電圧Ｖｃｏｍのセンター値を最適値に調整することにより、実効画素電位変動に伴う画質への影響を抑止できる。
【０２２５】
　また、本実施形態においては、有効画素部１０１に隣接して独立に、第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、モニタ垂直駆動回路１０８、モニタ水平駆動回路１０９－１、１０９－２を含むモニタ回路１２０が形成されている。また、ゲートラインの配置をいわゆる入れ子に配置するように構成されることから、パネルデザインの自由度が増すという利点がある。
　これにより、モニタ回路１２０の構成回路、すなわち第１モニタ画素部１０７－１、第２モニタ画素部１０７－２、モニタ垂直駆動回路１０８、モニタ水平駆動回路１０９－１、１０９－２の配置も容易となる。
　また、モニタ画素部専用の垂直および水平駆動回路を有効画素部１０１とは別個に持つ

ことが可能となり、前述した信号ラインの振幅の問題でブランキング期間中しか検出できないという問題も解決することができる。

【０２２６】

また、本実施形態の液晶電位の揺らぎ防止回路１３０，１４０においては、平滑容量である第１のキャパシタＣ１２０－１と第２のキャパシタＣ１２０－２をスイッチングによりスタートアップ時にはサイズを小さく、通常時はサイズを大きくする。

単純にスイッチングを行うと電位の変動が発生してしまい、画表示に問題が生じするおそれがあるため、予備の平滑容量としての第２のキャパシタＣ１２０－２，Ｃ１４０－２をあらかじめ充電しておく回路構成が採用されている。

これにより、スタートアップ時間に影響を与えることなくリップルを抑制できる。

【０２２７】

また、本実施形態においては、モニタ画素にそれぞれ異なる振幅の信号を書き込み検出画素電位のオフセットを行い補正する方法により、目標値からのシフト分をキャンセルすることが可能となる。また、モニタ画素に容量を付与し検出画素電位をオフセットさせて補正する方法、あるいは両方法の組み合わせによって目標値からのシフト分をキャンセルすることが可能となる。

【０２２８】

また、本実施形態においては、有効画素（表示画素）とモニタ画素を個別に配置し駆動を行い、モニタ画素電位を検出し、検出画素電位を、スイッチ１２１，１２２を介して検出ラインをショートして平均化するように構成している。そして、本実施形態においては、検出画素電位のショート処理後再書き込みを行うように構成することにより、電位の偏りを是正し、電気的保護を行うことが可能である。

これにより、ショートする動作後、モニタ画素の検出画素電位をショートさせる処理を行う場合と行わない場合とで、電位の偏りが生じることがなくなり、焼きつきなどの画素機能が劣化するおそれがなくなる。

【０２２９】

さらに、本実施形態においては、時定数の小さいモニタ画素側に調整用抵抗を設け、具体的には、モニタ画素のゲートラインの形状を工夫し抵抗となるようにし、それにより有効画素と時定数を一致させている。これにより、モニタ画素（検出画素）電位のずれが生じるおそれが減少し、その結果、補正機能が正常に動作しない場合が発生するおそれがなくなる。

【０２３０】

また、本実施形態においては、１つの検出画素部１０７を形成し、この検出画素電位出力をスイッチ回路１１４によりスイッチングして各Ｖｃｏｍ補正系１１０Ａ、Ｖｃｓ補正系１１１Ａ、およびＶｓｉｇ補正系１１３等を選択的に入力させるように構成した。

これにより、回路面積の増大を招くことなく、一系統の検出画素部１０７のみで複数系統の補正を行うことが可能となり、各補正系の独立配置が可能となる。

【０２３１】

また、各画素回路は、第１画素電極および第２画素電極を有する液晶セルＬＣ２０１と、第１電極および第２電極を有する保持容量Ｃｓ２０１と、を含む。

液晶セルの第１画素電極と保持容量の第１電極とＴＦＴの一端子が接続され、保持容量の第２電極が対応する行に配列された容量配線に接続され、液晶セルの第２画素電極には所定の周期でレベルが切り替わる小振幅のコモン電圧信号が印加される。これにより、黒輝度および白輝度の両方をともに最適化することができる。その結果、コントラストを最適化することができる利点がある。

【０２３２】

また、本実施形態においては、駆動温度の変化による液晶の誘電率の変動、量産時のバラツキによる保持容量Ｃｓ２０１を形成している絶縁膜の膜厚の変動および液晶セルギャップの変動により、液晶印加電圧が変動してしまうおそれがある。

この変動分を電気的に検知し、液晶印加電圧の変動を抑制することで表示の温度、量産

時のバラツキによる変化を抑制する。

【０２３３】

また、本実施形態の垂直駆動回路１０２におけるＣＳドライバは、ドライバ段の前後段あるいは前フレームの極性に依存せず、画素書き込み時の極性（ＰＯＬで示される）のみでＣＳ信号の極性を決めている。

すなわち、本実施形態の前後段の信号に依存せず、自段の信号のみで制御可能となっている。

【０２３４】

なお、上記実施形態では、液晶表示装置にアナログ映像信号を入力とし、これをラッチした後アナログ映像信号を点順次にて各画素に書き込むアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明した。

本発明は、デジタル映像信号を入力し、セレクタ方式にて線順次にて画素に映像信号を書き込む駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【０２３５】

また、上記実施形態においては、各行に独立して配線されているストレージライン１０５－１～１０５－ｍから保持容量Ｃｓ２０１を介してカップリングを与えて画素電位を変化させ、液晶印加電圧を変調する容量結合駆動方式が採用されている。そして、この駆動方式におけるコモン電圧Ｖｃｏｍのセンター値の自動調整システムについて説明した。

本発明のコモン電圧Ｖｃｏｍのセンター値の自動調整システムは、この容量結合駆動方式のみならず、通常の１ＨＶｃｏｍ反転駆動方式にも適用可能である。

【０２３６】

図６４は、コモン電圧Ｖｃｏｍのセンター値の自動調整システムを１ＨＶｃｏｍ反転駆動方式に採用した場合の波形例を示す図である。

この場合、対向共通電極（Ｖｃｏｍ）が１Ｈ反転に同期してＴＦＴ側画素電極がカップリングを受けるため、正（＋）極性と負（－）極性が同時に存在しない。そのため、モニタ画素の画素電位の検出に工夫が必要となる。

【０２３７】

図６５は、コモン電圧Ｖｃｏｍのセンター値の自動調整システムを１ＨＶｃｏｍ反転駆動方式に採用した場合の検出回路の構成例を示す図である。

また、図６６は図６５の回路の波形例を示す図である。

【０２３８】

図６５の検出回路５００は、スイッチＳＷ５０１～５０７、キャパシタＣ５０１，Ｃ５０２，Ｃ５０３、比較増幅器５０１、ＣＭＯＳバッファ５０２、出力バッファ５０３を有している。

検出回路５００においては、まず、スイッチＳＷ５０６、ＳＷ５０７をオンにして、比較増幅器５０１の入出力を接続してリセットして、リファレンス電圧Ｖｒｅｆをキャパシタ Ｃ５０３にチャージさせる。そして、スイッチＳＷ５０６、ＳＷ５０７をオフする。

次に、正（＋）極性と負（－）極性のモニタ画素部にそれぞれ（１／２）Ｓｉｇ電圧を入れ、１Ｈずらしたタイミングで容量結合させ、その後、その２つの容量を再度容量結合させることで、ＶｃｏｍＤＣ値を決定する。

スイッチＳＷ５０１をオンにして画素回路ｐｉｘＡの容量Ｃ１Ａをある１Ｈ期間にキャパシタＣ５０１に溜める。

次に、スイッチＳＷ５０２をオンにして１Ｈにて画素回路ｐｉｘＢも同様の動作を行い、その容量Ｃ１Ｂをキャパシタ Ｃ５０２に溜める。その後、スイッチＳＷ５０３～ＳＷ５０５をオンにしてキャパシタＣ５０１とＣ５０２に蓄えられた電荷を結合させることで平均化を行う。

【０２３９】

これにより、コモン電圧Ｖｃｏｍのセンター値の自動調整システムを１ＨＶｃｏｍ反転駆動方式に採用することが可能となる。

この場合も、煩雑な手間を要する出荷時の検査工程が不要である。

また、使用中の温度、駆動方式、駆動周波数、バックライト（B/L）輝度、外光輝度の変化により、コモン電圧Ｖｃｏｍのセンター値が最適値からシフトしたとしても、コモン電圧Ｖｃｏｍのセンター値を使用状況に応じた最適な値に保持することが可能となる。その結果、フリッカの発生を適応的に抑止できる利点がある。

また、コモン電圧Ｖｃｏｍのセンター値を最適値に調整することにより、実効画素電位変動に伴う画質への影響を抑止できる。

【０２４０】

また、上記実施形態においては、各画素の表示エレメント（電気光学素子）として液晶セルを用いたアクティブマトリクス型液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではない。

本発明は、たとえば各画素の表示エレメントとしてエレクトロルミネッセンス（ＥＬ:electro luminescence）素子を用いたアクティブマトリクス型ＥＬ表示装置などアクティブマトリクス型表示装置全般に適用可能である。

以上説明した実施形態に係る表示装置は、直視型映像表示装置（液晶モニタ、液晶ビューファインダ）、投射型液晶表示装置（液晶プロジェクタ）の表示パネル、すなわちＬＣＤ(Liquid Crystal Display)パネルとして用いることが可能である。

【０２４１】

またさらに、上記実施形態に係るアクティブマトリクス型液晶表示装置に代表されるアクティブマトリクス型表示装置は、パーソナルコンピュータ、ワードプロセッサ等のＯＡ機器やテレビジョン受像機などのディスプレイとして用いられる。さらにその外、特に装置本体の小型化、コンパクト化が進められている携帯電話機やＰＤＡなどの電子機器（携帯端末）の表示部として用いて好適なものである。

【０２４２】

図６７は、本発明が適用される携帯端末、たとえば携帯電話機の構成の概略を示す外観図である。

【０２４３】

本例に係る携帯電話機６００は、装置筐体６１０の前面側に、スピーカ部６２０、表示部６３０、操作部６４０、およびマイク部６５０が上部側から順に配置された構成となっている。

このような構成の携帯電話機において、表示部６３０にはたとえば液晶表示装置が用いられ、この液晶表示装置として、先述した実施形態に係るアクティブマトリクス型液晶表示装置が用いられる。

【０２４４】

このように、携帯電話機などの携帯端末において、先述した実施形態に係るアクティブマトリクス型液晶表示装置を表示部６３０として用いることにより、フリッカの発生を的確に抑止でき、高画質の画像を得られる等の利点がある。

また、狭ピッチ化が可能で、狭額縁化を実現でき、また表示装置の低消費電力化を図ることができ、よって端末本体の低消費電力化が可能になる。

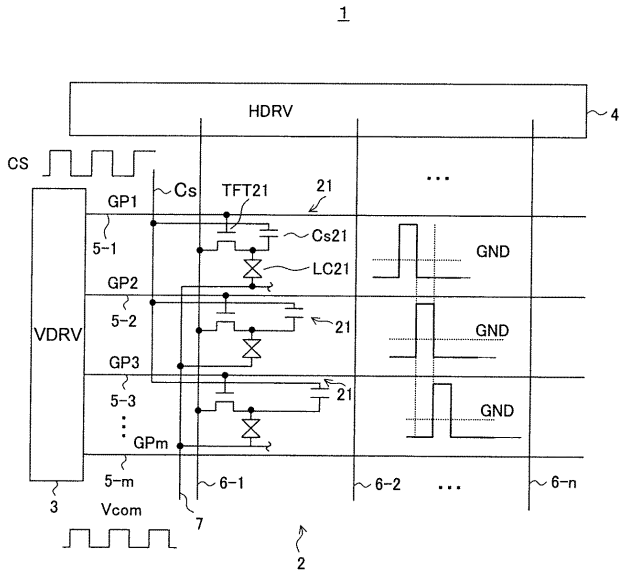
【符号の説明】

【０２４５】

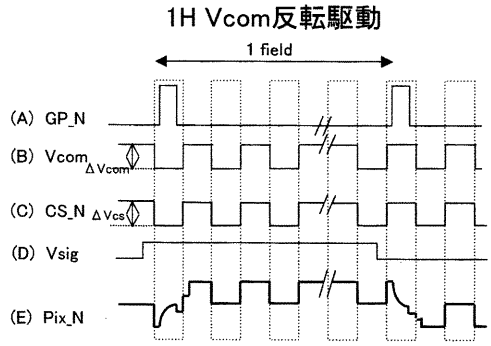
１００・・・液晶表示装置、１０１・・・有効画素部、１０２・・・垂直駆動回路（ＶＤＲＶ）、１０３・・・水平駆動回路（ＨＤＲＶ）、１０４－１～１０４－ｍ・・・ゲートライン、１０５－１～１０５－ｍ・・・容量配線（ストレージライン）、１０６－１～１０６－ｎ・・・信号ライン、１０７－１・・・第１モニタ（ダミー）画素部（ＭＮＴＰ１）、１０７－２・・・第２モニタ画像部（ＭＮＴＰ２）、１０８・・・モニタ垂直駆動回路（Ｖ／ＣＳＤＲＶＭ）、１０９－１・・・第１モニタ水平駆動回路（ＨＤＲＶＭ１）、１０９－２・・・第２モニタ水平駆動回路（ＨＤＲＶＭ２）、１１０・・・検出出力回路、１１０Ａ・・・Ｖｃｏｍ補正系、１１１・・・補正回路、１１１Ａ・・・Ｖｃｓ補正系、１１３・・・Ｖｓｉｇ補正系、１３０，１４０・・・液晶電位揺らぎ防止回路、１２５－１・・・第１の出力回路、１２５－２・・・第２の出力回路、Ｃ１２０－１・・・第

１の平滑用キャパシタ、Ｃ１２０－２・・・第２の平滑用キャパシタ、ＳＷ１３１・・・第１のスイッチ、ＳＷ１３２・・・第２のスイッチ、ＮＤ１３１・・・第１のノード、ＮＤ１３２・・・第２のノード、ＮＤ１３３・・・第３のノード。

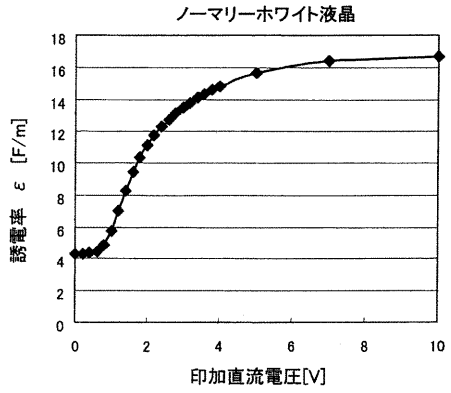
【図１】



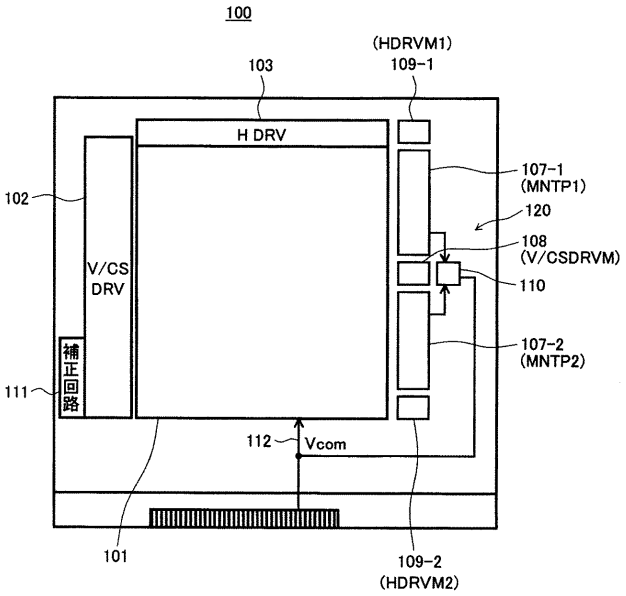
【図２】



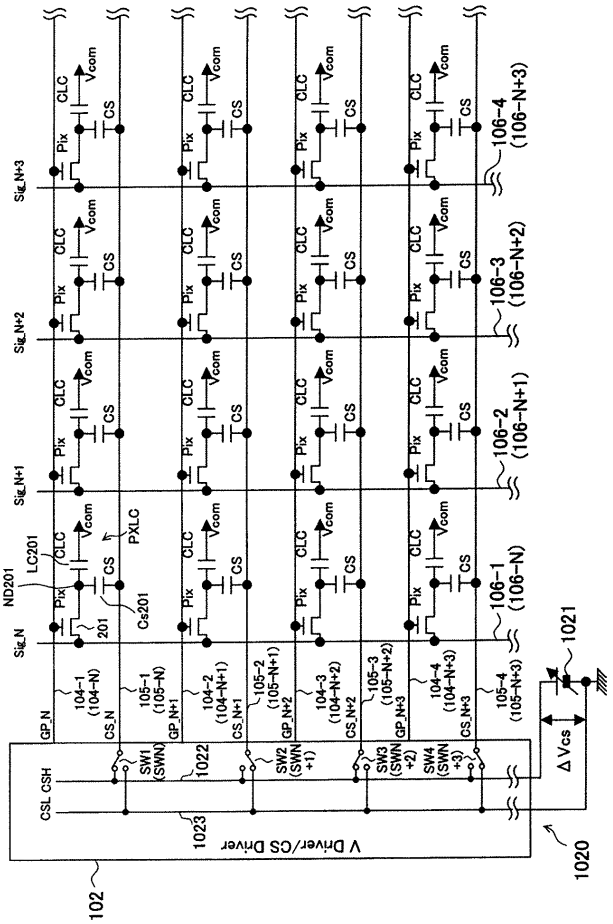
【図３】



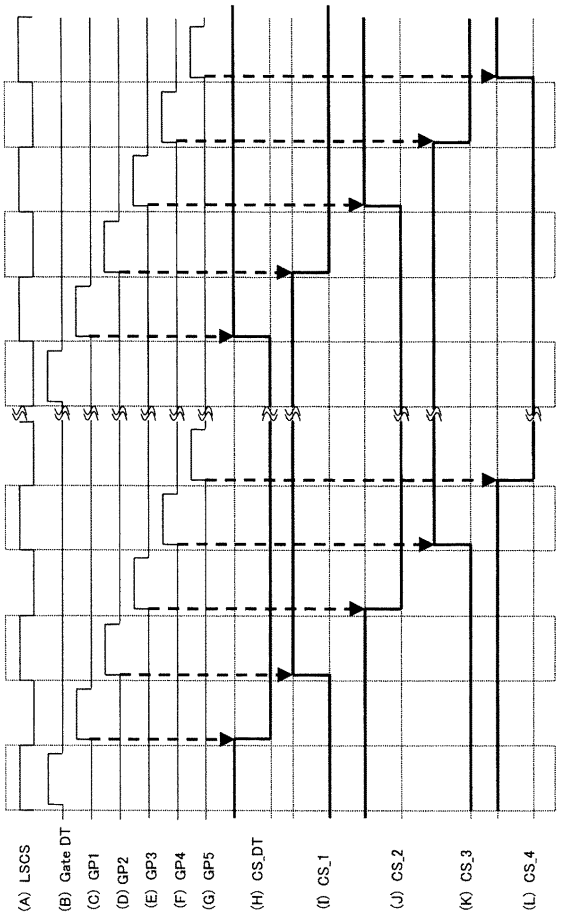
【図４】


100
(HDRVM1)
109-1
103
H DRV
102
V/CS DRV
107-1 (MNTP1)
120
108 (V/CSDRVM)
110
107-2 (MNTP2)
補正回路
111
112
Vcom
101
109-2 (HDRVM2)

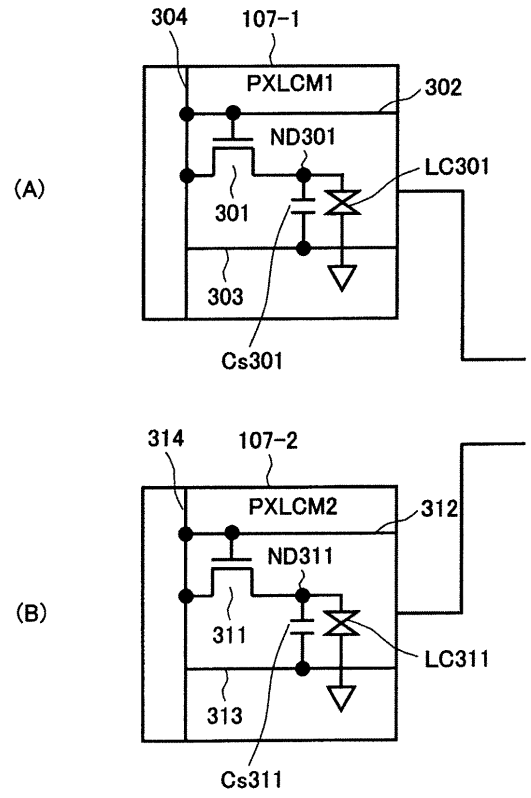
【図５】


Sig_N+3
Sig_N+2
Sig_N+1
Sig_N
ND201
LC201
PXLC
Pix
CLC
Vcom
CS
Cs201
201
106-4 (106-N+3)
106-3 (106-N+2)
106-2 (106-N+1)
106-1 (106-N)
GP_N
CS_N
GP_N+1
CS_N+1
GP_N+2
CS_N+2
GP_N+3
CS_N+3
104-1 (104-N)
105-1 (105-N)
104-2 (104-N+1)
105-2 (105-N+1)
104-3 (104-N+2)
105-3 (105-N+2)
104-4 (104-N+3)
105-4 (105-N+3)
CSL CSH
SW1 (SWN)
SW2 (SWN+1)
SW3 (SWN+2)
SW4 (SWN+3)
1022
1023
ΔVcs
1021
V Driver/CS Driver
1020
102

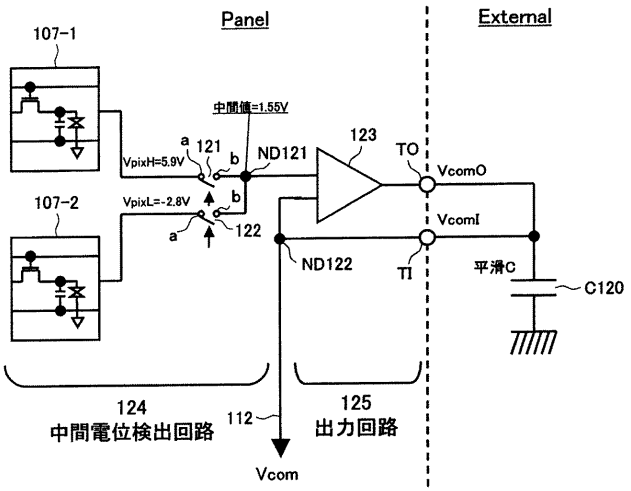
【図６】


(A) LSCS
(B) Gate DT
(C) GP1
(D) GP2
(E) GP3
(F) GP4
(G) GP5
(H) CS_DT
(I) CS_1
(J) CS_2
(K) CS_3
(L) CS_4

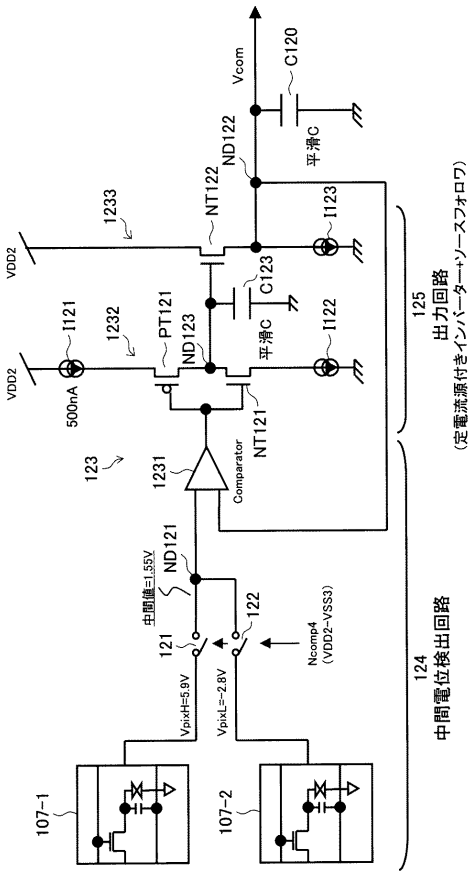
【図７】


(A)
304
107-1
PXLCM1
302
ND301
LC301
301
303
Cs301
(B)
314
107-2
PXLCM2
312
ND311
LC311
311
313
Cs311

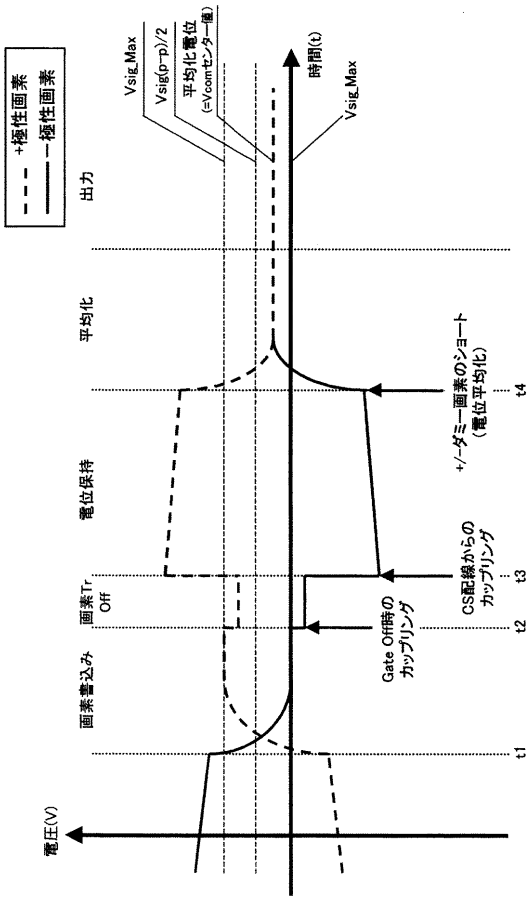
【図８】


Panel
External
107-1
107-2
中間値=1.55V
VpixH=5.9V
VpixL=-2.8V
a
b
121
122
ND121
123
TO
VcomO
VcomI
ND122
TI
平滑C
C120
124
中間電位検出回路
112
125
出力回路
Vcom

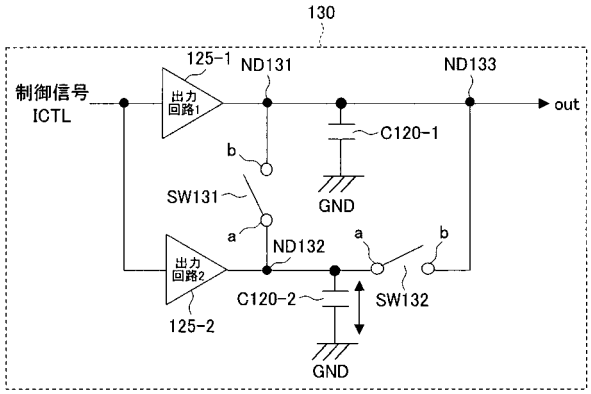
【図９】


Vcom
C120
平滑C
ND122
NT122
1233
I123
VDD2
C123
I121
1232
PT121
ND123
I122
125
出力回路
(定電流源付きインバータ+ソースフォロワ)
500nA
NT121
123
1231
Comparator
中間値=1.55V
ND121
122
121
Ncomp4
(VDD2-VSS3)
VpixH=5.9V
VpixL=-2.8V
124
中間電位検出回路
107-1
107-2

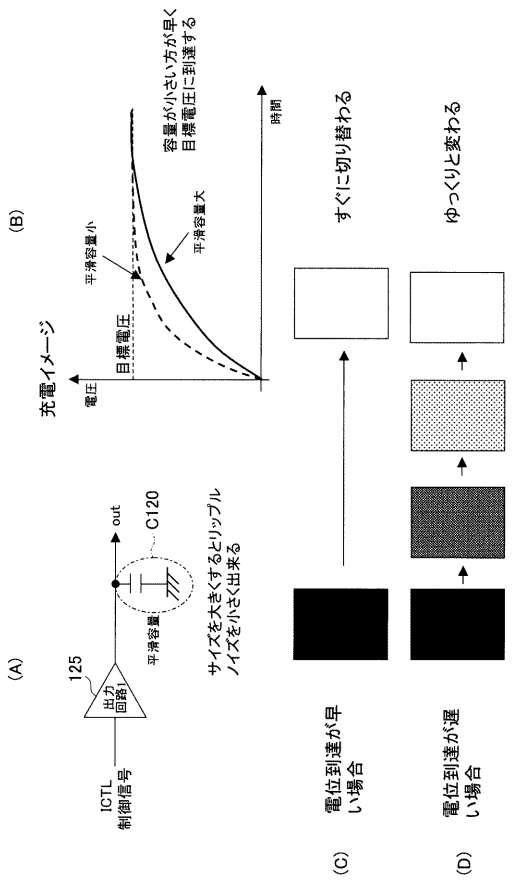
【図１０】


+極性画素
−極性画素
出力
Vsig_Max
Vsig(p-p)/2
平均化電位
(=Vcomセンター電)
時間(t)
Vsig_Max
平均化
電位保持
画素Tr.
Off
画素書込み
+/−ダミー画素のショート
(電位平均化)
CS配線からの
カップリング
Gate Off時の
カップリング
t1
t2
t3
t4
電圧(V)

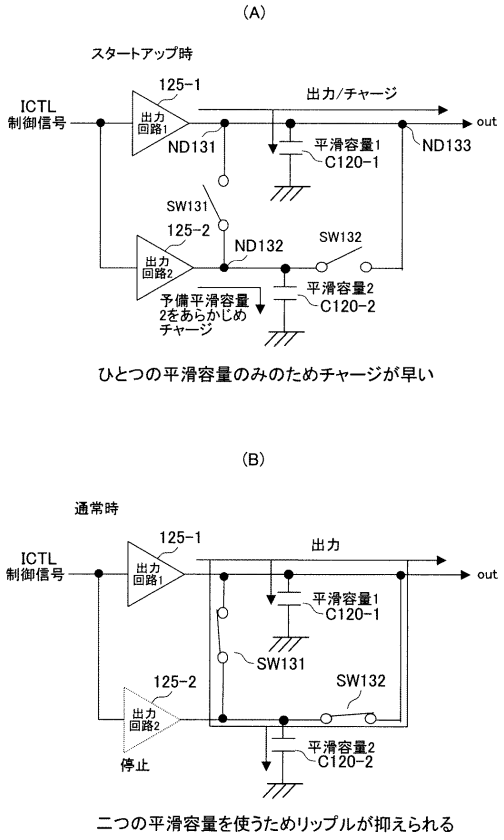
【図１１】


130
125-1
ND131
ND133
制御信号
ICTL
出力回路1
out
C120-1
b
GND
SW131
a
ND132
a
b
出力回路2
C120-2
SW132
125-2
GND

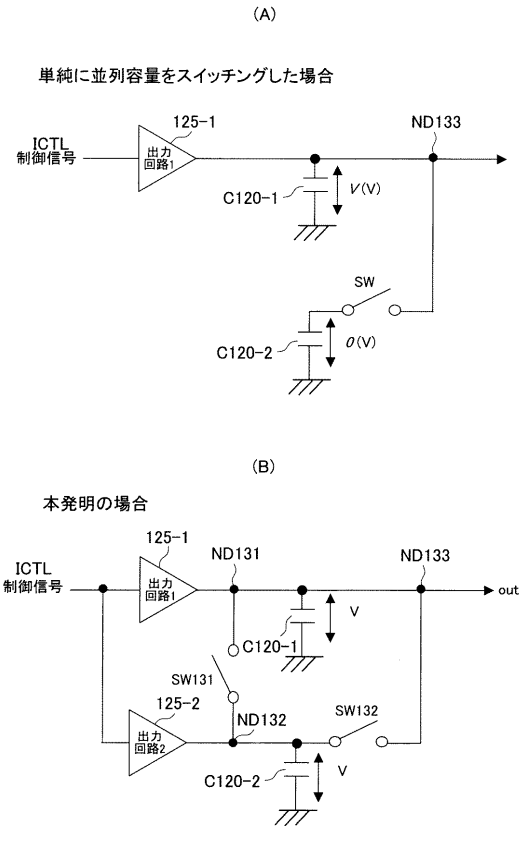
【図１２】



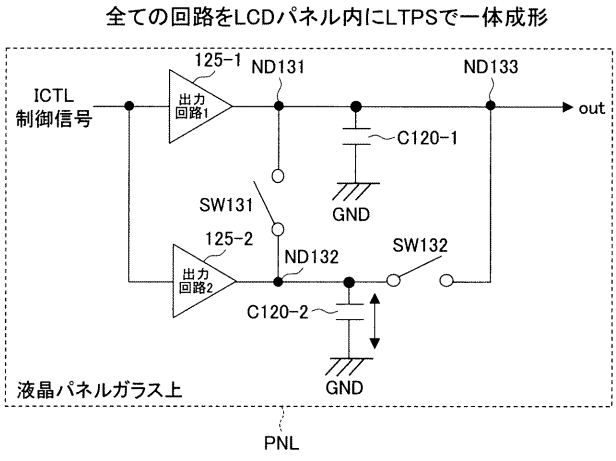
【図１３】



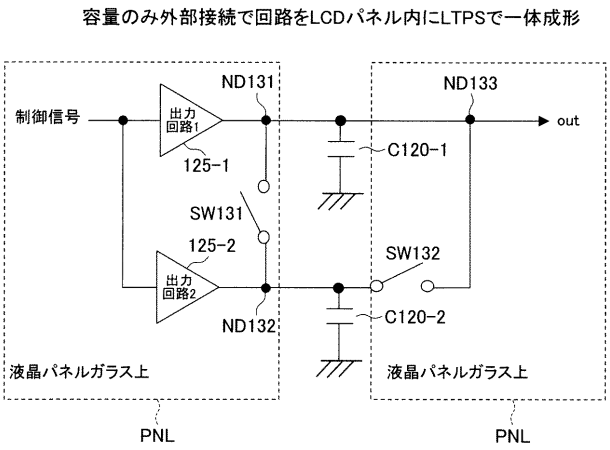
【図１４】



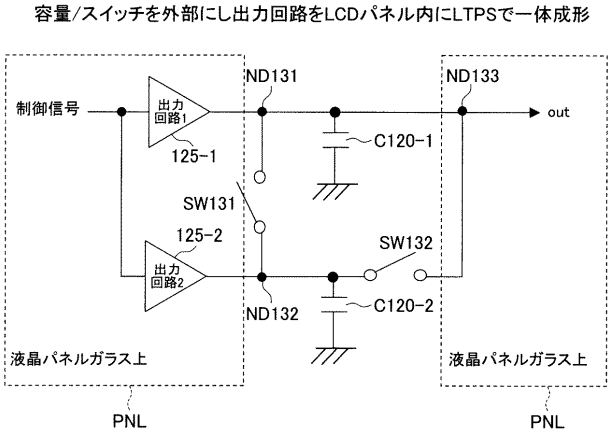
【図１５】



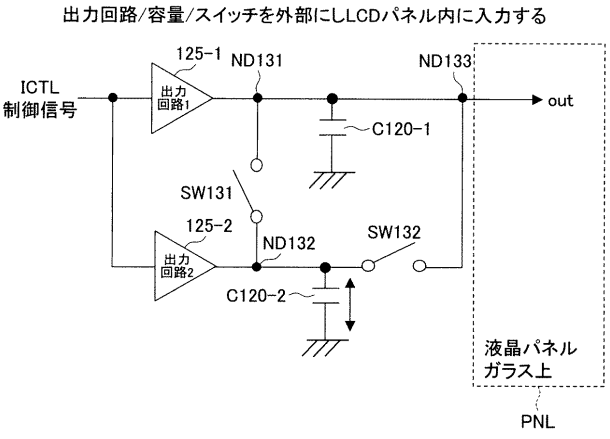
【図１６】



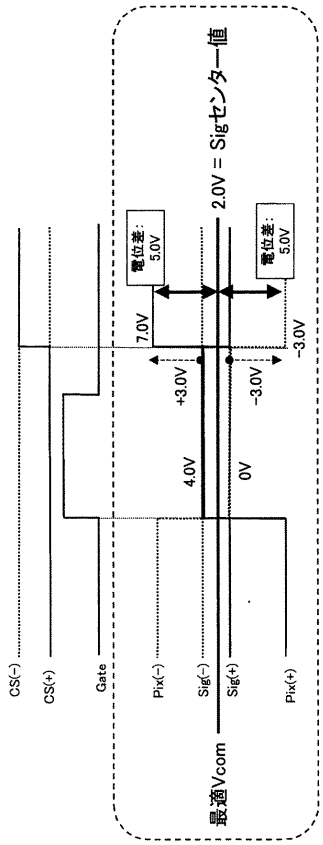
【図１７】



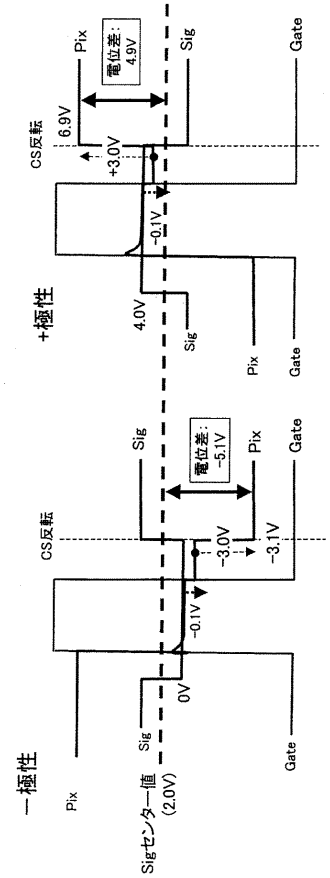
【図１８】



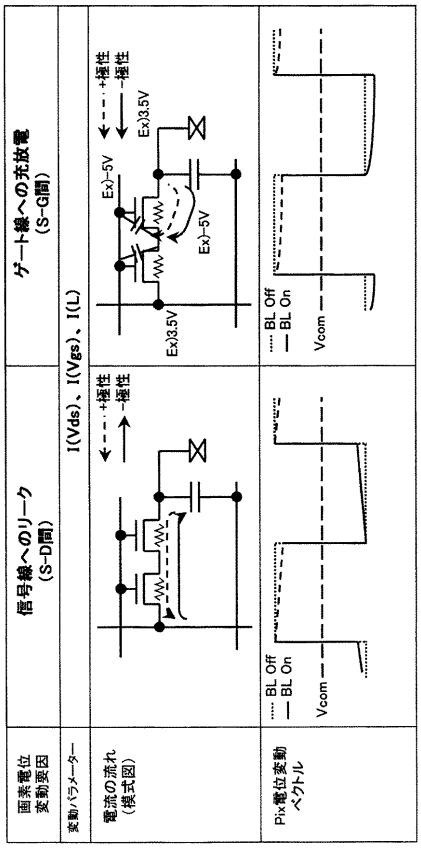
【図１９】



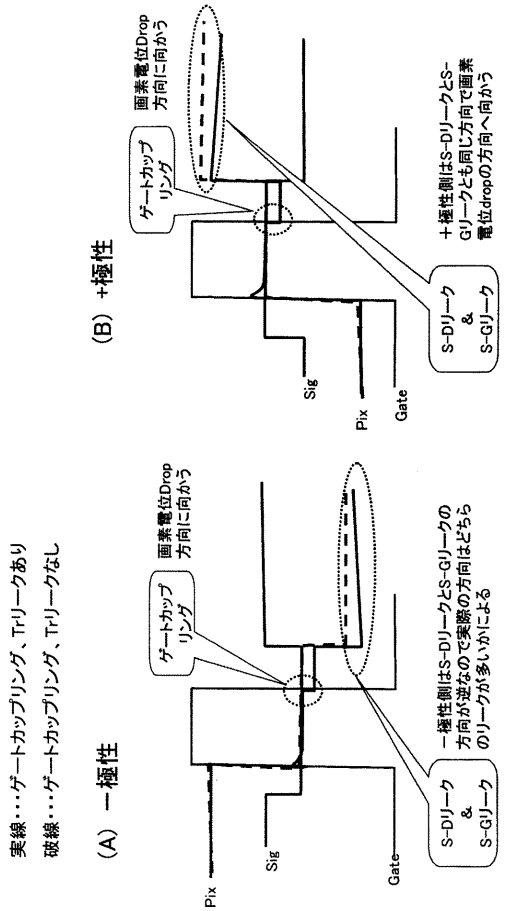
【図２０】



【図２１】



【図２２】

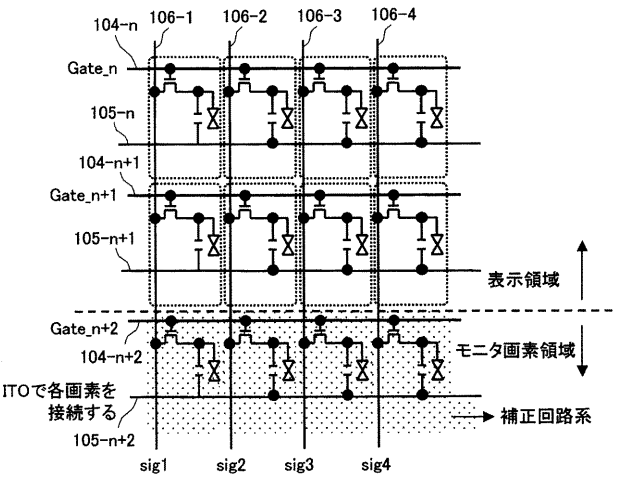


【図２３】

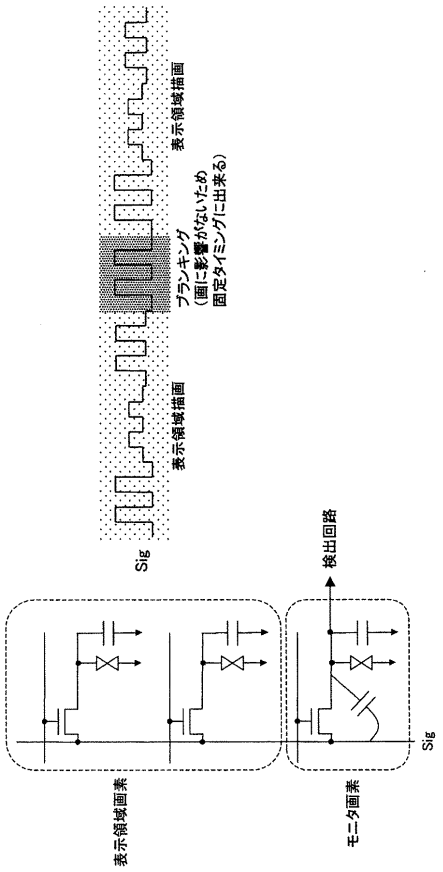
実効画素電位変動	変動要因1	変動要因2	変動要因(検査時)	検査時調整	自動調整
	Gate線立下り時カップリング		Gate線電圧	○	○
			Gate線時定数	○	○
	画素Trリーク	Trオフリーク	周波数(検査時)	○	○
			周波数(実使用時)(*1	×	○
			温度(検査時)	○	○
			温度(実使用時)	×	○
			エージング	×	○
		Tr光リーク	周波数(検査時)	○	○
			周波数(実使用時)(*1	×	○
			温度(検査時)	○	○
			温度(実使用時)	×	○
			B/L輝度(検査時)	○	○
			B/L輝度(実使用時)(*2	×	○
			外光輝度	×	○

(*1:低消費電力モード(昇計のみ表示モード)等にて、フレーム周波数を変化されるケース
(*2:一般ユーザーの設定により、バックライト輝度を変化させるケース

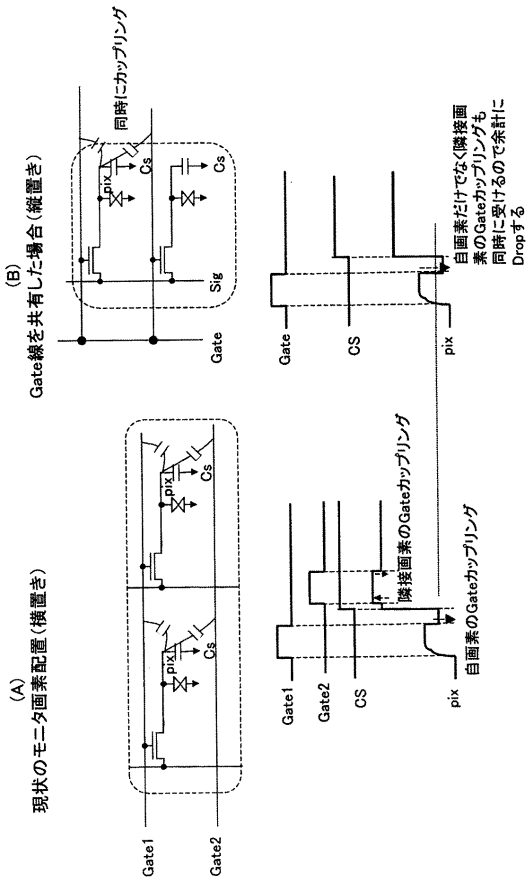
【図２４】



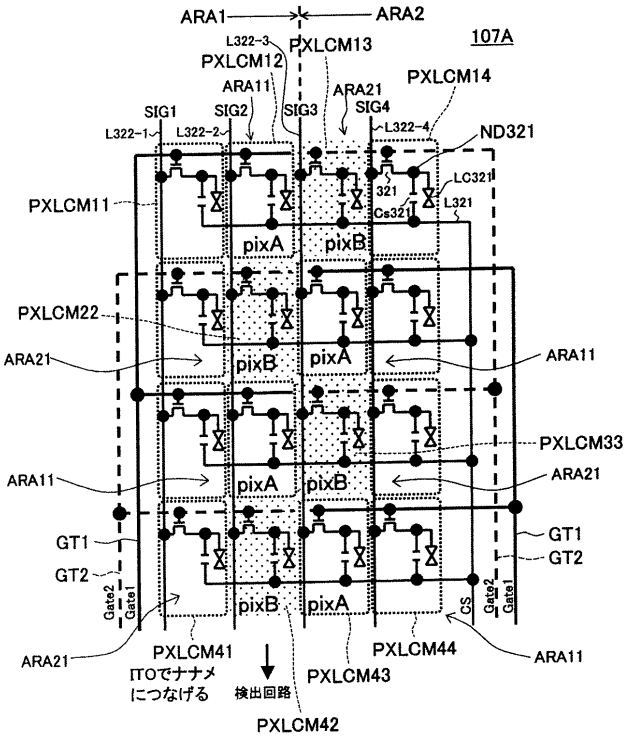
【図２５】



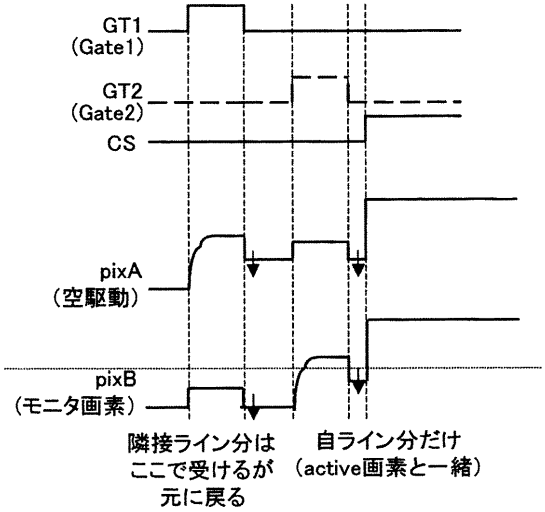
【図２６】



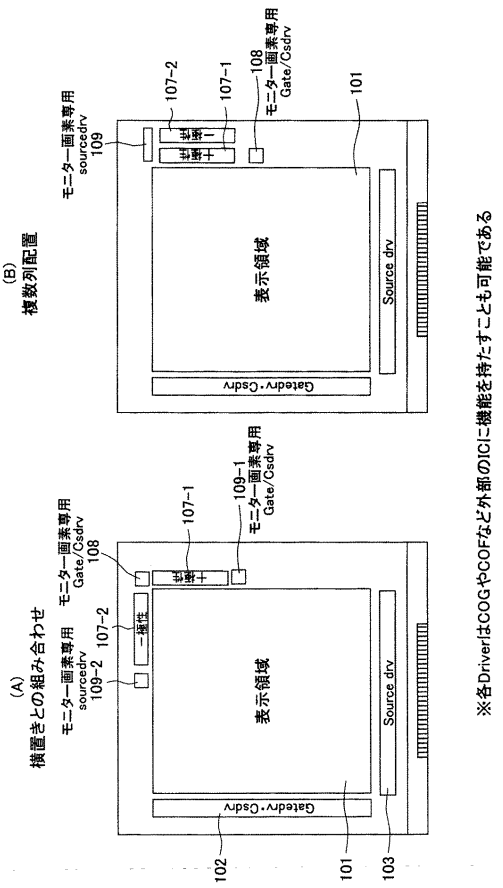
【図２７】



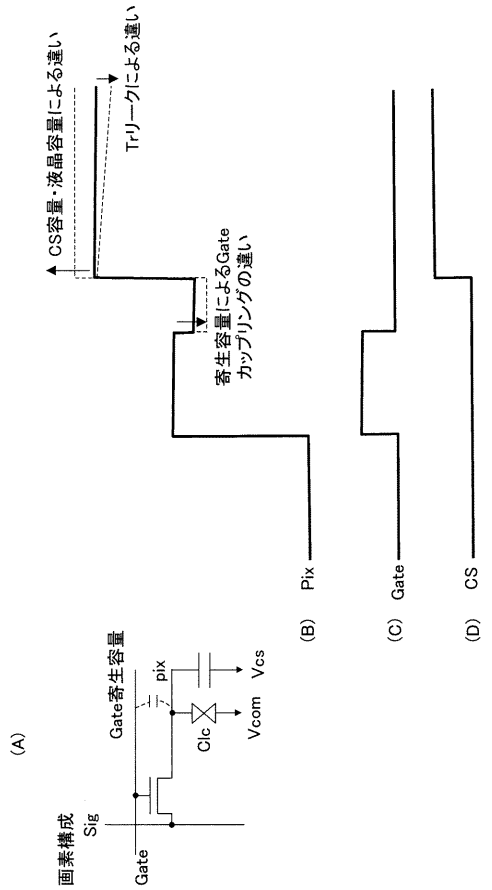
【図２８】



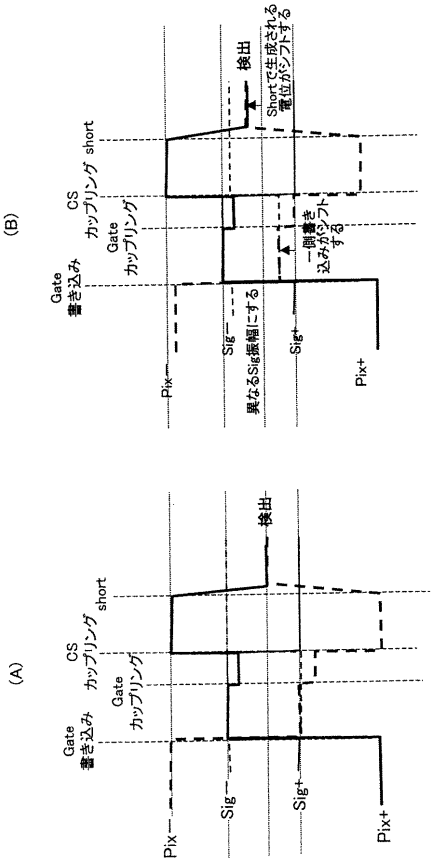
【図２９】



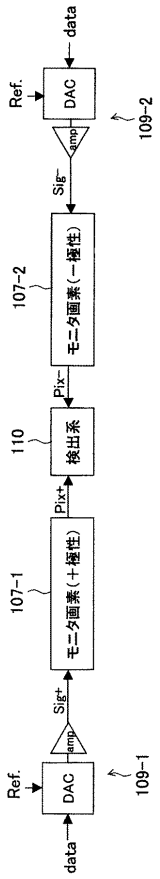
【図３０】



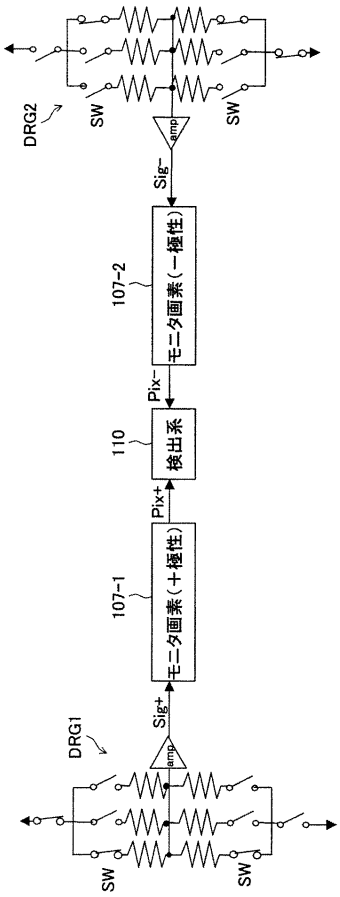
【図３１】



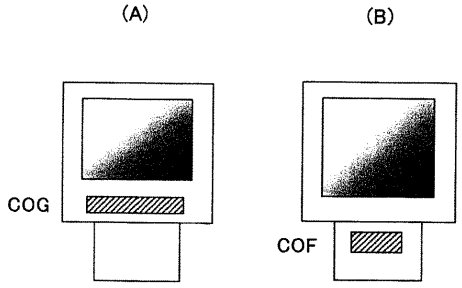
【図３２】



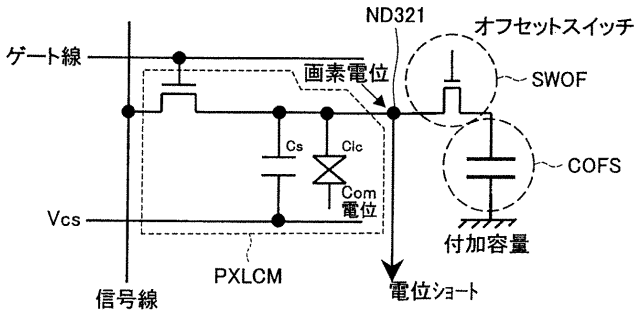
【図３３】



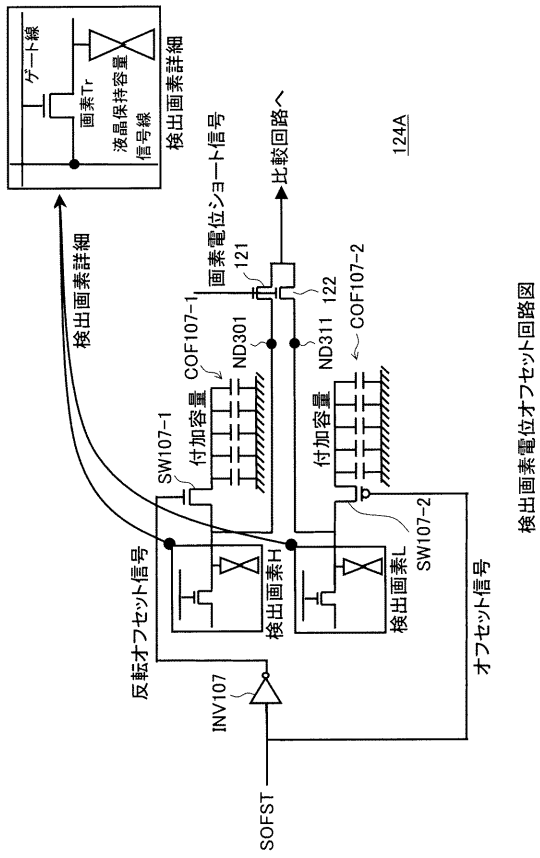
【図３４】



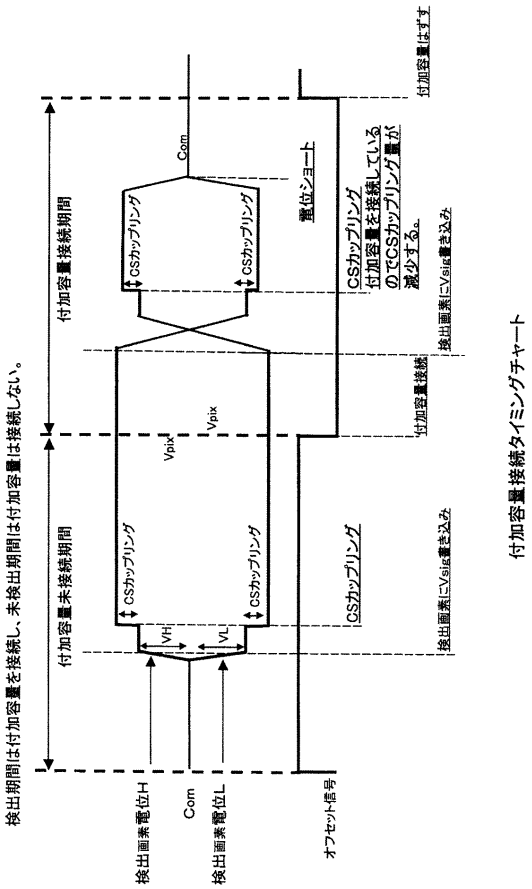
【図３５】



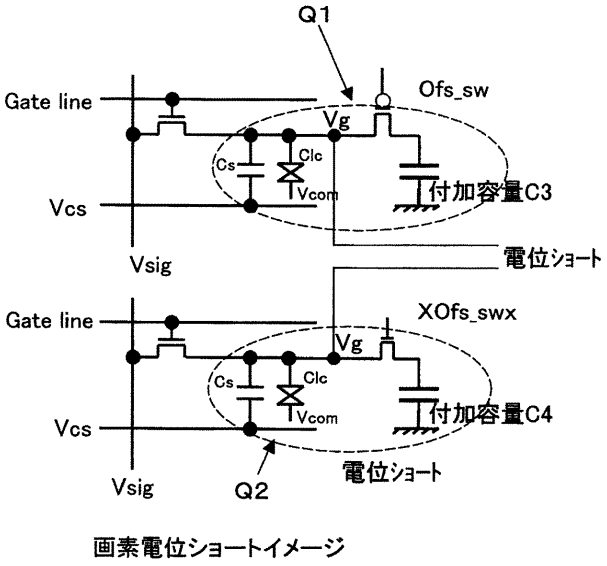
【図３６】



【図３７】

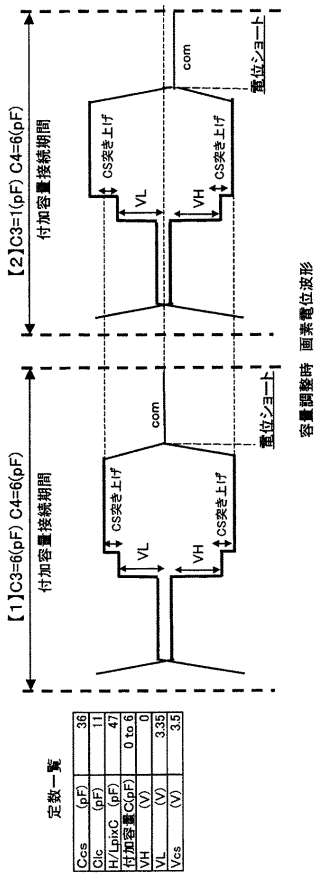


【図３８】



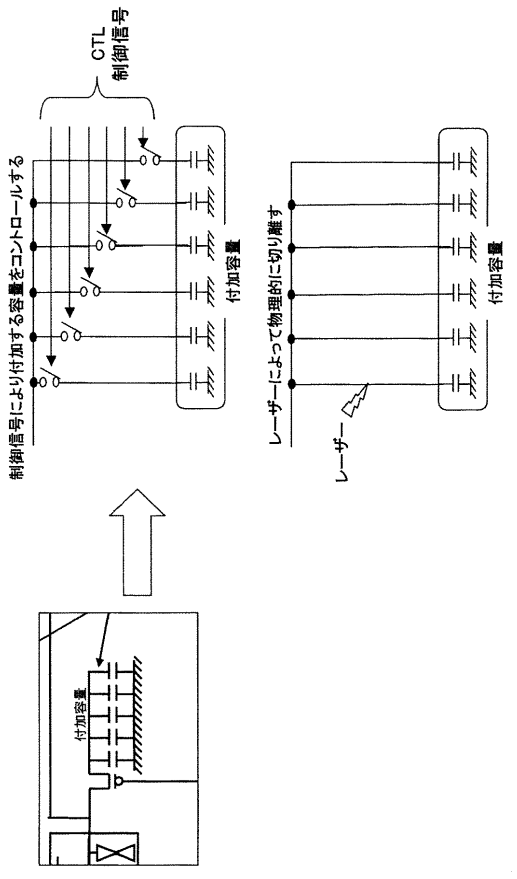
画素電位ショートイメージ

【図３９】

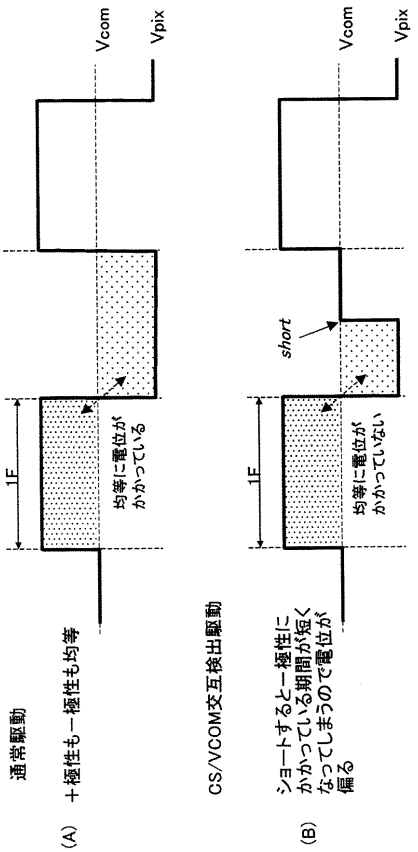


定数一覧		
Ccs	(pF)	36
Clc	(pF)	11
H/LpixC	(pF)	47
付加容量C	(pF)	0 to 6
VH	(V)	0
VL	(V)	3.35
Vcs	(V)	3.5

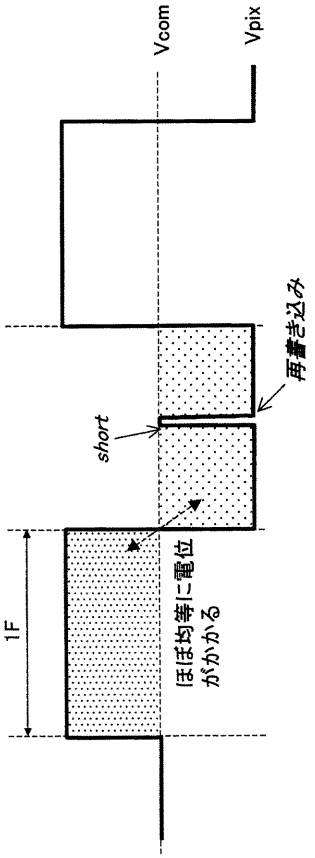
【図４０】



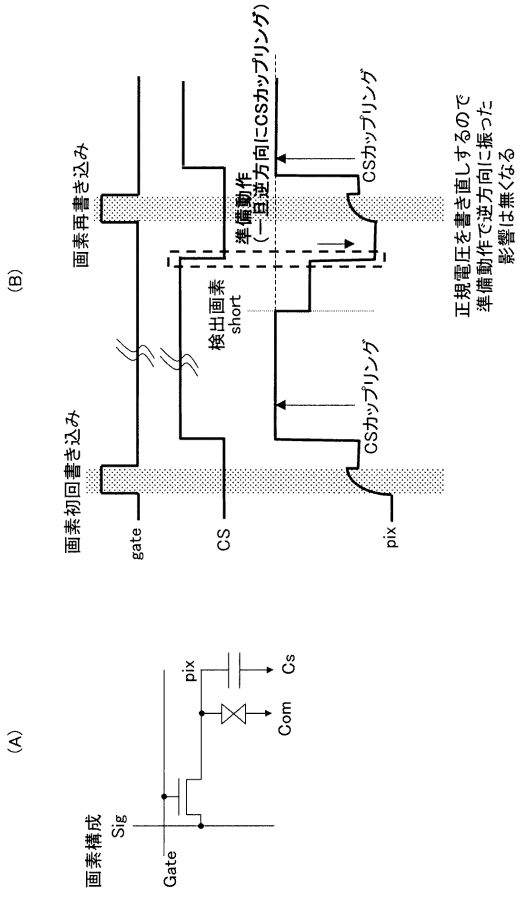
【図４１】



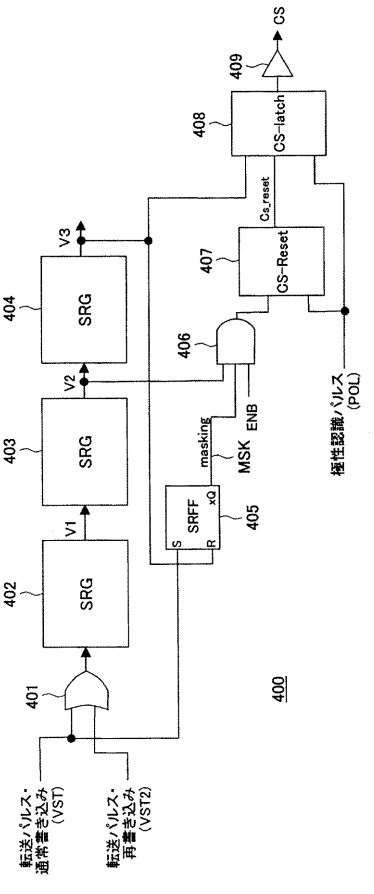
【図４２】



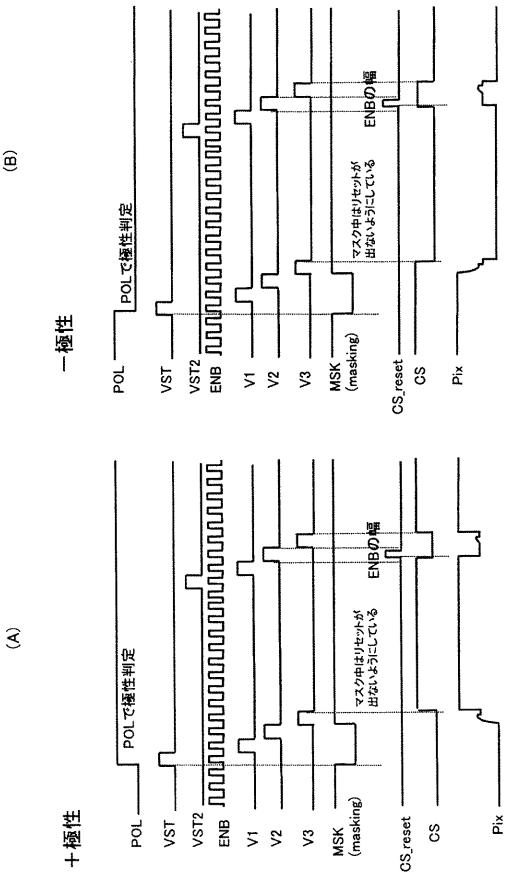
【図４３】



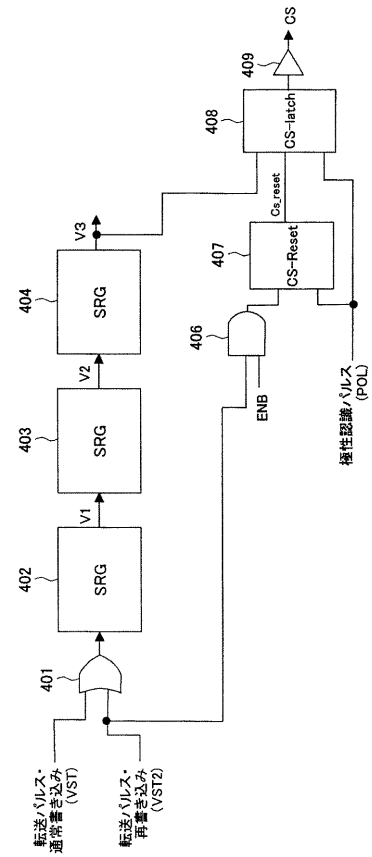
【図４４】



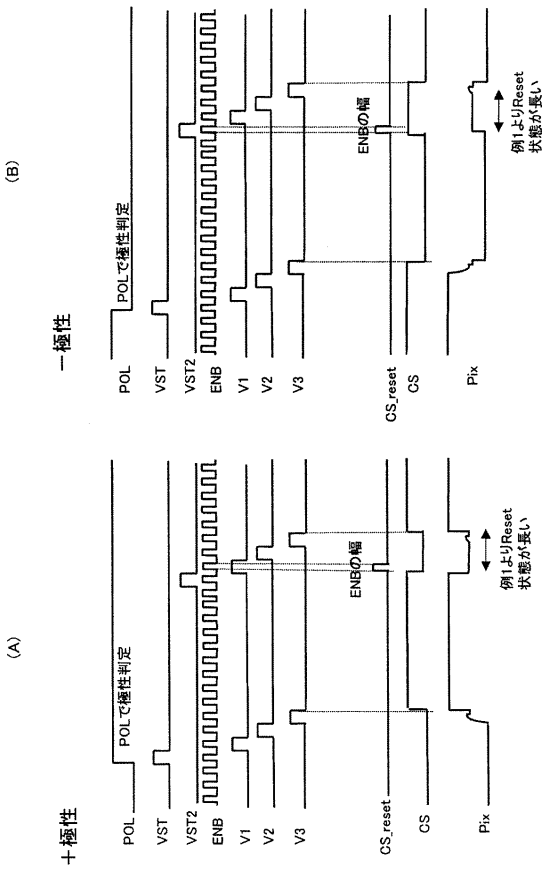
【図４５】



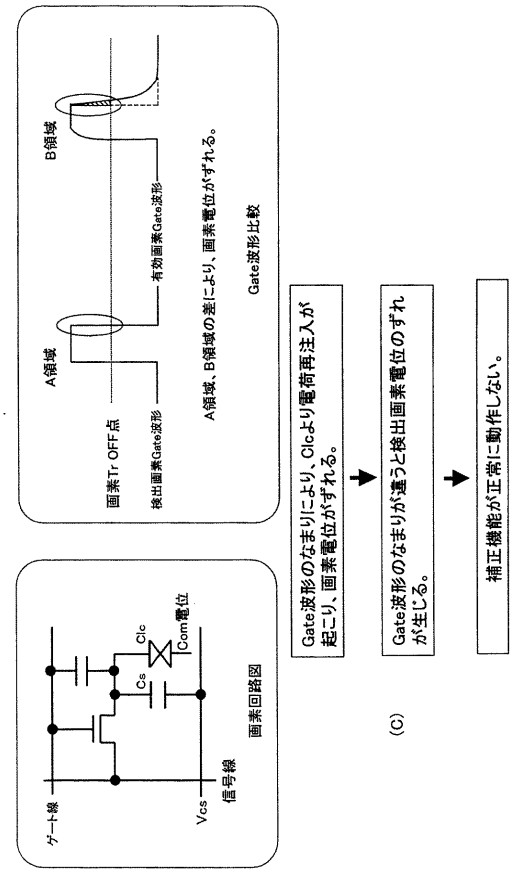
【図４６】



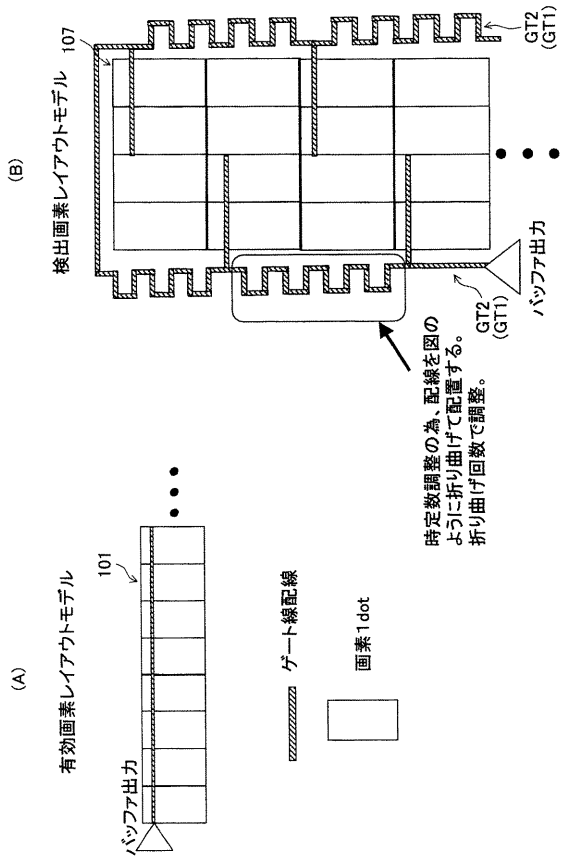
【図４７】



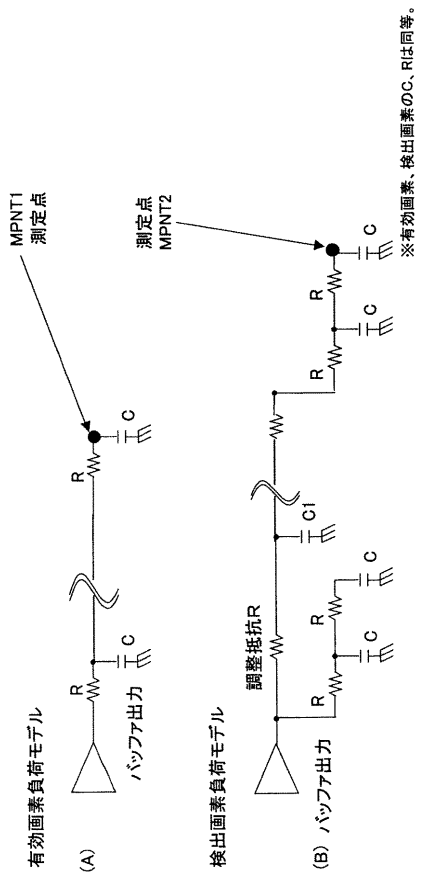
【図４８】



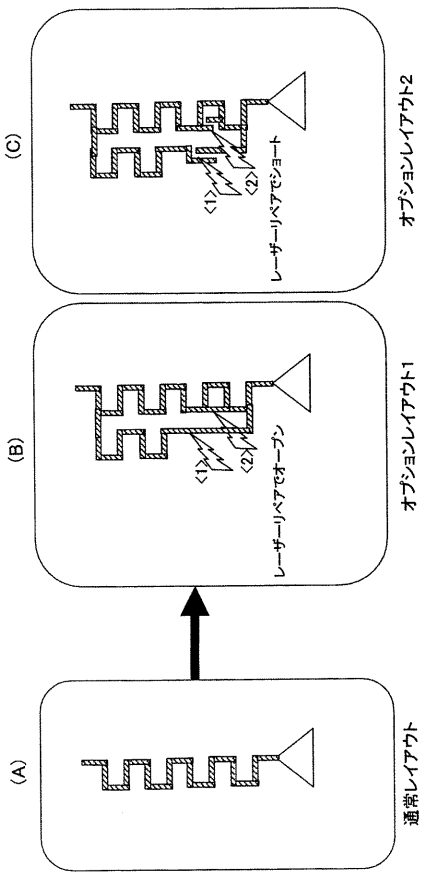
【図４９】



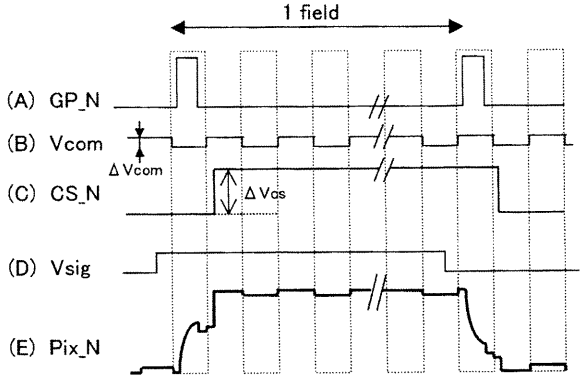
【図５０】



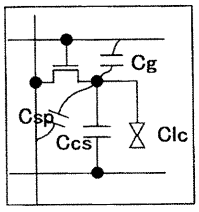
【図５１】



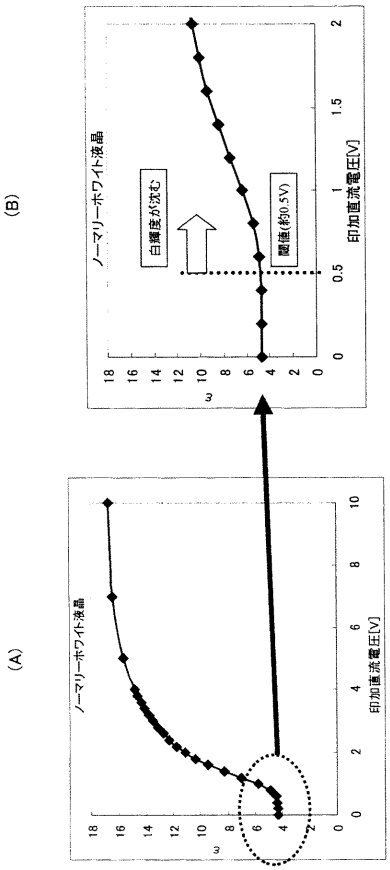
【図５２】



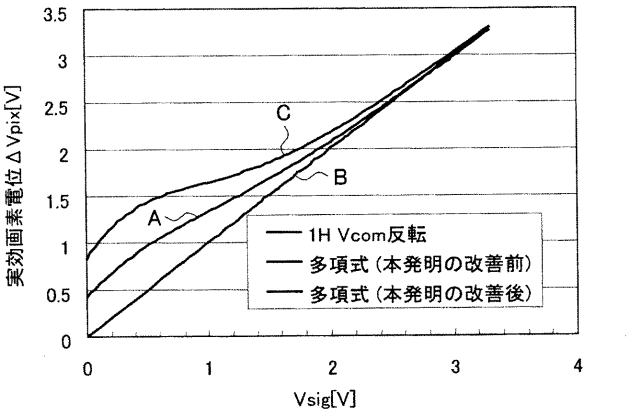
【図５３】



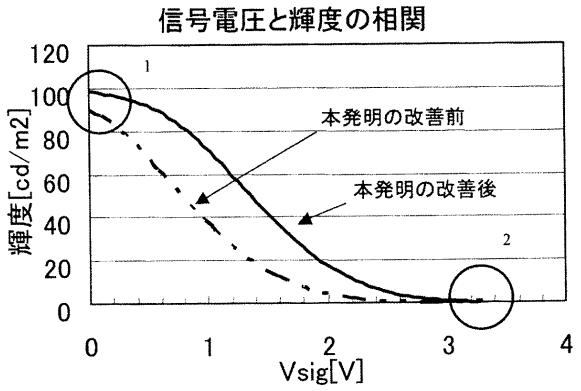
【図５４】



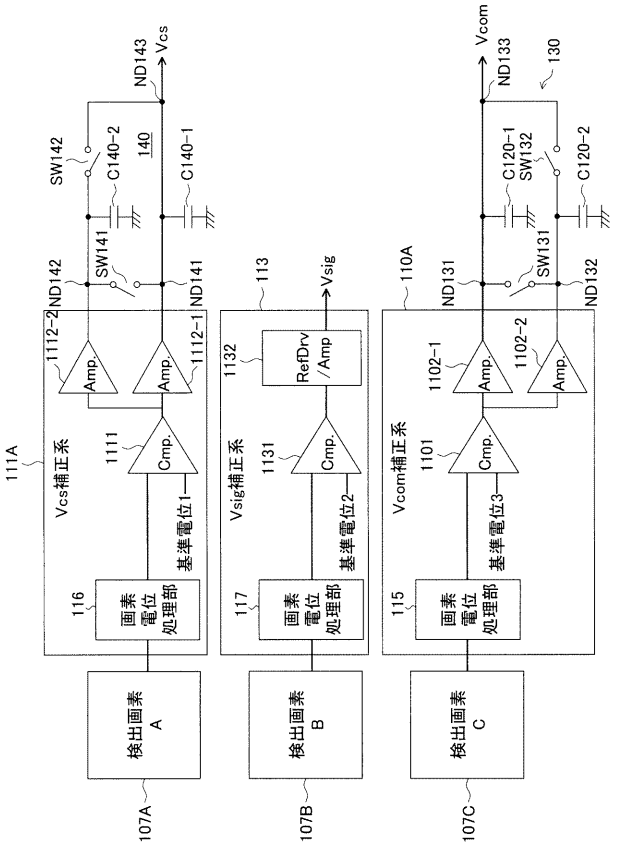
【図５５】



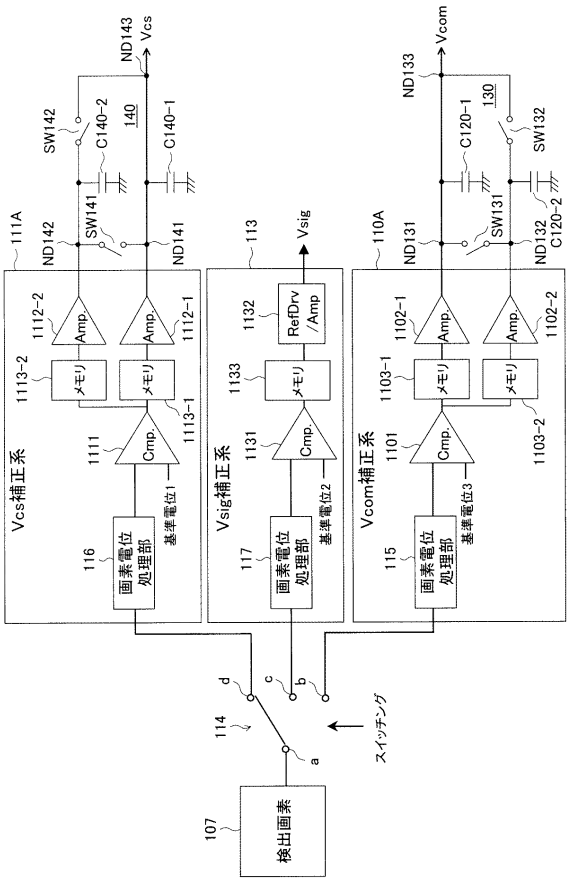
【図５６】



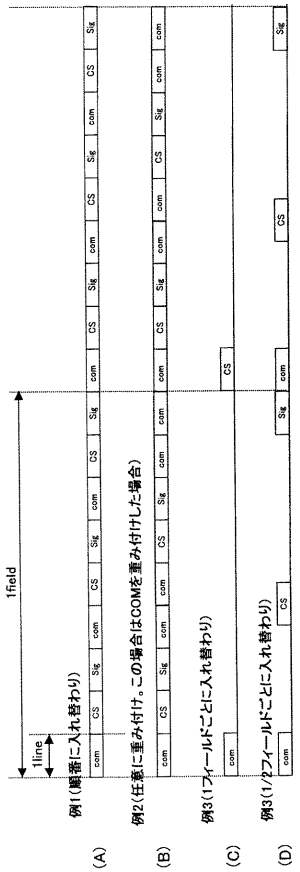
【図５７】



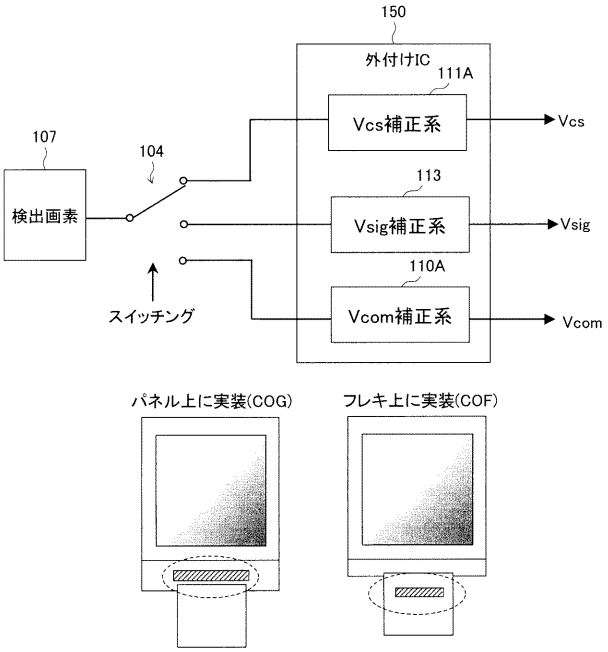
【図５８】



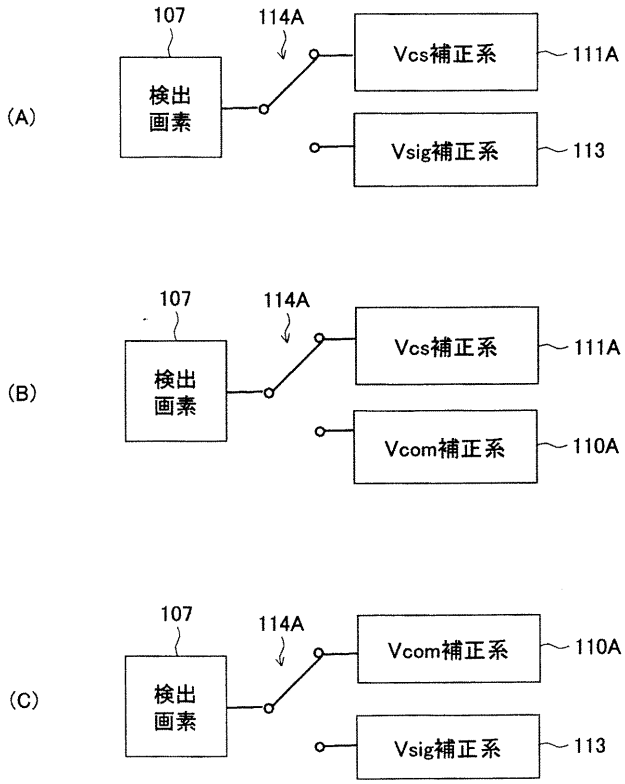
【図５９】



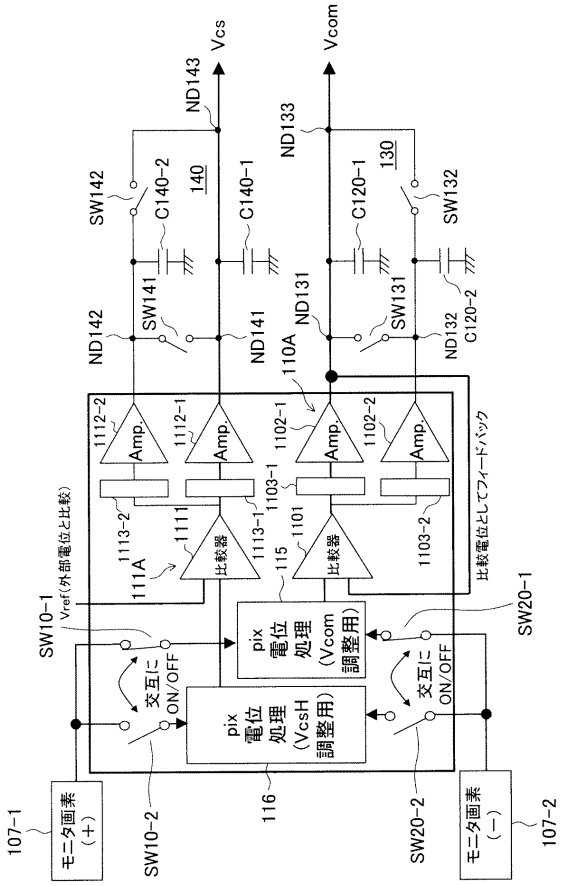
【図６０】



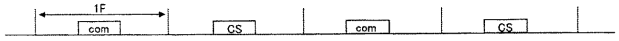
【図６１】



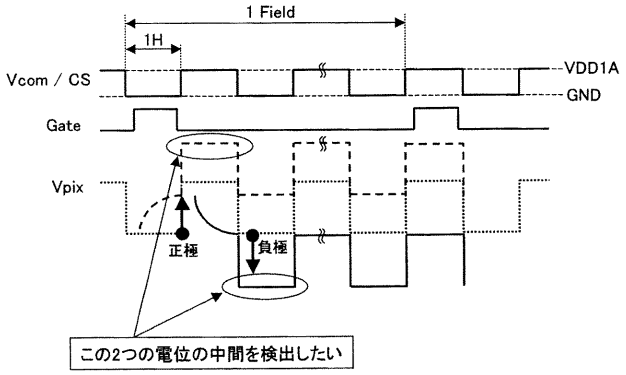
【図６２】



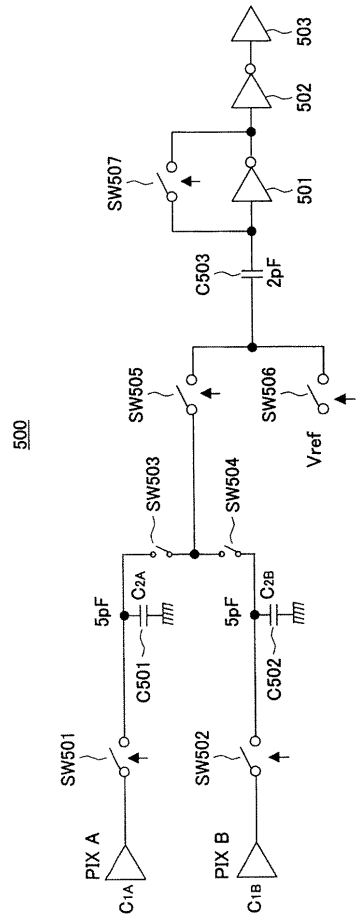
【図６３】



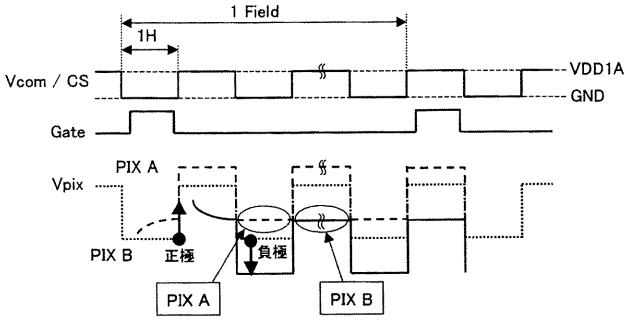
【図６４】



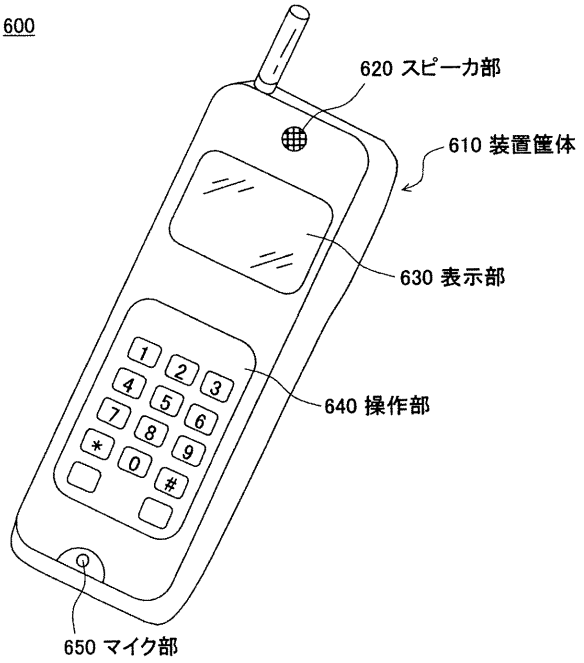
【図６５】



【図６６】



【図６７】

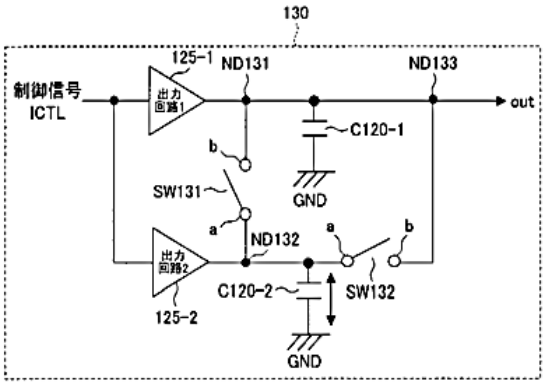


フロントページの続き

(51)Int.Cl.	F I			テーマコード（参考）
	Ｇ０２Ｆ	1/133	５０５	
	Ｇ０２Ｆ	1/133	５２５	
	Ｇ０２Ｆ	1/133	５５０	

Ｆターム(参考) 5C006 AA16 AC07 AC26 AF54 AF69 BB16 BB27 BC20 FA23 FA37
FA38
5C080 AA10 BB05 DD06 DD12 DD26 FF11 JJ02 JJ03 KK07

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP2010175857A	公开(公告)日	2010-08-12
申请号	JP2009018773	申请日	2009-01-29
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	豊島良彦 板倉直之		
发明人	豊島 良彦 板倉 直之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.624.D G09G3/20.621.B G09G3/20.624.B G02F1/133.505 G02F1/133.525 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA43 2H093/NA80 2H093/NB01 2H093/NC18 2H093/NC21 2H093/NC34 2H093/ND07 2H093/ND10 5C006/AA16 5C006/AC07 5C006/AC26 5C006/AF54 5C006/AF69 5C006/BB16 5C006/BB27 5C006/BC20 5C006/FA23 5C006/FA37 5C006/FA38 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD12 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/KK07 2H193/ZA04 2H193/ZA07 2H193/ZB08 2H193/ZB14 2H193/ZB16 2H193/ZC04 2H193/ZC25 2H193/ZD01 2H193/ZD23 2H193/ZF04 2H193/ZF21 2H193/ZF34 2H193/ZF35 2H193/ZF42 2H193/ZF43 2H193/ZF59 2H193/ZH26 2H193/ZH33 2H193/ZH37 2H193/ZH40 2H193/ZH42 2H193/ZH45 2H193/ZH49 2H193/ZH53 2H193/ZJ20 2H193/ZP20		
代理人(译)	佐藤隆久		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够在不影响启动时间的情况下抑制波纹的显示装置和电子设备。 解决方案：在液晶电势波动防止电路130中，作为平滑电容器的第一电容器C120-1和第二电容器C120-2的尺寸被切换为在启动时减小尺寸并在正常时间增大尺寸。 在液晶电位变动防止电路130中，如果进行简单的切换，则有可能产生电位变动而在图像显示中产生问题，因此，使用第二电容器C120-2作为备用的平滑电容。 提前收费。 这不仅可以优化黑色亮度和白色亮度，而且可以抑制闪烁的发生并防止由于使用而使公共电压信号的中心值偏离最佳值。 [选择图]图11