

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-142312

(P2017-142312A)

(43) 公開日 平成29年8月17日(2017.8.17)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 611H	5C080
	G09G 3/20 624B	
	G09G 3/20 633P	
審査請求 未請求 請求項の数 16 O L (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2016-22247 (P2016-22247)
 (22) 出願日 平成28年2月8日 (2016.2.8)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町1番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
 (72) 発明者 塩見 誠
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 2H192 AA24 BC24 CC22 DA13 DA42
 GD61
 5C006 AA22 AC11 AC24 AC25 AC26
 AF42 AF43 BB16 BC06 BC11
 FA37 FA55

最終頁に続く

(54) 【発明の名称】 液晶表示パネル、液晶表示装置、および液晶表示パネルの製造方法

(57) 【要約】

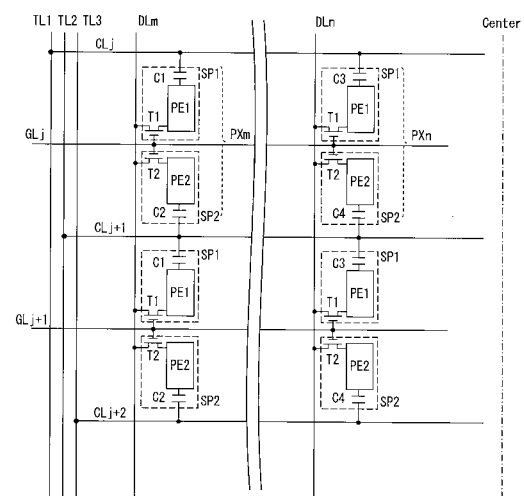
【課題】視野角特性を均一にすることができる液晶表示装置を実現する。

【解決手段】液晶パネルは、複数の画素にデータ信号を供給する複数のデータ信号線(DL)と、複数の画素へのデータ信号の書き込みを制御する複数の走査信号線(GL)と、容量配線(CL_j)を備える。複数の画素のうちの第1画素は、容量配線との間で第1補助容量(C1)を形成する第1画素電極(PE1)を有す。複数の画素のうちの第2画素は、第1画素電極より表示領域の中央寄りに位置し上記容量配線との間で第2補助容量(C3)を形成する第2画素電極(PE1)を有す。第2補助容量の容量値は、第1補助容量の容量値より大きい。

。

【選択図】図2

図 2



【特許請求の範囲】**【請求項 1】**

表示領域を形成する複数の画素と、上記複数の画素にデータ信号を供給する複数のデータ信号線と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線とを備える液晶表示パネルであって、

容量配線を備え、

上記複数の画素のうちの第 1 画素は、データ信号が書き込まれ上記容量配線との間で第 1 容量を形成する第 1 画素電極を有し、

上記複数の画素のうちの第 2 画素は、データ信号が書き込まれ上記容量配線との間で第 2 容量を形成する第 2 画素電極を有し、

10

上記第 2 画素電極は、上記第 1 画素電極より上記表示領域の中央寄りに位置し、

上記第 2 容量の容量値は、上記第 1 容量の容量値より大きいことを特徴とする液晶表示パネル。

【請求項 2】

平面視において、上記容量配線と上記第 1 画素電極とが重なる第 1 面積より、上記容量配線と上記第 2 画素電極とが重なる第 2 面積は、大きいことを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 3】

上記第 2 画素電極の位置での上記容量配線の幅は、上記第 1 画素電極の位置での上記容量配線の幅より、大きいことを特徴とする請求項 1 または 2 に記載の液晶表示パネル。

20

【請求項 4】

上記容量配線の幅は、上記表示領域の中央に向かうにしたがって段階的に大きくなることを特徴とする請求項 3 に記載の液晶表示パネル。

【請求項 5】

上記容量配線の幅は、上記表示領域の中央に向かうにしたがって連続的に大きくなることを特徴とする請求項 3 に記載の液晶表示パネル。

【請求項 6】

上記容量配線における上記第 1 画素電極に対応する位置に、切り欠きまたは穴が形成されていることを特徴とする請求項 2 に記載の液晶表示パネル。

【請求項 7】

上記第 1 画素電極における上記容量配線に対応する位置に、切り欠きまたは穴が形成されていることを特徴とする請求項 2 に記載の液晶表示パネル。

30

【請求項 8】

上記容量配線と上記第 1 画素電極との間に設けられた、平面視において上記容量配線および上記第 1 画素電極に重なる第 1 中間電極と、

上記容量配線と上記第 2 画素電極との間に設けられた、平面視において上記容量配線および上記第 2 画素電極に重なる第 2 中間電極とを備えることを特徴とする請求項 1 から 7 のいずれか一項に記載の液晶表示パネル。

【請求項 9】

上記第 1 中間電極および上記第 2 中間電極は、透明導体で形成されることを特徴とする請求項 8 に記載の液晶表示パネル。

40

【請求項 10】

上記容量配線と、上記第 1 画素電極および上記第 2 画素電極との間に絶縁層を備え、

上記第 1 画素電極と上記容量配線との間における上記絶縁層の厚さは、上記第 2 画素電極と上記容量配線との間における上記絶縁層の厚さより、大きいことを特徴とする請求項 1 から 9 のいずれか一項に記載の液晶表示パネル。

【請求項 11】

上記容量配線と、上記第 1 画素電極および上記第 2 画素電極との間に絶縁層を備え、

上記絶縁層は、第 1 領域と、上記第 1 領域より厚い第 2 領域とを含み、

上記第 1 画素電極と上記容量配線とが重なる領域における上記第 1 領域の面積は、上記

50

第 2 画素電極と上記容量配線とが重なる領域における上記第 1 領域の面積より、小さいことを特徴とする請求項 1 から 9 のいずれか一項に記載の液晶表示パネル。

【請求項 1 2】

上記複数の画素のうちの第 3 画素は、データ信号が書き込まれ上記第 2 画素電極より上記表示領域の中央寄りに位置し上記容量配線との間で第 3 容量を形成する第 3 画素電極を有し、

上記複数の画素のうちの第 4 画素は、データ信号が書き込まれ上記第 3 画素電極より上記表示領域の中央寄りに位置し上記容量配線との間で第 4 容量を形成する第 4 画素電極を有し、

上記第 3 容量の容量値は、上記第 2 容量の容量値より大きく、

10

上記第 4 容量の容量値は、上記第 3 容量の容量値より大きく、

上記第 1 画素電極および上記第 2 画素電極を含む第 1 ブロックと、上記第 3 画素電極および上記第 4 画素電極を含む第 2 ブロックとでは、上記容量配線の幅、画素電極の面積、および、上記容量配線と画素電極との間の絶縁層の厚さのうち、いずれかが異なっており、

上記第 1 ブロックおよび上記第 2 ブロックのそれぞれの中では、上記容量配線の幅、画素電極の面積、および、上記容量配線と画素電極との間の絶縁層の厚さのうち、他の 1 つが変化することを特徴とする請求項 1 から 11 のいずれか一項に記載の液晶表示パネル。

【請求項 1 3】

上記第 1 画素電極の色成分および画素行は、それぞれ上記第 2 画素電極の色成分および画素行と同じであることを特徴とする請求項 1 から 12 のいずれか一項に記載の液晶表示パネル。

20

【請求項 1 4】

請求項 1 から 13 のいずれか一項に記載の液晶表示パネルを備えることを特徴とする液晶表示装置。

【請求項 1 5】

表示領域を形成する複数の画素と、上記複数の画素にデータ信号を供給する複数のデータ信号線と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線と、容量配線とを備える液晶表示パネルの製造方法であって、

上記複数の画素のうちの第 1 画素は、データ信号が書き込まれ上記容量配線との間で第 1 容量を形成する第 1 画素電極を有し、

30

上記複数の画素のうちの第 2 画素は、データ信号が書き込まれ上記容量配線との間で第 2 容量を形成する第 2 画素電極を有し、

上記第 2 画素電極は、上記第 1 画素電極より表示領域の中央寄りに位置し、

上記容量配線と、上記第 1 画素電極および上記第 2 画素電極との間に、第 1 絶縁層を形成する工程と、

上記容量配線と、上記第 1 画素電極および上記第 2 画素電極との間に、第 2 絶縁層を形成する工程とを含み、

上記第 1 絶縁層および上記第 2 絶縁層の一方は、上記容量配線と上記第 1 画素電極または上記第 2 画素電極とが重なる領域に均一に形成され、

40

上記第 1 絶縁層および上記第 2 絶縁層の他方は、上記容量配線と上記第 1 画素電極または上記第 2 画素電極とが重なる領域において部分的に形成されることを特徴とする液晶表示パネルの製造方法。

【請求項 1 6】

上記第 2 容量の容量値は、上記第 1 容量の容量値より大きいことを特徴とする請求項 15 に記載の液晶表示パネルの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示パネルおよび液晶表示装置に関する。

50

【背景技術】

【0002】

特許文献1には、液晶表示装置においてあらかじめ測定された固有のムラを補正するための補正信号を、駆動回路に格納しておき、外部から入力された表示データに補正信号を付加したデータに応じて、液晶セルを駆動する技術が開示されている。

【0003】

特許文献2、3には、液晶表示装置の補助容量配線に周期的に変化する電圧を印加することにより、明画素と暗画素とを生じさせる技術が開示されている。これにより、液晶表示装置の視野角特性を改善する。

【先行技術文献】

10

【特許文献】

【0004】

【特許文献1】特開平9-318929号公報(1997年12月12日公開)

【特許文献2】国際公開WO2006/098449(2006年9月21日公開)

【特許文献3】国際公開WO2010/143348(2010年12月16日公開)

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、表示パネルが大型化するにしたがって補助容量配線が長くなり、補助容量配線を伝わる電圧変化の遅延および減衰が大きくなる。それゆえ、電圧供給元の幹配線に近い位置(パネル左右寄り)と遠い位置(パネル中央)とでは、補助容量配線の電圧の差が大きくなる。これにより、表示領域において視野角特性のムラが生じ得る。

20

【0006】

特許文献1の技術では、あらかじめ格納された補正信号を表示データに付加して画素に書き込む。特許文献1の技術では、視野角特性のムラを改善することはできない。

【0007】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、視野角特性を均一にすることができる液晶表示装置を実現することにある。

【課題を解決するための手段】

【0008】

30

本発明の一態様に係る液晶表示パネルは、表示領域を形成する複数の画素と、上記複数の画素にデータ信号を供給する複数のデータ信号線と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線とを備える液晶表示パネルであって、容量配線を備え、上記複数の画素のうちの第1画素は、データ信号が書き込まれ上記容量配線との間で第1容量を形成する第1画素電極を有し、上記複数の画素のうちの第2画素は、データ信号が書き込まれ上記容量配線との間で第2容量を形成する第2画素電極を有し、上記第2画素電極は、上記第1画素電極より表示領域の中央寄りに位置し、上記第2容量の容量値は、上記第1容量の容量値より大きい構成である。

【0009】

40

本発明の一態様に係る液晶表示パネルの製造方法は、表示領域を形成する複数の画素と、上記複数の画素にデータ信号を供給する複数のデータ信号線と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線と、容量配線とを備える液晶表示パネルの製造方法であって、上記複数の画素のうちの第1画素は、データ信号が書き込まれ上記容量配線との間で第1容量を形成する第1画素電極を有し、上記複数の画素のうちの第2画素は、データ信号が書き込まれ上記容量配線との間で第2容量を形成する第2画素電極を有し、上記第2画素電極は、上記第1画素電極より表示領域の中央寄りに位置し、上記容量配線と、上記第1画素電極および上記第2画素電極との間に、第1絶縁層を形成する工程と、上記容量配線と、上記第1画素電極および上記第2画素電極との間に、第2絶縁層を形成する工程とを含み、上記第1絶縁層および上記第2絶縁層の一方は、上記容量配線と上記第1画素電極または上記第2画素電極とが重なる領域に均一に形成され、上記第

50

1 絶縁層および上記第 2 絶縁層の他方は、上記容量配線と上記第 1 画素電極または上記第 2 画素電極とが重なる領域において部分的に形成される方法である。

【発明の効果】

【0010】

本発明の一態様によれば、液晶パネルの視野角特性を均一にすることができる。

【図面の簡単な説明】

【0011】

【図 1】本発明の一実施形態に係る液晶表示装置の構成を示す模式図である。

【図 2】本発明の一実施形態に係る液晶パネルの一部の構成を示す回路図である。

【図 3】ある垂直期間における上記液晶表示装置の駆動例を示すタイミングチャートである。 10

【図 4】ある垂直期間における各画素の表示状態を示す模式図である。

【図 5】データドライバから外側幹配線に供給される容量信号の波形と、画素の位置での該容量信号の波形とを模式的に示す図である。

【図 6】容量配線および画素電極の一構成例を示す平面図である。

【図 7】容量配線および画素電極の他の構成例を示す平面図である。

【図 8】本発明の他の実施形態に係る容量配線および画素電極の構成例を示す平面図である。

【図 9】本発明のさらに他の実施形態に係る容量配線および画素電極の構成例を示す平面図である。 20

【図 10】本発明のさらに他の実施形態に係る容量配線および画素電極の構成例を示す平面図である。

【図 11】本発明のさらに他の実施形態に係る容量配線および画素電極の構成例を示す平面図である。

【図 12】図 11 の切断線 A - A における断面図である。

【図 13】本発明のさらに他の実施形態に係る容量配線と第 1 画素電極とが重なる部分の断面を示す断面図である。

【図 14】第 1 画素電極と容量配線との間に形成される補助容量を示す回路図である。

【図 15】本発明のさらに他の実施形態に係る容量配線および画素電極の構成例を示す平面図である。 30

【図 16】図 15 の切断線 B - B における断面図である。

【図 17】本発明のさらに他の実施形態に係る液晶パネルの製造工程の一例を示すフローチャートである。

【図 18】本発明のさらに他の実施形態に係る液晶パネルの一部の構成を示す回路図である。

【図 19】本発明のさらに他の実施形態に係る液晶表示装置の駆動例を示すタイミングチャートである。

【図 20】本発明のさらに他の実施形態に係る液晶表示装置における液晶パネルの画素の配置を模式的に示す平面図である。

【図 21】連続する 4 つのフィールドにおけるある絵素の表示状態を示す図である。 40

【発明を実施するための形態】

【0012】

〔実施形態 1〕

（液晶表示装置の構成）

図 1 は、本実施形態の液晶表示装置 1 の構成を示す模式図である。液晶表示装置 1 は、液晶パネル 3（液晶表示パネル）と、バックライト 4 と、ゲートドライバ 6 と、データドライバ 7 と、表示制御回路 9 とを備える。表示制御回路 9 は、バックライト 4、ゲートドライバ 6、およびデータドライバ 7 を制御する。表示制御回路 9 は、各種タイミング信号を生成するためのタイミングコントローラ（図示せず）を含む。表示制御回路 9 は、データドライバ 7 に、CS タイミング信号を供給する。また、データドライバ 7 には、容量信 50

号を生成するための複数の基準電位が、電源（図示せず）から供給される。

【0013】

液晶パネル3は、複数の画素と、複数の走査信号線 GL_j と、複数のデータ信号線 DL_m 、 DL_n と、複数の容量配線 CL_j とを備える。添字 j は第 j 行を表し、添字 m は第 m 列を表す。さらに、液晶パネル3は、複数の外側幹配線 $TL_1 \sim TL_4$ 、 $TR_1 \sim TR_4$ を備える。液晶パネル3は、複数の画素によって形成され画像が表示される領域である表示領域 DA を有する。複数の外側幹配線 $TL_1 \sim TL_4$ 、 $TR_1 \sim TR_4$ は、表示領域 DA の外側の領域（非表示領域）に設けられる。複数の外側幹配線 $TL_1 \sim TL_4$ は、表示領域 DA より左側に設けられる。複数の外側幹配線 $TR_1 \sim TR_4$ は、表示領域 DA より右側に設けられる。

10

【0014】

各容量配線 CL_j は、2つの外側幹配線に接続される。容量配線 CL_j は、外側幹配線 TL_1 、 TR_1 に接続される。容量配線 CL_{j+1} は、外側幹配線 TL_2 、 TR_2 に接続される。容量配線 CL_{j+2} は、外側幹配線 TL_3 、 TR_3 に接続される。容量配線 CL_{j+3} は、外側幹配線 TL_4 、 TR_4 に接続される。なお、図示はしないが、容量配線 CL_{j+4} は、外側幹配線 TL_2 、 TR_2 に接続される。容量配線 CL_{j+5} は、外側幹配線 TL_1 、 TR_1 に接続される。容量配線 CL_{j+6} は、外側幹配線 TL_4 、 TR_4 に接続される。容量配線 CL_{j+7} は、外側幹配線 TL_3 、 TR_3 に接続される。これらの容量配線 $CL_j \sim CL_{j+7}$ の配置（接続関係）が縦方向（列方向）に繰り返される。

【0015】

ゲートドライバ6は、走査信号を供給することにより、複数の走査信号線を駆動する。データドライバ7は、複数のデータ信号線 DL_m 、 DL_n 、および、複数の外側幹配線 $TL_1 \sim TR_4$ を駆動する。データドライバ7は、複数のソース駆動回路 $7a \sim 7e$ を備える。ソース駆動回路 $7a \sim 7e$ は、それぞれ、複数のデータ信号線に接続されており、対応する複数のデータ信号線にデータ信号を供給する。各ソース駆動回路 $7a \sim 7e$ は、複数の基準電位と CS タイミング信号とに基づいて、容量信号を生成する。また、ソース駆動回路 $7a$ は、複数の外側幹配線 $TL_1 \sim TL_4$ に接続されている。ソース駆動回路 $7e$ は、複数の外側幹配線 $TR_1 \sim TR_4$ に接続されている。各ソース駆動回路 $7a$ 、 $7e$ は、対応する（接続されている）複数の外側幹配線に、容量信号を供給する。なお、複数の容量配線 CL_j に容量信号を供給する回路と、複数のデータ信号線 DL_m 、 DL_n にデータ信号を供給する回路とが分かれていてもよい。

20

30

【0016】

（液晶パネルの構成）

図2は、液晶パネル3の一部の構成を示す回路図である。画素 PX_m は、 j 行目の走査信号線 GL_j と m 列目のデータ信号線 DL_m との交差部分に形成されている。画素 PX_n は、 j 行目の走査信号線 GL_j と n 列目のデータ信号線 DL_n との交差部分に形成されている。画素 PX_m 、 PX_n は、一方側の外側幹配線 TL_1 、 TL_2 と表示領域の中央（図2において一点鎖線 $Center$ で表される）との間に位置する。画素 PX_n は、画素 PX_m より、表示領域の中央寄りに位置する。画素 PX_m は、画素 PX_n に比べて、外側幹配線 TL_1 、 TL_2 により近い位置にある。画素 PX_m と画素 PX_n とは、走査信号線 GL_j に対応する同じ画素行に位置する。ここでは、画素 PX_m と画素 PX_n とは同じ色成分を表示する画素である。1つの画素は、典型的には RGB （赤緑青）のいずれか1つの色成分を表現し、1つの絵素は、 RGB に対応する3つの画素を含む。もちろん絵素を構成する色成分が4種類の $RGBY$ （ Y は黄）または $RGBW$ （ W は白）であったり、5種類の $RGBYC$ （ C はシアン）であったりしても、同様に考えることができる。

40

【0017】

容量配線 CL_j は、画素 PX_m の上側に隣接するよう、画素行に沿って延びている。各画素 PX_m 、 PX_n は、第1画素電極 PE_1 および第2画素電極 PE_2 を含む。第1画素電極 PE_1 および第2画素電極 PE_2 は、液晶層を介して、対向電極（共通電極：図示せず）に対向している。第1画素電極 PE_1 は、サブ画素 SP_1 を形成し、第2画素電極 P

50

E 2 は、サブ画素 S P 2 を形成する。

【 0 0 1 8 】

画素 P X m、P X n について説明する。第 1 画素電極 P E 1 は、トランジスタ T 1 を介して対応するデータ信号線 D L m、D L n に接続される。トランジスタ T 1 の制御端子は走査信号線 G L j に接続される。同様に、第 2 画素電極 P E 2 は、トランジスタ T 2 を介して対応するデータ信号線 D L m、D L n に接続される。トランジスタ T 2 の制御端子は走査信号線 G L j に接続される。走査信号線 G L j は、トランジスタ T 1、T 2 (スイッチング素子) の導通 / 非導通を制御することにより、画素へのデータ信号の書き込みを制御する。

【 0 0 1 9 】

10

画素 P X m の第 1 画素電極 P E 1 と容量配線 C L j との間には補助容量 C 1 (第 1 容量) が形成されている。画素 P X m の第 2 画素電極 P E 2 と容量配線 C L j + 1 との間には補助容量 C 2 が形成されている。画素 P X n の第 1 画素電極 P E 1 と容量配線 C L j との間には補助容量 C 3 (第 2 容量) が形成されている。画素 P X n の第 2 画素電極 P E 2 と容量配線 C L j + 1 との間には補助容量 C 4 が形成されている。

【 0 0 2 0 】

補助容量 C 3 の容量値は補助容量 C 1 の容量値より大きい。補助容量 C 4 の容量値は、補助容量 C 2 の容量値より大きい。補助容量 C 1 の容量値と補助容量 C 2 の容量値とは同じであっても異なってもよい。補助容量 C 3 の容量値と補助容量 C 4 の容量値とは同じであっても異なってもよい。すなわち、各画素の補助容量は、画素列に応じて異なり得る。

20

【 0 0 2 1 】

(容量配線と画素電極の構成)

図 6 は、容量配線および画素電極の一構成例を示す平面図である。図 6 では、データ信号線および走査信号線は省略している。平面視において、第 1 画素電極 P E 1 および第 2 画素電極 P E 2 の一部は、容量配線 C L j、C L j + 1 に重なる。第 1 画素電極 P E 1 および第 2 画素電極 P E 2 と容量配線 C L j、C L j + 1 とが絶縁層を介して対向しているため、重なる面積に応じた補助容量が形成される。

【 0 0 2 2 】

図 6 に示す構成では、各容量配線 C L j、C L j + 1 の幅は、液晶パネル 3 の水平方向における端から中央に向かうにしたがって、連続的に大きくなっている。画素 P X m の第 1 画素電極 P E 1 の位置での容量配線 C L j の幅より、画素 P X n の第 1 画素電極 P E 1 の位置での容量配線 C L j の幅は大きい。それゆえ、外側幹配線に近い画素 P X m の第 1 画素電極 P E 1 と容量配線 C L j とが重なる第 1 面積より、外側幹配線から遠い画素 P X n の第 1 画素電極 P E 1 と容量配線 C L j とが重なる第 2 面積は大きい。それゆえ、画素 P X m の第 1 画素電極 P E 1 の補助容量の容量値より、画素 P X n の第 1 画素電極 P E 1 の補助容量の容量値は大きい。第 2 画素電極 P E 2 についても同様である。

30

【 0 0 2 3 】

また、液晶パネル 3 の右側に外側幹配線 T R 1 ~ T R 4 がある場合、容量配線の幅は、液晶パネル 3 の中央から外側幹配線 T R 1 ~ T R 4 に向かうにしたがって、小さくなる。液晶パネル 3 の右側に外側幹配線 T R 1 ~ T R 4 がない場合、容量配線の幅は、中央から右側に向かうにしたがって大きくなってもよい。

40

【 0 0 2 4 】

(他の構成例)

図 7 は、容量配線および画素電極の他の構成例を示す平面図である。各容量配線 C L j、C L j + 1 の幅は、液晶パネル 3 の水平方向における端から中央に向かうにしたがって、段階的に (階段状に) 大きくなっている。容量配線 C L j、C L j + 1 の幅が変化する位置は、第 1 画素電極 P E 1 および第 2 画素電極 P E 2 と重なっていてもよいし、重なっていなくてもよい。

【 0 0 2 5 】

50

図 7 に示す構成では、各画素電極の補助容量の容量値を正確に規定することができる。液晶パネル 3 の製造において、形成される容量配線の形状はフォトリソグラフィ等を用いて決められる。マスク露光による容量配線の形状の制御を考慮すると、図 6 に示す構成より、図 7 に示す構成の方が、精度よく容量配線を形成することができる。それゆえ、液晶パネル 3 の製造において、補助容量の容量値を正確に決めることができる。特に、色成分毎に異なった容量値の補助容量を設定する場合は、図 7 に示す構成の方が容量値の制御が容易である。また、色成分による補助容量の容量値の差がなく、さらに非常に画素密度が高い場合は、個別の容量値の制御が困難になるため、図 6 に示す構成の方が有利である。この場合、グラデーションマスク等も好適に適用することができる。

【 0 0 2 6 】

なお、ここでは、第 1 画素電極 P E 1 の補助容量の容量値と第 2 画素電極 P E 2 の補助容量の容量値との両方が、液晶パネル 3 の中央に向かうにしたがって大きくなる場合について説明した。これに限らず、例えば、一方（第 2 画素電極 P E 2）の補助容量の容量値は、位置によらず一定でもよい。この場合、例えば容量配線の上側（第 2 画素電極 P E 2 側）の境界は、水平方向に平行であり、容量配線の下側（第 1 画素電極 P E 1 側）の境界は、図 6、7 に示す構成のように段階的または連続的に変化してもよい。

【 0 0 2 7 】

（液晶表示装置の駆動）

以下では、主として画素 P X m と、画素 P X m に接続される走査信号線 G L j およびデータ信号線 D L m と、画素 P X m（サブ画素 S P 1・S P 2）との間で容量を形成する容量配線 C L j・C L j + 1 と、について説明する。

【 0 0 2 8 】

図 3 は、ある垂直期間における液晶表示装置 1 の駆動例を示すタイミングチャートである。図 3 には、時間（横軸）に対する、データ信号線 D L m に供給されるデータ信号 D S m の電位（データ電位）と、走査信号線 G L j ~ G L j + 3 にそれぞれ供給される走査信号 G S j ~ G S j + 3 の電位（ゲート電位）と、容量配線 C L j ~ C L j + 3 にそれぞれ供給される容量信号 C S j ~ C S j + 3 の電位（C S 電位）と、ある画素列の第 j 行 ~ 第 j + 2 行の画素における第 1 画素電極 P E 1 の電位（画素電位）V A j ~ V A j + 2 および第 2 画素電極 P E 2 の電位 V B j ~ V B j + 2 とが示されている。図 3 には、各画素電極の画素電位（V A j ~ V A j + 2、V B j ~ V B j + 2）について、その垂直期間においてゲートパルスがアクティブ（ゲート電位が H i g h）になってデータ信号が画素電極 P E 1、P E 2 に書き込まれてからの変化のみを示す。なお簡単のため、ここではゲート寄生容量による画素電位の引き込み等の影響は無視する。図 3 には、二次元画像を表示する場合として、各画素に同じ階調のデータ信号を書き込む例を示す。図 3 に示す水平方向の破線は、対向電極の電位を示す。

【 0 0 2 9 】

図 4 は、ある垂直期間における各画素の表示状態を示す模式図である。図 4 において、各画素電極 P E に書き込まれたデータ信号の極性を +、- で示している。また、図 4 において、明表示を行う明サブ画素の画素電極 P E は白色で示し、暗表示を行う暗サブ画素の画素電極 P E は点々のハッチングを施して示す。

【 0 0 3 0 】

データ電位は、1 水平走査期間（1 H）毎に極性が反転する。すなわち、同じ列の画素には、画素行毎に逆極性のデータ電位が書き込まれる。また、互いに隣接する 2 つのデータ信号線のデータ電位は逆極性になっている。すなわち、同じ行の画素には、画素列毎に異なる極性のデータ電位が書き込まれる。

【 0 0 3 1 】

ゲート電位は、各画素のトランジスタ T 1、T 2 を O N（導通状態）にするために、順次 H（H i g h）レベルになる。

【 0 0 3 2 】

C S 電位は、1 垂直期間の中で周期的に変化する。ここでは、C S 電位は、2 水平期間

10

20

30

40

50

(2H)毎に基準の電位(例えば対向電極の電位)に対して反転する。なお、容量配線 CL_j の電位 CS_j とその下側の容量配線 CL_{j+1} の電位 CS_{j+1} とは、極性が逆になっている。容量配線 CL_j の電位 CS_j とその2つ下側の容量配線 CL_{j+2} の電位 CS_{j+2} とは、波形の位相が1水平期間ずれている。容量配線 CL_{j+2} の電位 CS_{j+2} とその下側の容量配線 CL_{j+3} の電位 CS_{j+3} とは、極性が逆になっている。なお、図示はしないが、容量配線 CL_{j+4} の電位は、容量配線 CL_{j+1} の電位 CS_{j+1} と同じである。容量配線 CL_{j+5} の電位は、容量配線 CL_j の電位 CS_j と同じである。容量配線 CL_{j+6} の電位は、容量配線 CL_{j+3} の電位 CS_{j+3} と同じである。容量配線 CL_{j+7} の電位は、容量配線 CL_{j+2} の電位 CS_{j+2} と同じである。

【0033】

10

ゲートパルスがアクティブになることによって、同時に画素 PX_m の2つのトランジスタ T_1 、 T_2 が導通状態になる。そのため、画素 PX_m の2つのサブ画素 SP_1 ・ SP_2 には同じデータ電位が書き込まれる。

【0034】

画素 PX_m (2つのサブ画素)にデータが書き込まれた後(走査信号 GS_j のゲートパルスが非アクティブになった後)、 CS 電位 CS_j 、 CS_{j+1} が変化(極性の反転)する。これにより、容量配線 CL_j に補助容量 C_1 を介して繋がる画素電極 PE_1 の画素電位も変化する。画素 PX_m に注目すると、サブ画素 SP_1 、 SP_2 にデータ信号が書き込まれた直後は、2つのサブ画素 SP_1 、 SP_2 の画素電位 VA_j および画素電位 VB_j は同じである。ここで、サブ画素 SP_1 、 SP_2 はそれぞれ異なる容量配線 CL_j 、 CL_{j+1} に補助容量 C_1 、 C_2 を介して繋がる。トランジスタ T_1 がOFF(ゲート電位がL(Low))になった後、容量配線 CL_j の CS 電位 CS_j は上昇するので、正極性のデータが書き込まれたサブ画素 SP_1 の画素電位 VA_j は上昇する。一方、トランジスタ T_2 がOFFになった後、容量配線 CL_{j+1} の CS 電位 CS_{j+1} は下降するので、正極性のデータが書き込まれたサブ画素 SP_2 の画素電位 VB_j は下降する。

20

【0035】

これにより、サブ画素 SP_1 の実効画素電圧(1フレーム期間の画素電圧の平均)は大きくなる、すなわち、画素 PX_m のサブ画素 SP_1 は明るく表示される明サブ画素となる。これに対し、サブ画素 SP_2 の実効画素電圧は小さくなる、すなわち、画素 PX_m のサブ画素 SP_2 は暗く表示される暗サブ画素となる。ここで、画素電圧は、対向電極の電位と画素電極の電位の差である。

30

【0036】

画素 PX_m の下隣の画素のサブ画素 SP_1 ・ SP_2 については、書き込まれるデータ電位の極性が逆(負極性)である。ただし、対応する容量配線の CS 電位 CS_{j+1} 、 CS_{j+2} の変化も逆になる。それゆえ、該下隣の画素のサブ画素 SP_1 は明るく表示される明サブ画素となり、該下隣の画素のサブ画素 SP_2 は暗く表示される暗サブ画素となる。また、画素列毎にデータ電位の極性が反転するため、画素 PX_m の隣の画素列では、サブ画素 SP_1 が暗サブ画素となり、サブ画素 SP_2 が明サブ画素となる。

【0037】

なお、次のフレームにおいては、各画素に書き込まれるデータ信号の極性は反転する(ドット反転駆動)。ただし、ゲートパルスに対して、各容量配線 CL_j の CS 電位の波形も1/2周期ずれる。そのため、明サブ画素と暗サブ画素の位置は変わらない。 CS 電位の反転タイミングは、例えば垂直帰線期間において調整することができる。

40

【0038】

(容量信号の波形)

容量信号 CS_j は、データドライバ7から、外側幹配線 TL_1 を介して、容量配線 CL_j へ供給される。外側幹配線 TL_1 は、非表示領域に設けられるため(開口面積に影響しないため)、幅を太くすることができる。一方、容量配線 CL_j は、表示領域 DA に設けられるため、幅が制限される。そのため、外側幹配線 TL_1 から遠く離れた画素では、容量信号 CS_j が遅延したり、その波形が鈍ったりする。

50

【 0 0 3 9 】

図 5 は、データドライバ 7 から外側幹配線 T L 1 に供給される容量信号 C S j の波形と、画素 P X n の位置での該容量信号 C S j の波形（伝搬波形）とを模式的に示す図である。図 5 において、横軸は時間、縦軸は電位を表す。データドライバ 7 から外側幹配線 T L 1 に出力される容量信号 C S j の波形を出力波形とし、該容量信号 C S j が画素 P X n の位置まで伝搬したときの波形を伝搬波形とする。縦軸の値は、出力波形の最小値を 0、最大値を 1 として正規化されている。なお、図 5 では、説明のため伝搬波形を簡略化して模式的に描いている。実際の伝搬波形は、様々な負荷容量および周辺の配線の影響で複雑に変化し得る。しかしながら、伝搬波形が、出力波形に対し、周期は同じで、位相が遅れ、波形が鈍り、かつ、減衰することによって振幅が減少するという課題は変わらない。

10

【 0 0 4 0 】

データドライバ 7 から出力された時点では、容量信号 C S j の波形は、出力波形である。外側幹配線 T L 1 に最も近い画素の位置では、容量信号 C S j は、出力波形に近い波形である。容量信号 C S j は、外側幹配線 T L 1 および容量配線 C L j を画素 P X j まで伝わる間に、位相が遅れ、振幅が減衰することにより、伝搬波形となる。伝搬波形の容量信号 C S j が、画素 P X j に実際の影響を与える（画素電圧を変化させる）。それゆえ、位相の遅れおよび振幅の減衰が大きいと、表示領域 D A の端部と中央付近とで、画素電圧の変化量（明サブ画素および暗サブ画素の輝度差）が異なってしまう。言うまでもないことだが、明サブ画素と暗サブ画素との輝度差の変化は、画素の電圧輝度特性と視野角特性とを同時に変化させるため、データ電位を制御する公知のムラ補正技術ではこれを補正することはできない。

20

【 0 0 4 1 】

なお、データドライバ 7 から他の外側幹配線 T L 2 ~ T L 4、T R 1 ~ T R 4 に出力される容量信号は、出力波形と位相が異なるだけで、その振幅および周期は同じである。

【 0 0 4 2 】

画素 P X m の位置より、外側幹配線 T L 1 からより遠い画素 P X n の位置では、容量配線 C L j を伝搬した容量信号 C S j の振幅はより減衰している。

【 0 0 4 3 】

本実施形態では、画素 P X n の補助容量 C 3 の容量値は、画素 P X m の補助容量 C 1 の容量値より大きい。それゆえ、画素 P X n の第 1 画素電極 P E 1 は、画素 P X m の第 1 画素電極 P E 1 よりも、容量信号 C S j の電位の変化量（振幅）に対する影響をより大きく受ける。それゆえ、容量信号 C S j の振幅が減衰している場合であっても、容量信号 C S j による画素 P X n の第 1 画素電極 P E 1 の画素電圧の変化量を、画素 P X m の第 1 画素電極 P E 1 の画素電圧の変化量に近づける（または同じにする）ことができる。第 2 画素電極 P E 2 についても同様である。

30

【 0 0 4 4 】

容量配線 C L j を伝搬する容量信号 C S j の振幅は、供給元の外側幹配線 T L 1、T R 1 から離れるほど、減衰する。そのため、液晶パネル 3 において、外側幹配線 T L 1、T R 1 から離れるほど、すなわち表示領域 D A の水平方向における中央に近いほど、容量信号 C S j の振幅は減衰する。容量信号 C S j の振幅の減衰を補うために、液晶パネル 3 において、表示領域 D A の水平方向における中央に近い画素ほど、補助容量の容量値が大きいことが好ましい。なお、この関係は同じ色成分の画素同士での関係であり、互いに異なる色成分の画素同士はそもそも画素電極の面積等が異なり得るため、補助容量の容量値が上記の関係でなくてもよい。

40

【 0 0 4 5 】

液晶表示装置 1 では、外側幹配線 T L 1 ~ T R 4 に近い画素と遠い画素とに対する容量信号の影響を、適切なものとしてすることができる。それゆえ、ある階調について、液晶表示装置 1 において明画素および暗画素の輝度差を、位置によらず均一にすることができる。よって、液晶表示装置 1 の視野角特性を均一にすることができる。

【 0 0 4 6 】

50

なお、ここでは、基本となる容量信号が４種類（すなわち片側の外側幹配線の数４本）である場合について説明した。しかしこれに限らず、容量信号は少なくとも２種類（２相）あればよい。例えば、容量信号は、６種類であっても、１２種類であっても、２４種類であってもよく、その他の数であってもよい。複数の容量信号は、波形自体は同じで、その位相が異なる。各外側幹配線には、図５に例示したような出力波形の容量信号（ただし位相が異なる）が供給される。

【００４７】

なお、上記ではドット反転駆動する場合について説明したが、他の反転駆動方式であってもよい。例えば、ライン反転、２フィールド反転、ブロック反転、２Ｈ（２水平期間）反転等の駆動方式の液晶表示装置にも、本発明を適用することができる。反転駆動方式が異なれば、容量信号の反転タイミングと、画素の極性配置等に応じて適切な容量信号波形とが異なる。しかしながら、周期および振幅が等しく位相が互いに異なる矩形波を複数使用することと、該矩形波が幹配線からの距離に応じて減衰および変形するという課題とは変わらない。したがって、他の反転駆動方式においても本発明を適用することができる。

10

【００４８】

なお、ここでは、１つの画素が２つの画素電極（２つのサブ画素）を有する場合を例に挙げて本発明の原理を説明した。しかしながら、１つの画素が１つのみの画素電極を有する場合においても、本発明の原理は同様に成立する。それゆえ、液晶パネルの各画素は、１つのみの画素電極を有する構成であってもよい。

20

【００４９】

〔実施形態２〕

本発明の他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、画素電極と重なる部分の容量配線の形状が、画素電極の位置に応じて異なる。

【００５０】

図８は、容量配線および画素電極の一構成例を示す平面図である。図８では、データ信号線および走査信号線は省略している。容量配線 CL_j 、 CL_{j+1} は、第１画素電極 PE_1 および第２画素電極 PE_2 に対応する位置に、１つ以上の支線 BL を備える。平面視において、支線 BL の少なくとも一部は、対応する第１画素電極 PE_1 または第２画素電極 PE_2 の一部に重なる。第１画素電極 PE_1 および第２画素電極 PE_2 と支線 BL とが絶縁層を介して対向しているため、重なる面積に応じた補助容量が形成される。なお、これら容量配線 CL_j 、 CL_{j+1} の形状を、容量配線 CL_j 、 CL_{j+1} において、複数の支線 BL 同士の間には切り欠き NT_1 が形成されていると表現することもできる。複数の切り欠き NT_1 は、第１画素電極 PE_1 （または第２画素電極 PE_2 ）に対応する位置、および、第１画素電極 PE_1 同士（または第２画素電極 PE_2 同士）の間に対応する位置に形成されている。

30

【００５１】

図８に示す構成では、第１画素電極 PE_1 および第２画素電極 PE_2 に対応する支線 BL の数は、液晶パネル３の水平方向における端から中央に向かうにしたがって、多くなる。画素 PX_m の第１画素電極 PE_1 の位置での支線 BL の数より、画素 PX_n の第１画素電極 PE_1 の位置での支線 BL の数は多い。それゆえ、外側幹配線に近い画素 PX_m の第１画素電極 PE_1 と容量配線 CL_j の支線 BL とが重なる第１面積より、外側幹配線から遠い画素 PX_n の第１画素電極 PE_1 と容量配線 CL_j の支線 BL とが重なる第２面積は大きい。それゆえ、画素 PX_m の第１画素電極 PE_1 の補助容量の容量値より、画素 PX_n の第１画素電極 PE_1 の補助容量の容量値は大きい。第２画素電極 PE_2 についても同様である。

40

【００５２】

それゆえ、本実施形態では、外側幹配線 $TL_1 \sim TR_4$ に近い画素と遠い画素とに対する容量信号の影響を、適切なものとすることができる。本実施形態では、第１画素電極 P

50

E 1 または第 2 画素電極 P E 2 と容量配線 C L j (支線 B L) とが重なる面積、すなわち補助容量の容量値は、第 1 画素電極 P E 1 または第 2 画素電極 P E 2 と重なる支線 B L の数によって決定される。それゆえ、各補助容量の容量値を正確に決定することができる。

【0053】

なお、液晶パネル 3 の水平方向における位置に応じて、支線 B L の幅または長さを変化させてもよい。この場合、各画素電極に重なる支線 B L の数は 1 つでもよい。これによっても、支線 B L と画素電極とが重なる面積、すなわち補助容量の容量値を変化させることができる。

【0054】

なお、支線は、縦方向に延びる直線形状でなくてもよく、曲がったり、斜めまたは横方向に延びていてもよい。また、支線は、平面視において容量配線から画素電極側に突出した任意の形状の電極であってもよい。

【0055】

(他の構成例)

図 9 は、容量配線および画素電極の他の構成例を示す平面図である。図 9 では、データ信号線および走査信号線は省略している。容量配線 C L j、C L j + 1 には、第 1 画素電極 P E 1 および第 2 画素電極 P E 2 に対応する位置に、切り欠き N T 1 が形成されている。平面視において、容量配線 C L j、C L j + 1 における切り欠き N T 1 が形成されていない部分が、対応する第 1 画素電極 P E 1 または第 2 画素電極 P E 2 の一部に重なる。

【0056】

図 9 に示す構成では、切り欠き N T 1 の幅は、液晶パネル 3 の水平方向における端から中央に向かうにしたがって、小さくなる。画素 P X m の第 1 画素電極 P E 1 の位置での切り欠き N T 1 の幅より、画素 P X n の第 1 画素電極 P E 1 の位置での切り欠き N T 1 の幅は小さい。それゆえ、外側幹配線に近い画素 P X m の第 1 画素電極 P E 1 と容量配線 C L j とが重なる第 1 面積より、外側幹配線から遠い画素 P X n の第 1 画素電極 P E 1 と容量配線 C L j とが重なる第 2 面積は大きい。それゆえ、画素 P X m の第 1 画素電極 P E 1 の補助容量の容量値より、画素 P X n の第 1 画素電極 P E 1 の補助容量の容量値は大きい。第 2 画素電極 P E 2 についても同様である。

【0057】

なお、切り欠き N T 1 の形状は、矩形に限らず、例えば、くさび形でも、半円形でも、他の任意の形状でもよい。切り欠き N T 1 は、曲がったり、斜めまたは横方向に延びていてもよい。また、容量配線における第 1 画素電極および第 2 画素電極と重なる箇所に、切り欠きの代わりに、穴が形成されていてもよい。

【0058】

〔実施形態 3〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、画素電極の形状が、画素電極の位置に応じて異なる。

【0059】

図 10 は、容量配線および画素電極の他の構成例を示す平面図である。図 10 では、データ信号線および走査信号線は省略している。第 1 画素電極 P E 1 および第 2 画素電極 P E 2 における容量配線 C L j、C L j + 1 に対応する位置に、切り欠き N T 2 が形成されている。平面視において、第 1 画素電極 P E 1 および第 2 画素電極 P E 2 の一部は、容量配線 C L j に重なる。容量配線 C L j、C L j + 1 の幅は、液晶パネル 3 の水平方向における位置によらず一定であってもよい。

【0060】

図 10 に示す構成では、第 1 画素電極 P E 1 および第 2 画素電極 P E 2 に形成された切り欠き(電極が欠損した領域)の数は、液晶パネル 3 の水平方向における端から中央に向かうにしたがって、少なくなる。第 1 画素電極 P E 1 および第 2 画素電極 P E 2 に形成された切り欠きの面積が、液晶パネル 3 の水平方向における端から中央に向かうにしたがっ

10

20

30

40

50

て、小さくなくてもよい。それゆえ、外側幹配線に近い画素 $P \times m$ の第 1 画素電極 $PE 1$ と容量配線 $CL j$ の支線 BL とが重なる第 1 面積より、外側幹配線から遠い画素 $P \times n$ の第 1 画素電極 $PE 1$ と容量配線 $CL j$ の支線 BL とが重なる第 2 面積は大きい。それゆえ、画素 $P \times m$ の第 1 画素電極 $PE 1$ の補助容量の容量値より、画素 $P \times n$ の第 1 画素電極 $PE 1$ の補助容量の容量値は大きい。第 2 画素電極 $PE 2$ についても同様である。

【0061】

それゆえ、本実施形態では、外側幹配線 $TL 1 \sim TR 4$ に近い画素と遠い画素とに対する容量信号の影響を、適切なものとしてすることができる。本実施形態では、第 1 画素電極 $PE 1$ または第 2 画素電極 $PE 2$ と容量配線 $CL j$ とが重なる面積、すなわち補助容量の容量値は、第 1 画素電極 $PE 1$ または第 2 画素電極 $PE 2$ に形成された切り欠きの面積によって決定される。それゆえ、各補助容量の容量値を正確に決定することができる。

10

【0062】

容量配線は、一般的には不透明な金属で形成される。一方、画素電極は透明導体で形成される。そのため、画素電極の形状が位置に応じて異なっている、表示の均一性を損なうことがない。

【0063】

なお、画素電極の切り欠き $NT 2$ の形状は、矩形に限らず、例えば、くさび形でも、半円形でも、他の任意の形状でもよい。切り欠き $NT 2$ は、曲がったり、斜めまたは横方向に延びていてもよい。また、第 1 画素電極および第 2 画素電極における容量配線と重なる箇所に、切り欠きの代わりに、穴が形成されていてもよい。

20

【0064】

なお、容量配線の形状は、上述の実施形態で説明した構成であってもよい。すなわち、画素電極の形状に加えて、容量配線の形状が、液晶パネル 3 の水平方向における位置に応じて異なっている、結果的に、特定の色成分の画素電極と容量配線とが重なる面積（すなわち補助容量の容量値）が、液晶パネル 3 の水平方向における端から中央に向かうにしたがって、大きくなっていけばよい。

【0065】

〔実施形態 4〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、絶縁層の厚さが、画素電極の位置に応じて異なる。

30

【0066】

図 11 は、本実施形態の容量配線および画素電極の一構成例を示す平面図である。図 11 では、データ信号線および走査信号線は省略している。容量配線 $CL j$ 、 $CL j + 1$ の幅および形状、ならびに、第 1 画素電極 $PE 1$ および第 2 画素電極 $PE 2$ の形状は、液晶パネル 3 の水平方向における位置によらず一様であってもよい。

【0067】

図 12 は、図 11 の切断線 $A - A$ における断面図である。図 12 では、データ信号線および走査信号線は省略している。絶縁層 21 上に容量配線 $CL j$ が形成されている。容量配線 $CL j$ 上に絶縁層 22 が形成されている。絶縁層 22 上に複数の第 1 画素電極 $PE 1$ が形成されている。絶縁層 22 および複数の第 1 画素電極 $PE 1$ 上に絶縁層 23 が形成されている。また、絶縁層 24 上に対向電極 COM が形成されている。絶縁層 23 と絶縁層 24 との間に液晶層 LC が挟まれている。

40

【0068】

図 12 に示す構成では、第 1 画素電極 $PE 1$ と容量配線 $CL j$ との間に設けられた絶縁層 22 の厚さは、液晶パネル 3 の水平方向における端から中央に向かうにしたがって、薄くなる。1 つの第 1 画素電極 $PE 1$ の範囲で、絶縁層 22 の厚さが変化してもよい。外側幹配線に近い画素 $P \times m$ の第 1 画素電極 $PE 1$ と容量配線 $CL j$ との間における絶縁層 22 の厚さ $d 1$ より、外側幹配線から遠い画素 $P \times n$ の第 1 画素電極 $PE 1$ と容量配線 $CL j$ との間における絶縁層 22 の厚さ $d 2$ は、小さい。すなわち、画素 $P \times m$ の第 1 画素電

50

極 P E 1 と容量配線 C L j とが重なる領域における絶縁層 2 2 の平均厚さより、画素 P X n の第 1 画素電極 P E 1 と容量配線 C L j とが重なる領域における絶縁層 2 2 の平均厚さは、小さい。一般に、平行な 2 つの平板導体の容量値 C は、 $C = \varepsilon \cdot S / d$ で表される。ここで、 ε は 2 つの平板導体の間の物質の誘電率、S は 2 つの平板導体の面積、d は 2 つの平板導体の間の距離を示す。それゆえ、画素 P X m の第 1 画素電極 P E 1 の補助容量の容量値より、画素 P X n の第 1 画素電極 P E 1 の補助容量の容量値は大きい。第 2 画素電極 P E 2 についても同様である。

【 0 0 6 9 】

なお、絶縁層 2 2 の厚さに加えて、上述の実施形態のように、容量配線 C L j 、C L j + 1 の幅および形状、ならびに、第 1 画素電極 P E 1 および第 2 画素電極 P E 2 の形状が、液晶パネル 3 の水平方向における位置に応じて異なってもよい。

【 0 0 7 0 】

〔実施形態 5〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、容量配線と画素電極との間に中間電極を設ける点が異なる。

【 0 0 7 1 】

図 1 3 は、容量配線と第 1 画素電極とが重なる部分の断面を示す断面図である。図 1 3 では、データ信号線および走査信号線は省略している。容量配線 C L j 上に絶縁層 2 2 が形成されている。絶縁層 2 2 上に複数の第 1 中間電極 2 6 および複数の第 2 中間電極 2 7 が形成されている。絶縁層 2 2 および複数の第 1 中間電極 2 6 および複数の第 2 中間電極 2 7 上に絶縁層 2 5 が形成されている。絶縁層 2 5 上に複数の第 1 画素電極 P E 1 が形成されている。絶縁層 2 5 および複数の第 1 画素電極 P E 1 上に絶縁層 2 3 が形成されている。外側幹配線に近い画素 P X m の第 1 画素電極 P E 1 に対応する位置に第 1 中間電極 2 6 が形成されている。外側幹配線から遠い画素 P X n の第 1 画素電極 P E 1 に対応する位置に第 2 中間電極 2 7 が形成されている。

【 0 0 7 2 】

複数の第 1 中間電極 2 6 および複数の第 2 中間電極 2 7 は、電源に接続されていないフローティング状態の導体である。複数の第 1 中間電極 2 6 および複数の第 2 中間電極 2 7 は、互いに絶縁されている。複数の第 1 中間電極 2 6 および複数の第 2 中間電極 2 7 は、それぞれ、平面視において、第 1 画素電極 P E 1 の一部、および、容量配線 C L j の一部に重なる。ここでは、絶縁層 2 5 の上面（第 1 画素電極側の面）は、第 1 中間電極 2 6 および第 2 中間電極 2 7 の有無に関わらず、平坦になるように形成される。すなわち、絶縁層 2 5 の厚さは、第 1 中間電極 2 6 および第 2 中間電極 2 7 の有無に応じて、異なる。

【 0 0 7 3 】

図 1 3 に示す構成では、第 1 中間電極 2 6 または第 2 中間電極 2 7 が第 1 画素電極 P E 1 および容量配線 C L j と重なる面積は、第 1 画素電極 P E 1 の位置に応じて異なる。第 1 画素電極 P E 1 と容量配線 C L j とが重なる領域において、第 1 中間電極 2 6 および第 2 中間電極 2 7 の面積は、互いに異なる。第 1 中間電極 2 6 および第 2 中間電極 2 7 が、容量配線 C L j と第 1 画素電極 P E 1 との間に配置される。そのため、第 1 中間電極 2 6 または第 2 中間電極 2 7 が形成された領域では、容量配線 C L j と第 1 画素電極 P E 1 との間に形成される補助容量の容量値は、2 つの容量を直列に繋いだものに相当する。2 つの容量とは、容量配線 C L j と第 1 中間電極 2 6 または第 2 中間電極 2 7 との間に形成される容量と、第 1 中間電極 2 6 または第 2 中間電極 2 7 と第 1 画素電極 P E 1 との間に形成される容量とを指す。

【 0 0 7 4 】

図 1 4 は、第 1 画素電極 P E 1 と容量配線 C L j との間に形成される補助容量を示す回路図である。画素 P X n の第 1 画素電極 P E 1 と容量配線 C L j との間の補助容量 C 3 は、容量配線 C L j と第 2 中間電極 2 7 との間に形成される容量 C 2 1 と、第 2 中間電極 2 7 と第 1 画素電極 P E 1 との間に形成される容量 C 2 2 とが直列に接続されたものに相当

する。簡単のために容量 C_3 、 C_{21} 、 C_{22} の容量値を、それぞれ C_3 、 C_{21} 、 C_{22} で表す。補助容量 C_3 の容量値は、 $C_3 = (C_{21} \times C_{22}) / (C_{21} + C_{22})$ となる。

【0075】

一方、画素 PX_m の第1画素電極 PE_1 の一部は第1中間電極26に対向し、第1画素電極 PE_1 の他の一部は絶縁層22、25を介して容量配線 CL_j に対向する。画素 PX_m の第1画素電極 PE_1 と容量配線 CL_j との間の補助容量 C_1 は、第1中間電極26を介して容量配線 CL_j と第1画素電極 PE_1 との間に形成される容量と、第1中間電極26を介さずに容量配線 CL_j と第1画素電極 PE_1 とが対向する領域に形成される容量 C_{13} とが並列に接続されたものに相当する。第1中間電極26を介して容量配線 CL_j と第1画素電極 PE_1 との間に形成される容量は、容量配線 CL_j と第1中間電極26との間に形成される容量 C_{11} と、第1中間電極26と第1画素電極 PE_1 との間に形成される容量 C_{12} とが直列に接続されたものに相当する。簡単のために容量 C_1 、 C_{11} 、 C_{12} 、 C_{13} の容量値を、それぞれ C_1 、 C_{11} 、 C_{12} 、 C_{13} で表す。補助容量 C_1 の容量値は、 $C_1 = C_{13} + (C_{11} \times C_{12}) / (C_{11} + C_{12})$ となる。

10

【0076】

第1中間電極26の位置での絶縁層22、25の厚さは、それぞれ、第2中間電極27の位置での絶縁層22、25の厚さと同じであるとする。第1中間電極26を介して容量配線 CL_j と第1画素電極 PE_1 との間に形成される容量の容量値 $(C_{11} \times C_{12}) / (C_{11} + C_{12})$ は、面積当たりでは、補助容量 C_3 の容量値 C_3 と同じである。画素 PX_m の第1画素電極 PE_1 に関して、第1中間電極26が設けられていない領域における絶縁層22、25の厚さの合計は、第1中間電極26が設けられている領域における絶縁層22、25の厚さの合計より大きい。それゆえ、面積当たりでは、容量値 C_{13} は、容量値 $(C_{11} \times C_{12}) / (C_{11} + C_{12})$ より小さい。すなわち、第1中間電極26が設けられていない領域の分、画素 PX_m における補助容量 C_1 の容量値 C_1 は、画素 PX_n における補助容量 C_3 の容量値 C_3 より小さくなる。

20

【0077】

このように、複数の第1画素電極 PE_1 と容量配線 CL_j との間に、互いに異なる形状（異なる面積）の第1中間電極26または第2中間電極27を設けることで、画素 PX_m の第1画素電極 PE_1 の補助容量 C_1 と、画素 PX_n の第1画素電極 PE_1 の補助容量 C_3 とを異ならせることができる。画素 PX_m の第1画素電極 PE_1 の補助容量 C_1 の容量値より、画素 PX_n の第1画素電極 PE_1 の補助容量 C_3 の容量値は大きい。第2画素電極 PE_2 についても同様である。

30

【0078】

なお、第1中間電極26および第2中間電極27を設けない画素があってもよい。そのような画素の補助容量の容量値は、画素 PX_m 、 PX_n の補助容量 C_1 、 C_3 の容量値よりも大きくなり得る。

【0079】

第1中間電極26および第2中間電極27は、金属に限らず、透明導体（例えばITO：インジウムスズ酸化物等）で形成されていてもよい。第1中間電極26および第2中間電極27は、平面視において容量配線 CL_j が存在せず、かつ第1画素電極 PE_1 または第2画素電極 PE_2 が存在する領域にまで延在してもよい。これにより、第1中間電極26および第2中間電極27が透明であれば画素の透過率を損なうことなく、第1中間電極26および第2中間電極27と第1画素電極 PE_1 または第2画素電極 PE_2 とが重なる面積を増加させることができる。すなわち、特定の画素の補助容量の容量値を変化（増加）させることができる。

40

【0080】

また、第1中間電極26および第2中間電極27が透明であるか否かに関わらず、第1中間電極26および第2中間電極27は、平面視において容量配線 CL_j が存在し、かつ第1画素電極 PE_1 または第2画素電極 PE_2 が存在しない領域にまで延在してもよい。

50

これにより、第 1 中間電極 26 および第 2 中間電極 27 と容量配線 CLj とが重なる面積を増加させることができる。すなわち、特定の画素の補助容量の容量値を変化（増加）させることができる。

【0081】

なお、第 1 中間電極 26 および第 2 中間電極 27 に加えて、上述の実施形態のように、容量配線 CLj、CLj + 1 の幅および形状、第 1 画素電極 PE1 および第 2 画素電極 PE2 の形状、ならびに、絶縁層の厚さが、液晶パネル 3 の水平方向における位置に応じて異なってもよい。

【0082】

〔実施形態 6〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、容量配線と画素電極との間に、厚さが均一な絶縁層と、部分的に存在する絶縁層とを形成する点が異なる。

【0083】

（容量配線と画素電極の構成）

図 15 は、本実施形態の容量配線および画素電極の一構成例を示す平面図である。図 15 では、データ信号線および走査信号線は省略している。容量配線 CLj、CLj + 1 の幅および形状、ならびに、第 1 画素電極 PE1 および第 2 画素電極 PE2 の形状は、液晶パネル 3 の水平方向における位置によらず一様であってもよい。

【0084】

本実施形態では、容量配線 CLj、CLj + 1 と第 1 画素電極 PE1 および第 2 画素電極 PE2 との間に、部分的にパターン形成された絶縁層 28（破線で示す）が設けられる。平面視において容量配線 CLj、CLj + 1 と第 1 画素電極 PE1 および第 2 画素電極 PE2 とが重なる領域の一部に、絶縁層 28 が形成される。例えば、絶縁層 28 は、画素 PXm の第 1 画素電極 PE1 と容量配線 CLj とが重なる領域全体に重なる。また、絶縁層 28 は、画素 PXm + 1、PXn - 1 の第 1 画素電極 PE1 と容量配線 CLj とが重なる領域の一部に重なる。画素 PXn の第 1 画素電極 PE1 と容量配線 CLj とが重なる領域には、絶縁層 28 は形成されていない。平面視において容量配線 CLj、CLj + 1 と第 1 画素電極 PE1 および第 2 画素電極 PE2 とが重なる領域における絶縁層 28 の面積は、液晶パネル 3 の水平方向における端から中央に向かうにしたがって、小さくなる。

【0085】

図 16 は、図 15 の切断線 B - B における断面図である。図 16 では、データ信号線および走査信号線は省略している。容量配線 CLj 上に均一な厚さの絶縁層 22 が形成されている。絶縁層 22 上に部分的に分布する絶縁層 28 が形成されている。絶縁層 22 および絶縁層 28 上に複数の第 1 画素電極 PE1 が形成されている。絶縁層 22、絶縁層 28、および複数の第 1 画素電極 PE1 上に、絶縁層 23 が形成されている。

【0086】

絶縁層 22 の厚さは、d2（一定）である。絶縁層 28 の厚さは、d3（一定）である。ただし、絶縁層 28 は、一部の領域にのみ形成される。絶縁層 22 と絶縁層 28 とを合わせた厚さは、d1 = d2 + d3 である。容量配線 CLj と第 1 画素電極 PE1 との間に形成される絶縁層（22、28）は、厚さが d2 である第 1 領域と、厚さが d1 である第 2 領域とを含む（d1 > d2）。絶縁層 28 が形成されていない領域が第 1 領域であり、絶縁層 28 が形成されている領域が第 2 領域である。画素 PXm、PXm + 1 の第 1 画素電極 PE1 と容量配線 CLj とが重なる領域における第 1 領域の面積は、画素 PXn、PXn - 1 の第 1 画素電極 PE1 と容量配線 CLj とが重なる領域における第 1 領域の面積より、小さい。言い換えれば、画素 PXm、PXm + 1 の第 1 画素電極 PE1 と容量配線 CLj とが重なる領域における絶縁層（22、28）の平均厚さは、画素 PXn、PXn - 1 の第 1 画素電極 PE1 と容量配線 CLj とが重なる領域における絶縁層（22、28）の平均厚さより、大きい。

10

20

30

40

50

【0087】

第1画素電極PE1と容量配線CLjとの間の距離が小さいほど、形成される補助容量の容量値は大きくなる。第1領域(厚さd2)の面積当たりの容量値は、第2領域(厚さd1)の面積当たりの容量値より大きい。それゆえ、画素Pxm、Pxm+1の補助容量の容量値は、画素Pxn、Pxn-1の補助容量の容量値よりも、小さい。第2画素電極PE2についても同様である。このように、追加的かつ部分的に形成される絶縁層28の面積を制御(調整)することにより、絶縁層の厚さを制御するよりも、正確に各画素の補助容量の容量値を決定することができる。

【0088】

なお、各画素電極に重なる絶縁層28は、互いに繋がっていてもよい。また、追加的かつ部分的に形成される絶縁層28の形状に加えて、上述の実施形態のように、容量配線CLj、CLj+1の幅および形状、第1画素電極PE1および第2画素電極PE2の形状、第1中間電極26および第2中間電極27の形状、ならびに、絶縁層の厚さが、液晶パネル3の水平方向における位置に応じて異なってもよい。

【0089】

なお、上述の実施形態に示す構成を複数組み合わせることもできる。例えば、表示領域を、水平方向において複数のブロック(第1ブロック、第2ブロック)に分割する。1つのブロックには、複数のデータ信号線に対応する複数の画素が含まれる。複数のブロックでは、容量値を調整する複数の手段(容量配線の幅、画素電極の面積、絶縁層の厚さ)のうち、いずれかが異なる。また、各ブロック内では、容量値を調整する複数の手段のうち、他の1つが変化する。画素の補助容量の容量値は、液晶パネルの水平方向における端から中央に向かうにしたがって、大きくなる。例えば、図7に示す構成によってブロック単位で補助容量の容量値を変化させ、かつ、各ブロック内においては、図10に示す構成(画素電極の切り欠き)によって補助容量の容量値を連続的に変化させてもよい。この組み合わせによって、表示領域全体で補助容量の容量値を連続的に変化させることができる。このような構成を実現するためには、2種類の加工が必要になるという側面があるが、逆に、それぞれの加工における制御精度が低くてもよくなり、結果的に製造が容易になることがある。例えば、4000本のデータ信号線がある状況を考える。単独の実施形態の構成で4000段の階段状の容量配線を形成したり、画素電極の切り欠きを1から4000本まで変化させたりするのは難しい。それよりも、データ信号線を100本ずつまとめたブロックを構成し、 $4000 / 100 = 40$ 段の階段状の容量配線を形成し、各ブロックの中で画素電極の切り欠きを1から100本まで変化させる方が遙かに容易である。液晶パネルの画素数が多く、高精細になるほど、複数の構成の組み合わせによる効果は大きい。ブロック数をどのように設計するかは、これ以降に示す製造方法に関連して、その精度と限界、または実現のための手間を考慮して決定すればよい。

【0090】

(液晶パネルの製造工程)

図17は、本実施形態の液晶パネルの製造工程の一例を示すフローチャートである。トランジスタ、データ信号線、および走査信号線の形成ステップは省略する。半導体基板の上に絶縁層21を形成する(S1)。絶縁層21の上に容量配線CLjを形成する(S2)。絶縁層21および容量配線CLjの上に均一に絶縁層22を形成する(S3)。絶縁層22の上に、部分的に(一部の領域に)絶縁層28を形成する(S4)。フォトリソグラフィ等(例えばハーフトーンマスク)の技術を用いて、絶縁層28のパターンを形成することができる。絶縁層22および絶縁層28の上に第1画素電極PE1および第2画素電極PE2を形成する(S5)。絶縁層22、絶縁層28、第1画素電極PE1、および第2画素電極PE2の上に、絶縁層23を形成する(S6)。これにより、画素電極を含むアレイ基板が製造される。

【0091】

別途、絶縁層24、対向電極COM、およびカラーフィルタを含むカラーフィルタ基板を製造する。アレイ基板とカラーフィルタ基板との間に液晶層LCを配置(封入)するこ

10

20

30

40

50

とで、液晶パネルが製造される。

【0092】

なお、絶縁層22の形成(S3)と絶縁層28の形成(S4)との順序は逆であってもよい。この場合、絶縁層28の上に絶縁層22が形成される。絶縁層28の分布は部分的であるため、その上に形成された絶縁層22の上面は、絶縁層28の有無に応じた凹凸を有する。

【0093】

〔実施形態7〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、ダブルソース駆動の液晶表示装置について説明する。本実施形態の構成は、上述の各実施形態に適用可能である。

10

【0094】

図18は、本実施形態の液晶パネルの一部の構成を示す回路図である。本実施形態では、各画素列に対して、対応する2つのデータ信号線が設けられている。画素 PX_j は、左側に隣接するデータ信号線 DL_m に接続され、その下の画素 PX_{j+1} は、右側に隣接するデータ信号線 DL'_m に接続される。データ信号線 DL_m が供給するデータ信号の極性とデータ信号線 DL'_m が供給するデータ信号の極性とは、互いに異なる。なお、液晶パネルには、表示領域より一方側に6つの外側幹配線が設けられ、表示領域より他方側に6つの外側幹配線が設けられる。各容量配線は、対応する2つの外側幹配線に接続される。

20

【0095】

画素電極 PE_1 、 PE_2 、容量配線 CL_j 等の具体的構成は、上述の各実施形態の構成とすることができる。すなわち、同じ色成分について、外側幹配線に近い画素 PX の第1画素電極 PE_1 の補助容量の容量値より、外側幹配線から遠い画素の第1画素電極 PE_1 の補助容量の容量値は大きい。第2画素電極 PE_2 についても同様である。

【0096】

本実施形態では、2つの走査信号線 GL_j 、 GL_{j+1} のゲートパルスが同時にアクティブになり、2つの行の画素 PX_j 、 PX_{j+1} に同時にデータ信号が書き込まれる。

【0097】

図19は、本実施形態の液晶表示装置の駆動例を示すタイミングチャートである。図19には、時間(横軸)に対する、容量配線 $CL_1 \sim CL_{28}$ にそれぞれ供給される容量信号 $CS_1 \sim CS_{28}$ と、走査信号線 $GL_1 \sim GL_{28}$ にそれぞれ供給されるゲートパルス $G_1 \sim G_{28}$ とが示されている。図19では、各ゲートパルスは、立ち上がっている一部の期間のみを示している。1Hは1水平期間を示す。

30

【0098】

本実施形態では、隣接する2本の走査信号線を同時選択してゆき、隣接する2つの画素行の各画素に同時にデータを書き込む。例えば、走査信号線 GL_1 に繋がる画素行と、走査信号線 GL_2 に繋がる画素行とに対して、データ信号が同時に書き込まれる。走査信号線 GL_1 、 GL_2 の次は、走査信号線 GL_3 、 GL_4 が同時選択される。このように、走査方向(列方向)に並ぶ順に、2本ずつ走査信号線が同時選択され、1垂直期間の書き込みが行われる。

40

【0099】

容量信号の種類は6種類である。図14に丸囲み数字で容量信号の種類を示す。各容量配線には、複数の水平期間毎に、基準となる電位に対する極性が反転する容量信号が供給される。これにより、各容量配線の電位は、一定の周期で反転する。ここで、容量配線 CL_1 と、容量配線 CL_2 とに供給される容量信号は、位相が反転しており、常に逆極性の電位になる。各容量配線の電位は、6水平期間毎に反転し、4つの容量配線毎に、電位が変化するタイミングが2水平期間ずれる。そのため、容量信号のタイミング(位相)の種類は6種類(6相)となる。

【0100】

50

〔実施形態 8〕

本発明のさらに他の実施形態について、説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。本実施形態では、4種類の色成分RGBY（赤緑青黄）の画素を含む液晶表示装置について説明する。

【0101】

図20は、本実施形態の液晶表示装置における液晶パネル12の画素の配置を模式的に示す平面図である。液晶パネル12は、表示領域に複数の絵素PELを含む。各絵素PELは、行方向に並ぶR・G・B・Y（赤緑青黄）の4つの画素PXを含む。ここでは、絵素PELの中で、左からR・G・B・Yの順に画素PXが配列している。各画素PXは、上側に配置されたサブ画素SP1と下側に配置されたサブ画素SP2とを含む。上述の実施形態と同様に、1つの画素PXの2つのサブ画素SP1、SP2は、1つのデータ信号線および1つの走査信号線に接続されている。縦方向に隣接する画素PXの間に、容量配線が配置されている。

10

【0102】

図20には、あるフィールドにおいて画素に書き込まれるデータ信号の極性が、一部の画素について示されている。1つの絵素PELにおいて、RBYの画素PXではデータ信号の極性が互いに同じであり、Gの画素PXではデータ信号の極性がRBYとは逆である。また、列方向または行方向に隣接する絵素PEL同士では、各画素のデータ信号の極性は逆になっている。図20において、白のサブ画素はあるフィールドにおける明サブ画素を示し、ハッチングが付されたサブ画素は該フィールドにおける暗サブ画素を示す。

20

【0103】

本実施形態の液晶表示装置では、1つの画像を示す表示データ（1フレームの表示データ）は、2つのフィールドに分けて表示される。例えば表示データのフレームレートが60fpsである場合、1フィールドは、1/120秒である。

【0104】

図21は、連続する4つのフィールドにおけるある絵素PELの表示状態を示す図である。図21の(a)は、第1フィールドにおける、絵素PELの表示状態と走査信号GSjおよび容量信号CSj、CSj+1とを示す。図21の(b)は、第2フィールドにおける、絵素PELの表示状態と走査信号GSjおよび容量信号CSj、CSj+1とを示す。図21の(c)は、第3フィールドにおける、絵素PELの表示状態と走査信号GSjおよび容量信号CSj、CSj+1とを示す。図21の(d)は、第4フィールドにおける、絵素PELの表示状態と走査信号GSjおよび容量信号CSj、CSj+1とを示す。

30

【0105】

第1フィールドでは、RBYの画素に正極性のデータ信号が書き込まれ、Gの画素に負極性のデータ信号が書き込まれる。第1フィールドでは、走査信号GSjがLow（ゲートパルスが非アクティブ）になった後、容量配線CLjの容量信号CSjが上昇し、容量配線CLj+1の容量信号CSj+1が下降する。そのため、正極性のデータ信号が書き込まれたサブ画素SP1の画素電圧は大きくなり、該サブ画素SP1は明サブ画素になる。一方、負極性のデータ信号が書き込まれたサブ画素SP1の画素電圧は小さくなり、該サブ画素SP1は暗サブ画素になる。また、正極性のデータ信号が書き込まれたサブ画素SP2の画素電圧は小さくなり、該サブ画素SP2は暗サブ画素になる。一方、負極性のデータ信号が書き込まれたサブ画素SP2の画素電圧は大きくなり、該サブ画素SP2は明サブ画素になる。

40

【0106】

第2フィールドでは、RBYの画素に正極性のデータ信号が書き込まれ、Gの画素に負極性のデータ信号が書き込まれる。第2フィールドでは、走査信号と容量信号との関係が第1フィールドとは異なる。第2フィールドでは、走査信号GSjがLowになった後、容量配線CLjの容量信号CSjが下降し、容量配線CLj+1の容量信号CSj+1が

50

上昇する。そのため、明サブ画素と暗サブ画素との関係が、第1フィールドと第2フィールドとでは反転する。

【0107】

第3フィールドでは、RBYの画素に負極性のデータ信号が書き込まれ、Gの画素に正極性のデータ信号が書き込まれる。第3フィールドでは、走査信号と容量信号との関係が第2フィールドと同じである。第3フィールドでは、走査信号GS_jがLowになった後、容量配線CL_jの容量信号CS_jが下降し、容量配線CL_j+1の容量信号CS_j+1が上昇する。そのため、明サブ画素と暗サブ画素との関係は、第1フィールドと第3フィールドとで同じになる。

【0108】

第4フィールドでは、RBYの画素に負極性のデータ信号が書き込まれ、Gの画素に正極性のデータ信号が書き込まれる。第4フィールドでは、走査信号と容量信号との関係が第1フィールドと同じである。第4フィールドでは、走査信号GS_jがLowになった後、容量配線CL_jの容量信号CS_jが上昇し、容量配線CL_j+1の容量信号CS_j+1が下降する。そのため、明サブ画素と暗サブ画素との関係は、第1フィールドと第4フィールドとでは反転する。

【0109】

ここで、第1フィールドと第2フィールドとで、Rの画素PXに異なる階調のデータ信号を供給することができる。また、容量信号CS_j、CS_j+1の振幅を大きくすることにより、暗サブ画素をデータ信号によらず常に黒表示（例えば最大輝度の5%以下）にすることができる。このようにすれば、第1フィールドと第2フィールドとで異なる画像を表示することができる。すなわち、各画素PXにおいて、サブ画素SP1とサブ画素SP2とで異なる階調を表示することができる。すなわち、インタレースのように、第1フィールドと第2フィールドとにおいて、縦方向において液晶パネル12の解像度の2倍の解像度で画像を表示することができる。例えば、液晶パネル12における縦方向の解像度（縦方向の絵素数）が1080である場合、縦方向の解像度が2160の画像を表示することができる。第3フィールドと第4フィールドについても同様である。

【0110】

液晶パネル12では、複数の画素PXのそれぞれにおいて、4種類のサブ画素のうちの最も輝度の高い色を表示するサブ画素（便宜的に「第1サブ画素」と呼ぶ）と2番目に輝度の高い色を表示するサブ画素（便宜的に「第2サブ画素」と呼ぶ）とが互いに隣接しないように（つまり少なくとも1つのサブ画素を挟むように）配置されている。ここでは、第1サブ画素がGのサブ画素であり、第2サブ画素がYのサブ画素である。図20に示した例では、各絵素PEL内で、4種類のサブ画素は、左側から右側に向かってRサブ画素、Gサブ画素、Bサブ画素、Yサブ画素の順に配置されており、Gサブ画素と、Yサブ画素とは隣接していない。1つの絵素PELにおいて、RGBのサブ画素を無彩色の輝度（白～黒）を表す1つの表示単位とし、BYのサブ画素を無彩色の輝度（白～黒）を表す別の1つの表示単位として扱うことができる。

【0111】

本実施形態の液晶表示装置では、横方向における入力画像データの解像度が液晶パネル12の解像度よりも高い場合（つまり入力画像データの絵素数が液晶パネル12の絵素数よりも多い場合）には、上記2つの表示単位のそれぞれを仮想的な絵素として表示を行うことができる。そのため、横方向について、視覚的な解像度を向上させることができる。また、液晶パネル12では、最も輝度の高い色を表示する（つまり最高階調における輝度が最も高い）第1サブ画素と2番目に輝度の高い色を表示する（つまり最高階調における輝度が2番目に高い）第2サブ画素とが絵素PEL内で隣接しないように配置されている。そのため、第1サブ画素と第2サブ画素とが隣接するように配置されている場合に比べて輝度分布の空間周波数を高くすることができ、隣接する2つの仮想絵素が融合されて視認されることを防止することができる。

【0112】

10

20

30

40

50

画素電極 P E 1、P E 2、容量配線 C L j 等の具体的構成は、上述の各実施形態の構成とすることができる。すなわち、同じ色成分について、外側幹配線に近い画素 P X の第 1 画素電極 P E 1 の補助容量の容量値より、外側幹配線から遠い画素の第 1 画素電極 P E 1 の補助容量の容量値は大きい。第 2 画素電極 P E 2 についても同様である。

【 0 1 1 3 】

本実施形態では、上述した輝度変化および輝度差の変化に加えて、液晶の応答時間を安定化させる効果がある。例えば、静止画映像信号が入力される場合であってもフィールド毎に各サブ画素の輝度が変動するが、容量信号の画素への影響が位置によって異なり、画素の位置によって各フィールドの最終液晶配向状態が同一階調信号に対して異なり得る。例えば従来の構成では、第 2 フィールドで暗くなるサブ画素は、第 2 フィールドの最後の瞬間には、中央のサブ画素の方が表示領域の端のサブ画素よりも明るい状態になっている。液晶は弾性体として連続応答するため、中央のサブ画素のようにより明るい状態からさらに明るい状態に変わるときの応答時間はより短い。このように、液晶の応答時間が画素の位置によって異なると、オーバードライブ駆動等による補正が非常に複雑になる。本実施形態では、この状態を均一化する（少なくとも状態の差を低減する）ことが可能であり、より表示品位の高い表示装置を実現することができる。

【 0 1 1 4 】

〔 変形例 〕

なお、第 1 画素電極 P E 1 側と、第 2 画素電極 P E 2 側とで、容量配線の形状、画素電極の形状、中間電極の形状、または、絶縁層の厚さが異なってもよい。例えば、容量配線の第 1 画素電極 P E 1 側には、上述のある実施形態の構成を適用し、該容量配線の第 2 画素電極 P E 2 側には、上述の別の実施形態の構成を適用してもよい。

【 0 1 1 5 】

〔 まとめ 〕

本発明の態様 1 に係る液晶表示パネル（ 3、1 2 ）は、表示領域を形成する複数の画素（ P X ）と、上記複数の画素にデータ信号を供給する複数のデータ信号線（ D L ）と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線（ G L ）とを備える液晶表示パネルであって、容量配線（ C L j ）を備え、上記複数の画素のうちの第 1 画素は、データ信号が書き込まれ上記容量配線との間で第 1 容量（補助容量 C 1、C 2 ）を形成する第 1 画素電極（ P X m の P E 1、P E 2 ）を有し、上記複数の画素のうちの第 2 画素は、データ信号が書き込まれ上記容量配線との間で第 2 容量（補助容量 C 3、C 4 ）を形成する第 2 画素電極（ P X n の P E 1、P E 2 ）を有し、上記第 2 画素電極は、上記第 1 画素電極より表示領域の中央寄りに位置し、上記第 2 容量の容量値は、上記第 1 容量の容量値より大きい構成である。

【 0 1 1 6 】

容量配線に供給される容量信号は、1 垂直期間において電位が変化する信号であるが、容量配線で伝搬されることにより振幅が減衰する。そのため、第 1 画素電極の位置より中央寄りの第 2 画素電極の位置において、容量信号の振幅はより減衰し得る。上記の構成によれば、容量配線に供給される容量信号による第 1 画素電極の画素電位に対する影響より、該容量信号による第 2 画素電極の画素電位に対する影響を、大きくすることができる。そのため、中央寄りに位置する第 2 画素電極の位置において容量信号の振幅が減衰していたとしても、第 1 画素電極と同程度の影響を、第 2 画素電極に与えることができる。液晶パネルの視野角特性を均一にすることができる。

【 0 1 1 7 】

本発明の態様 2 に係る液晶表示パネルは、上記の態様 1 において、平面視において、上記容量配線と上記第 1 画素電極とが重なる第 1 面積より、上記容量配線と上記第 2 画素電極とが重なる第 2 面積は、大きい構成としてもよい。

【 0 1 1 8 】

上記の構成によれば、第 1 面積および第 2 面積に応じて、第 1 容量の容量値および第 2 容量の容量値を互いに異ならせることができる。

【 0 1 1 9 】

本発明の態様 3 に係る液晶表示パネルは、上記の態様 1 または 2 において、上記第 2 画素電極の位置での上記容量配線の幅は、上記第 1 画素電極の位置での上記容量配線の幅より、大きい構成としてもよい。

【 0 1 2 0 】

上記の構成によれば、画素電極の位置に応じて容量配線の幅を異ならせることにより、第 1 容量の容量値および第 2 容量の容量値を互いに異ならせることができる。

【 0 1 2 1 】

本発明の態様 4 に係る液晶表示パネルは、上記の態様 3 において、上記容量配線の幅は、上記表示領域の中央に向かうにしたがって段階的に大きくなる構成としてもよい。

10

【 0 1 2 2 】

上記の構成によれば、精度よく容量配線を形成することができるため、第 1 容量の容量値および第 2 容量の容量値を正確に決定することができる。

【 0 1 2 3 】

本発明の態様 5 に係る液晶表示パネルは、上記の態様 3 において、上記容量配線の幅は、上記表示領域の中央に向かうにしたがって連続的に大きくなる構成としてもよい。

【 0 1 2 4 】

本発明の態様 6 に係る液晶表示パネルは、上記の態様 2 において、上記容量配線における上記第 1 画素電極に対応する位置に、切り欠き (N T 1) または穴が形成されている構成としてもよい。

20

【 0 1 2 5 】

上記の構成によれば、容量配線に切り欠きまたは穴を形成することにより、容量配線と第 1 画素電極とが重なる面積を調整することができる。そのため、第 1 容量の容量値を正確に決定することができる。

【 0 1 2 6 】

本発明の態様 7 に係る液晶表示パネルは、上記の態様 2 において、上記第 1 画素電極における上記容量配線に対応する位置に、切り欠き (N T 2) または穴が形成されている構成としてもよい。

【 0 1 2 7 】

上記の構成によれば、第 1 画素電極に切り欠きまたは穴を形成することにより、容量配線と第 1 画素電極とが重なる面積を調整することができる。そのため、第 1 容量の容量値を正確に決定することができる。

30

【 0 1 2 8 】

本発明の態様 8 に係る液晶表示パネルは、上記の態様 1 から 7 のいずれかにおいて、上記容量配線と上記第 1 画素電極との間に設けられた、平面視において上記容量配線および上記第 1 画素電極に重なる第 1 中間電極 (2 6) と、上記容量配線と上記第 2 画素電極との間に設けられた、平面視において上記容量配線および上記第 2 画素電極に重なる第 2 中間電極 (2 7) とを備える構成としてもよい。

【 0 1 2 9 】

上記の構成によれば、第 1 中間電極および第 2 中間電極によって、第 1 容量および第 2 容量の容量値を調整することができる。

40

【 0 1 3 0 】

本発明の態様 9 に係る液晶表示パネルは、上記の態様 8 において、上記第 1 中間電極および上記第 2 中間電極は、透明導体で形成される構成としてもよい。

【 0 1 3 1 】

上記の構成によれば、第 1 中間電極および第 2 中間電極によって画素の開口面積を減少させることを防ぐことができる。

【 0 1 3 2 】

本発明の態様 1 0 に係る液晶表示パネルは、上記の態様 1 から 9 のいずれかにおいて、上記容量配線と、上記第 1 画素電極および上記第 2 画素電極との間に絶縁層 (2 2 、 2 8

50

）を備え、上記第 1 画素電極と上記容量配線との間における上記絶縁層の厚さは、上記第 2 画素電極と上記容量配線との間における上記絶縁層の厚さより、大きい構成としてもよい。

【0133】

上記の構成によれば、画素電極の位置に応じて絶縁層の厚さを異ならせることにより、第 1 容量の容量値および第 2 容量の容量値を互いに異ならせることができる。

【0134】

本発明の態様 11 に係る液晶表示パネルは、上記の態様 1 から 9 のいずれかにおいて、上記容量配線と、上記第 1 画素電極および上記第 2 画素電極との間に絶縁層を備え、上記絶縁層は、第 1 領域と、上記第 1 領域より厚い第 2 領域とを含み、上記第 1 画素電極と上記容量配線とが重なる領域における上記第 1 領域の面積は、上記第 2 画素電極と上記容量配線とが重なる領域における上記第 1 領域の面積より、小さい構成としてもよい。

10

【0135】

上記の構成によれば、第 1 領域の面積に応じて、第 1 容量および第 2 容量の容量値を調整することができる。そのため、正確に第 1 容量および第 2 容量の容量値を決定することができる。

【0136】

本発明の態様 12 に係る液晶表示パネルは、上記の態様 1 から 11 のいずれかにおいて、上記複数の画素のうちの第 3 画素は、データ信号が書き込まれ上記第 2 画素電極より上記表示領域の中央寄りに位置し上記容量配線との間で第 3 容量を形成する第 3 画素電極を有し、上記複数の画素のうちの第 4 画素は、データ信号が書き込まれ上記第 3 画素電極より上記表示領域の中央寄りに位置し上記容量配線との間で第 4 容量を形成する第 4 画素電極を有し、上記第 3 容量の容量値は、上記第 2 容量の容量値より大きく、上記第 4 容量の容量値は、上記第 3 容量の容量値より大きく、上記第 1 画素電極および上記第 2 画素電極を含む第 1 ブロックと、上記第 3 画素電極および上記第 4 画素電極を含む第 2 ブロックとでは、上記容量配線の幅、画素電極の面積、および、上記容量配線と画素電極との間の絶縁層の厚さのうち、いずれかが異なっており、上記第 1 ブロックおよび上記第 2 ブロックのそれぞれの中では、上記容量配線の幅、画素電極の面積、および、上記容量配線と画素電極との間の絶縁層の厚さのうち、他の 1 つが変化する構成としてもよい。

20

【0137】

上記の構成によれば、容量値を調整する複数の手段（容量配線の幅、画素電極の面積、絶縁層の厚さ）のうち、1 つを第 1 ブロックと第 2 ブロックとで異ならせ、他の 1 つを各ブロックの中で変化させることができる。これにより、調整可能な段階数を多くすることができ、液晶表示パネルの製造が容易になる。

30

【0138】

本発明の態様 13 に係る液晶表示パネルは、上記の態様 1 から 12 のいずれかにおいて、上記第 1 画素電極の色成分および画素行は、それぞれ上記第 2 画素電極の色成分および画素行と同じである構成としてもよい。

【0139】

本発明の態様 14 に係る液晶表示装置は、上記の態様 1 から 13 のいずれかの液晶表示パネルを備える構成としてもよい。

40

【0140】

本発明の態様 15 に係る液晶表示パネルの製造方法は、表示領域を形成する複数の画素と、上記複数の画素にデータ信号を供給する複数のデータ信号線と、上記複数の画素へのデータ信号の書き込みを制御する複数の走査信号線と、容量配線とを備える液晶表示パネルの製造方法であって、上記複数の画素のうちの第 1 画素は、データ信号が書き込まれ上記容量配線との間で第 1 容量を形成する第 1 画素電極を有し、上記複数の画素のうちの第 2 画素は、データ信号が書き込まれ上記容量配線との間で第 2 容量を形成する第 2 画素電極を有し、上記第 2 画素電極は、上記第 1 画素電極より表示領域の中央寄りに位置し、上記容量配線と、上記第 1 画素電極および上記第 2 画素電極との間に、第 1 絶縁層を形成す

50

る工程と、上記容量配線と、上記第 1 画素電極および上記第 2 画素電極との間に、第 2 絶縁層を形成する工程とを含み、上記第 1 絶縁層および上記第 2 絶縁層の一方は、上記容量配線と上記第 1 画素電極または上記第 2 画素電極とが重なる領域に均一に形成され、上記第 1 絶縁層および上記第 2 絶縁層の他方は、上記容量配線と上記第 1 画素電極または上記第 2 画素電極とが重なる領域において部分的に形成される方法である。

【0141】

上記の構成によれば、容量配線と第 1 画素電極または第 2 画素電極とが重なる領域において部分的に形成される絶縁層の面積に応じて、第 1 容量および第 2 容量の容量値を調整することができる。そのため、正確に第 1 容量および第 2 容量の容量値を決定することができる。

10

【0142】

本発明の態様 16 に係る液晶表示パネルの製造方法は、上記の態様 15 において、上記第 2 容量の容量値は、上記第 1 容量の容量値より大きい方法としてもよい。

【0143】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

【符号の説明】

20

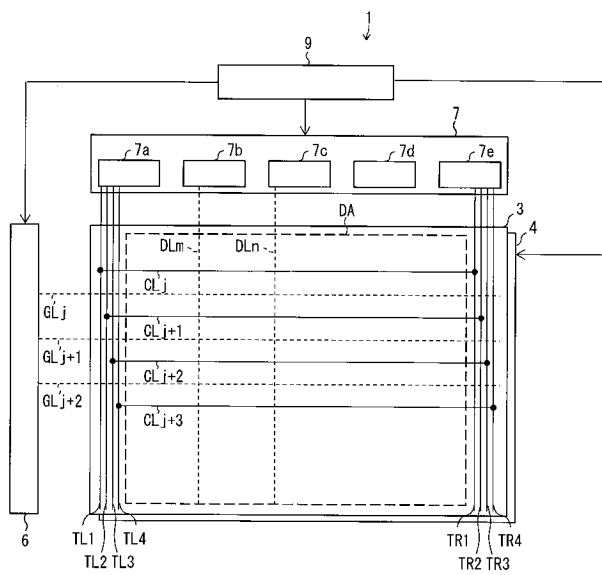
【0144】

1 液晶表示装置
 3、12 液晶パネル（液晶表示パネル）
 6 ゲートドライバ
 7 データドライバ
 7a～7e ソース駆動回路
 9 表示制御回路
 21、22、23、24、25、28 絶縁層
 26、27 第 1 中間電極、第 2 中間電極
 C1～C4 補助容量
 CL 容量配線
 DL データ信号線
 GL 走査信号線
 PE1、PE2 第 1 画素電極、第 2 画素電極
 PX 画素
 SP1、SP2 サブ画素
 TL1～TL4、TR1～TR4 外側幹配線

30

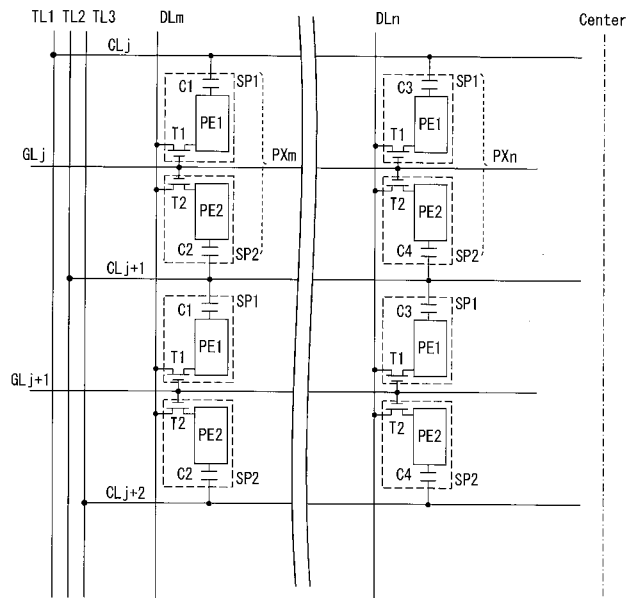
【図 1】

図 1



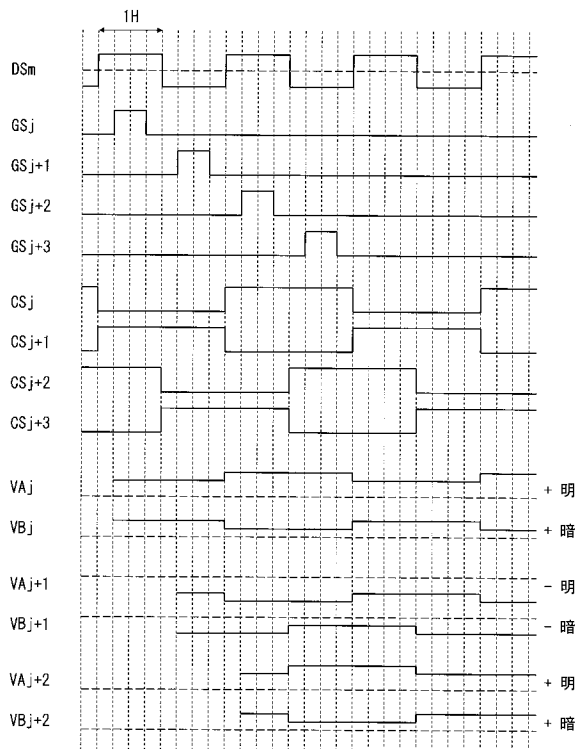
【図 2】

図 2



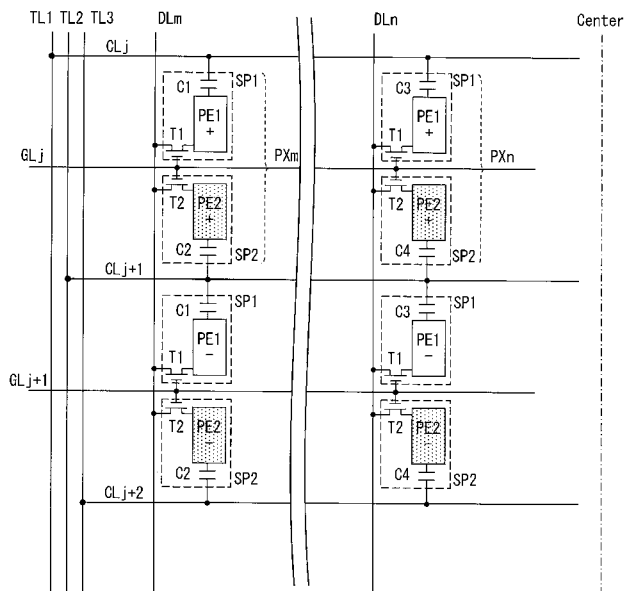
【図 3】

図 3



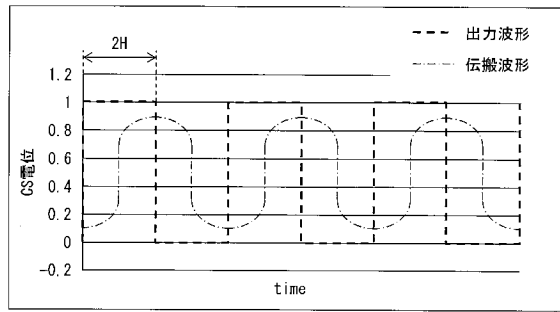
【図 4】

図 4



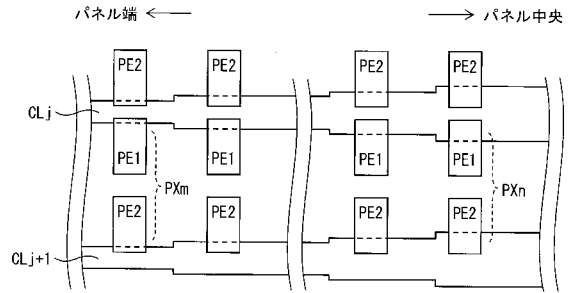
【図 5】

図 5



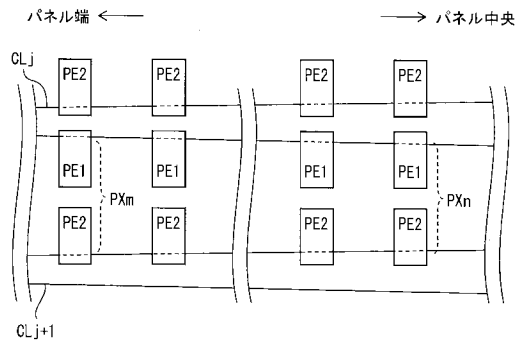
【図 7】

図 7



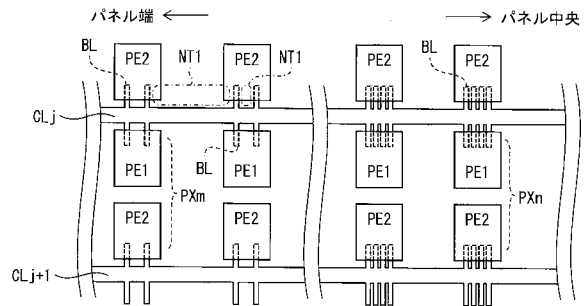
【図 6】

図 6



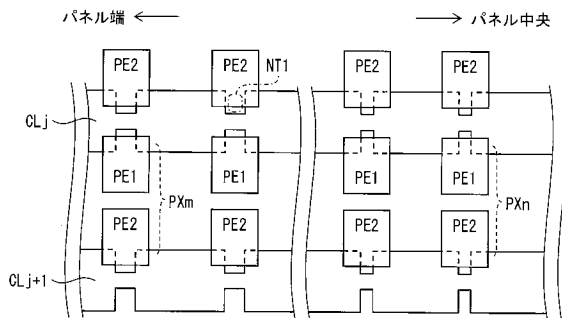
【図 8】

図 8



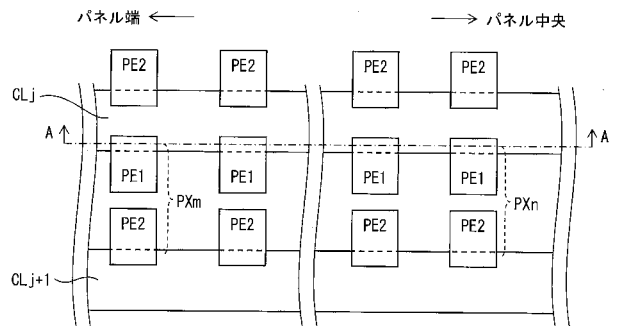
【図 9】

図 9



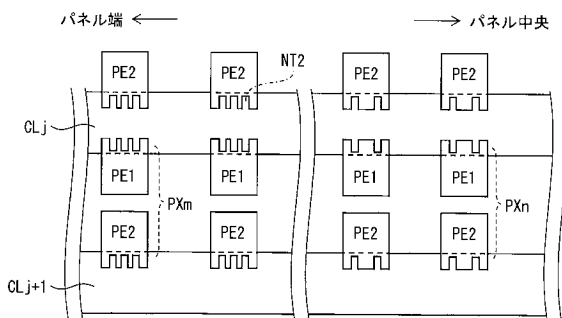
【図 11】

図 11



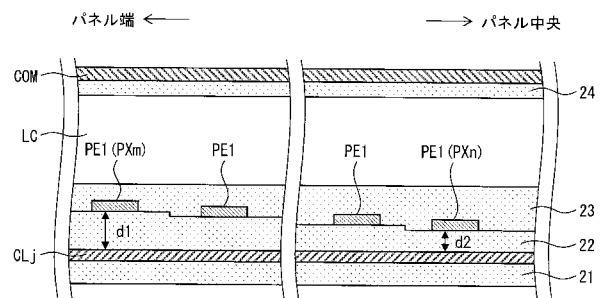
【図 10】

図 10



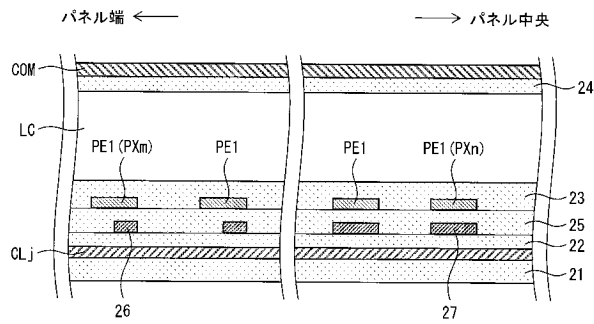
【図 12】

図 12



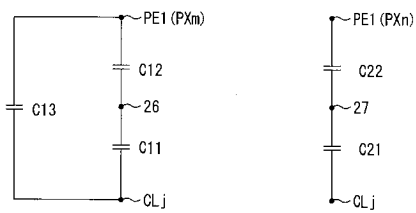
【図 13】

図 13



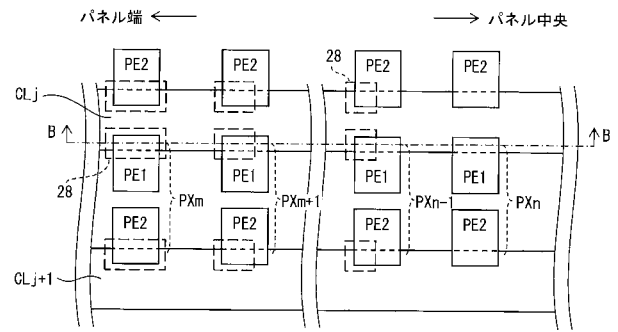
【図 14】

図 14



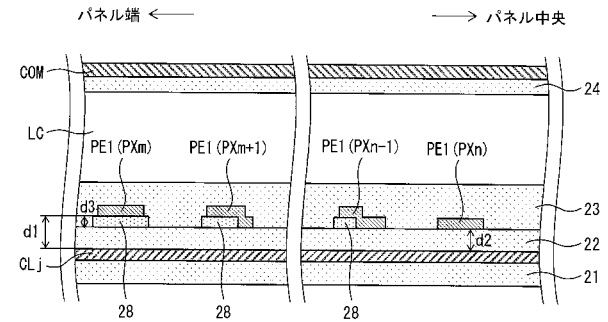
【図 15】

図 15



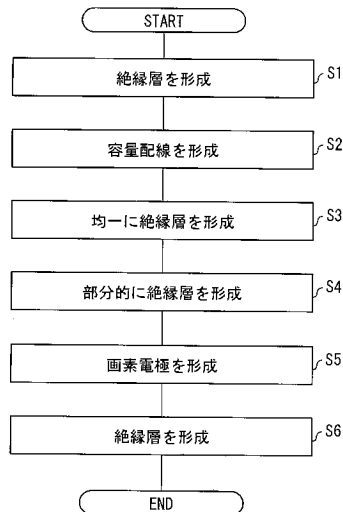
【図 16】

図 16



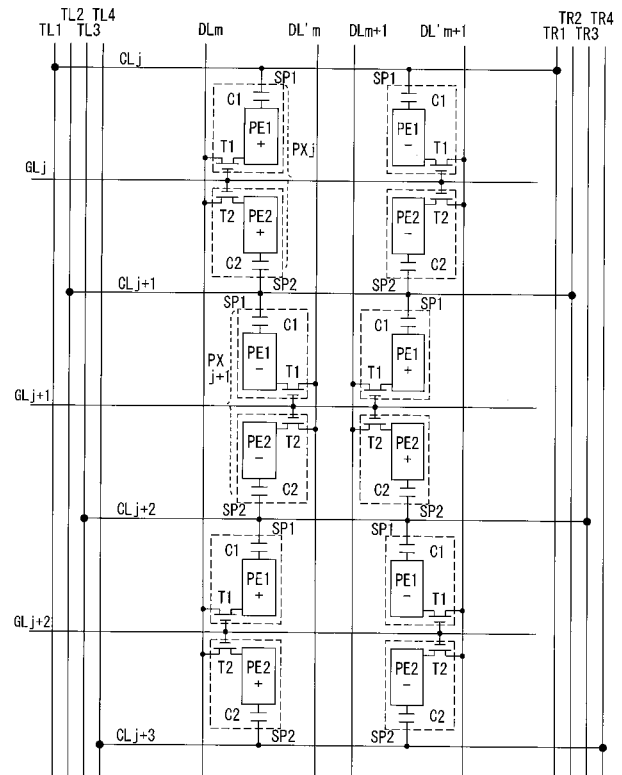
【図 17】

図 17



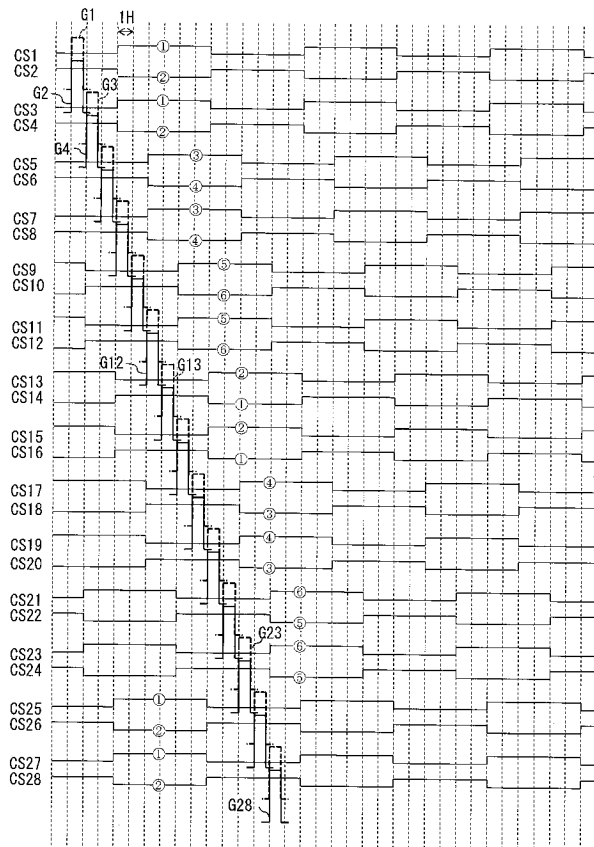
【図 18】

図 18



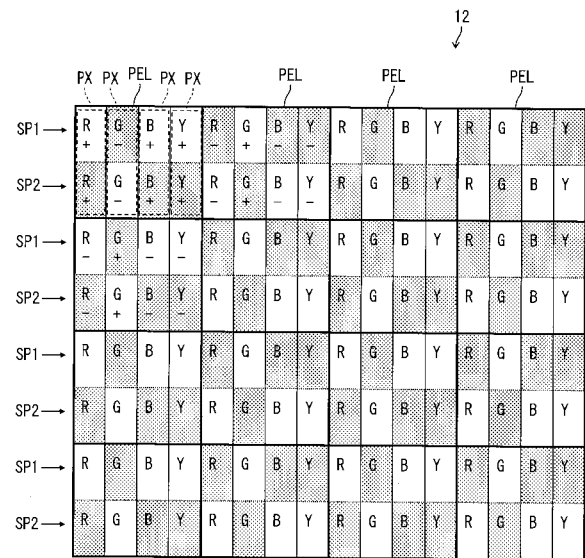
【図 19】

図 19



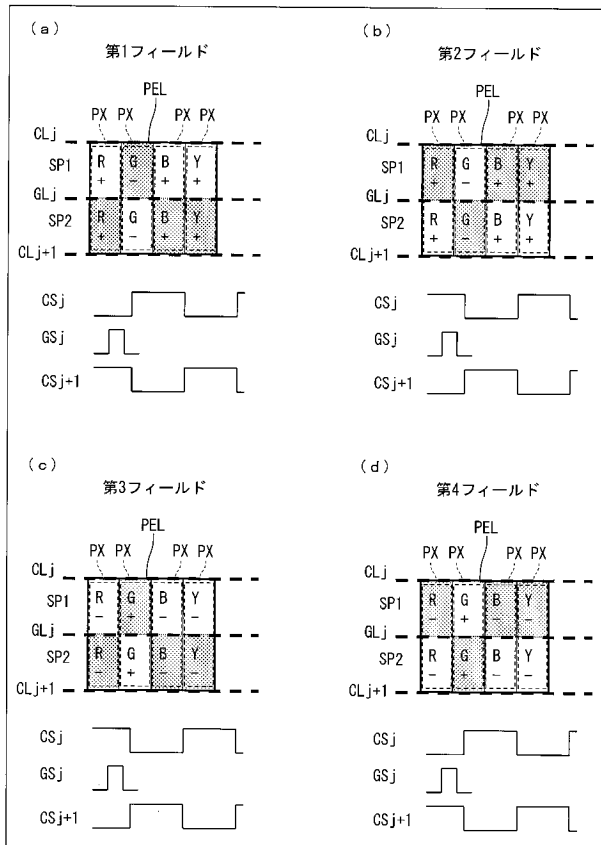
【図 20】

図 20



【図 21】

図 21



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 8 0 H	
	G 0 9 G 3/20 6 8 0 G	

F ターム(参考) 5C080 AA10 BB05 CC03 DD01 EE29 EE30 FF11 JJ02 JJ03 JJ04
JJ06

图 2

The diagram shows a 2D mesh of processing elements (PEs) arranged in a 2x2 grid. The columns are labeled TL1, TL2, TL3, DLn, GLn, and Center. The rows are labeled CLj, CLj+1, and CLj+2. Each PE is connected to its neighbors via T1 and T2 transistors. The diagram illustrates the interconnect structure for a 2D mesh of PEs.