

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-40883

(P2017-40883A)

(43) 公開日 平成29年2月23日(2017.2.23)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 21/336 (2006.01)	HO1L 29/78 616K	4M104
HO1L 29/786 (2006.01)	HO1L 29/78 612D	5F110
HO1L 21/28 (2006.01)	HO1L 29/78 616U	
HO1L 29/417 (2006.01)	HO1L 29/78 616V	
審査請求 未請求 請求項の数 7 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2015-164034 (P2015-164034)
 (22) 出願日 平成27年8月21日 (2015.8.21)

(71) 出願人 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 吉川 貴文
 兵庫県姫路市飾磨区妻鹿日田町1-6 パ
 ナソニック液晶ディスプレイ株式会社内
 (72) 発明者 渡邊 竜太
 兵庫県姫路市飾磨区妻鹿日田町1-6 パ
 ナソニック液晶ディスプレイ株式会社内
 Fターム(参考) 2H192 AA24 BB13 CB05 CB35 CB52
 CC72 DA32 HA11 HA44 HA63
 HA64

最終頁に続く

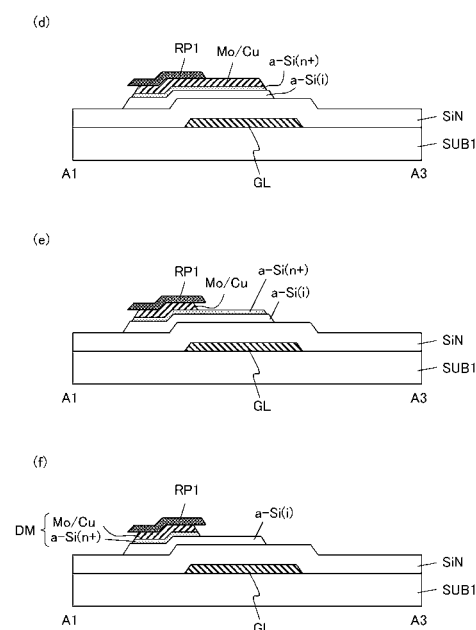
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 TFT特性の劣化を抑えることができる液晶表示装置の製造方法を提供する。

【解決手段】 液晶表示装置の製造方法は、ゲート絶縁膜上にi型アモルファスシリコン膜とn+型アモルファスシリコン膜と金属層とを順に成膜する工程と、レジストパターンを用いて前記金属層の一部をエッチング除去する工程と、前記レジストパターンの一部をアッシング除去するとともに前記n+型アモルファスシリコン膜上に酸化膜を形成する工程と、前記レジストパターンを用いて前記酸化膜と前記n+型アモルファスシリコン膜と前記i型アモルファスシリコン膜とをエッチング除去する工程と、前記金属層をエッチング除去する工程と、前記n+型アモルファスシリコン膜を除去する工程と、を含む。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

ガラス基板上にゲート信号線を形成する工程と、
前記ゲート信号線を覆うようにゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜上に、薄膜トランジスタの半導体層となる i 型アモルファスシリコン膜と、ドレイン電極及びソース電極となる、n + 型アモルファスシリコン膜及び金属層と、を順に成膜する工程と、
レジストパターンを用いて前記金属層の一部をエッチング除去する工程と、
前記レジストパターンの一部をアッシング除去するとともに、前記金属層の一部をエッチングして露出された前記 n + 型アモルファスシリコン膜上に酸化膜を形成する工程と、
前記レジストパターンを用いて、前記酸化膜と前記 n + 型アモルファスシリコン膜と前記 i 型アモルファスシリコン膜とをエッチング除去する工程と、
前記アッシングにより露出された前記金属層をエッチング除去する工程と、
前記金属層をエッチングして露出された前記 n + 型アモルファスシリコン膜を除去して、前記薄膜トランジスタの半導体層とドレイン電極とソース電極とを形成する工程と、
を含むことを特徴とする液晶表示装置の製造方法。

10

【請求項 2】

前記レジストパターンを用いて、前記酸化膜と前記 n + 型アモルファスシリコン膜と前記 i 型アモルファスシリコン膜とを、一括でエッチング除去して、前記ゲート絶縁膜を露出させる、
ことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

20

【請求項 3】

前記 n + 型アモルファスシリコン膜上に前記酸化膜が残らないように、前記酸化膜と前記 n + 型アモルファスシリコン膜と前記 i 型アモルファスシリコン膜とをエッチング除去する、
ことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 4】

前記薄膜トランジスタのチャネル領域を構成する前記 i 型アモルファスシリコン膜上に前記 n + 型アモルファスシリコン膜が残らないように、前記 n + 型アモルファスシリコン膜を除去する、
ことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

30

【請求項 5】

前記金属層は、Mo / Cu の積層膜からなる、
ことを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 6】

ゲート電極とドレイン電極とソース電極とアモルファスシリコンからなる半導体層とを含む薄膜トランジスタと、
前記ゲート電極に電氣的に接続されたゲート信号線と、
前記ドレイン電極に電氣的に接続されたデータ信号線と、
前記ソース電極に電氣的に接続された画素電極と、
を含み、
前記薄膜トランジスタのチャネル領域に対応する前記半導体層上には、n + 型アモルファスシリコン膜が形成されていない、
ことを特徴とする液晶表示装置。

40

【請求項 7】

前記 n + 型アモルファスシリコン膜上に酸化膜が形成されていない、
ことを特徴とする請求項 6 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

従来の液晶表示装置における薄膜トランジスタTFTの製造工程（例えば特許文献1参照）では、例えば、ガラス基板上に形成したゲート信号線を覆うようにゲート絶縁膜を成膜し、その上に、アモルファスシリコンa-Si及び金属層を順に成膜する。その後、レジストパターンを用いて、金属層及びアモルファスシリコンを順にエッチング除去した後、TFTのチャネル領域に相当する部分のレジストパターンを、アッシングにより除去する。そして、レジストパターンをアッシング除去して露出した部分の金属層をエッチング除去することにより、チャネル領域を形成する。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-76736号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記従来の製造工程によれば、TFTのチャネル領域に相当する領域のレジストパターンをアッシングした際にa-Si膜上に酸化膜が形成され、その後のエッチング工程において、酸化膜の部分がエッチングされず、n+型a-Si膜の膜残りが生じる。これにより、TFTのチャネル領域の周辺において電氣的な導通領域が残ることにより電氣的な悪影響が生じTFT特性が劣化する。

20

【0005】

本発明は、上記実情に鑑みてなされたものであり、その目的は、TFT特性の劣化を抑えることができる液晶表示装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明に係る液晶表示装置の製造方法は、ガラス基板上にゲート信号線を形成する工程と、前記ゲート信号線を覆うようにゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、薄膜トランジスタの半導体層となるi型アモルファスシリコン膜と、ドレイン電極及びソース電極となる、n+型アモルファスシリコン膜及び金属層と、を順に成膜する工程と、レジストパターンを用いて前記金属層の一部をエッチング除去する工程と、前記レジストパターンの一部をアッシング除去するとともに、前記金属層の一部をエッチングして露出された前記n+型アモルファスシリコン膜上に酸化膜を形成する工程と、前記レジストパターンを用いて、前記酸化膜と前記n+型アモルファスシリコン膜と前記i型アモルファスシリコン膜とをエッチング除去する工程と、前記アッシングにより露出された前記金属層をエッチング除去する工程と、前記金属層をエッチングして露出された前記n+型アモルファスシリコン膜を除去して、前記薄膜トランジスタの半導体層とドレイン電極とソース電極とを形成する工程と、を含むことを特徴とする。

30

【0007】

本発明に係る液晶表示装置の製造方法では、前記レジストパターンを用いて、前記酸化膜と前記n+型アモルファスシリコン膜と前記i型アモルファスシリコン膜とを、一括でエッチング除去して、前記ゲート絶縁膜を露出させてもよい。

40

【0008】

本発明に係る液晶表示装置の製造方法では、前記n+型アモルファスシリコン膜上に前記酸化膜が残らないように、前記酸化膜と前記n+型アモルファスシリコン膜と前記i型アモルファスシリコン膜とをエッチング除去してもよい。

【0009】

本発明に係る液晶表示装置の製造方法では、前記薄膜トランジスタのチャネル領域を構成する前記i型アモルファスシリコン膜上に前記n+型アモルファスシリコン膜が残らな

50

いように、前記 $n +$ 型アモルファスシリコン膜を除去してもよい。

【0010】

本発明に係る液晶表示装置の製造方法では、前記金属層は、 Mo/Cu の積層膜からなっていない。

【0011】

また上記課題を解決するために、本発明に係る液晶表示装置は、ゲート電極とドレイン電極とソース電極とアモルファスシリコンからなる半導体層とを含む薄膜トランジスタと、前記ゲート電極に電氣的に接続されたゲート信号線と、前記ドレイン電極に電氣的に接続されたデータ信号線と、前記ソース電極に電氣的に接続された画素電極と、を含み、前記薄膜トランジスタのチャネル領域に対応する前記半導体層上には、 $n +$ 型アモルファスシリコン膜が形成されていない、ことを特徴とする。

10

【0012】

本発明に係る液晶表示装置では、前記 $n +$ 型アモルファスシリコン膜上に酸化膜が形成されていない。

【発明の効果】

【0013】

本発明に係る構成によれば、TFT特性の劣化を抑えることができる液晶表示装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【0014】

20

【図1】本発明の実施形態に係る液晶表示装置の全体構成を示す図である。

【図2】1つの画素の構成を示す平面図である。

【図3】図2のA1-A2切断線における断面図である。

【図4】図2のA1-A3切断線における断面図である。

【図5】TFT基板の製造方法における第1ホット工程を示す断面図である。

【図6】TFT基板の製造方法における第2ホット工程を示すA1-A2断面図である。

【図7】TFT基板の製造方法における第2ホット工程を示すA1-A2断面図である。

【図8】TFT基板の製造方法における第2ホット工程を示すA1-A3断面図である。

【図9】TFT基板の製造方法における第2ホット工程を示すA1-A3断面図である。

【図10】TFT基板の製造方法における第3ホット工程を示す断面図である。

30

【図11】TFT基板の製造方法における第4ホット工程を示す断面図である。

【発明を実施するための形態】

【0015】

本発明の実施形態について、図面を用いて以下に説明する。図1は、本実施形態に係る液晶表示装置の全体構成の概略を示す平面図である。液晶表示装置LCDは、画像表示領域DIAとこれを駆動する駆動回路領域とからなる。画像表示領域DIAには、隣り合うゲート信号線GL（走査線）と隣り合うデータ信号線DLとで囲まれた画素領域が、行方向及び列方向にマトリクス状に複数配列されている。なお、ゲート信号線GLが延在する方向を行方向、データ信号線DLが延在する方向を列方向とする。

【0016】

40

各画素領域ではアクティブマトリクス表示が行われる。具体的には、走査線駆動回路からゲート信号線GL1、GL2、…、GLnにゲート電圧が供給され、データ線駆動回路からデータ信号線DL1、DL2、…、DLmにデータ電圧が供給され、共通電極駆動回路から共通電極CIT（図2参照）に共通電圧（コモン電圧）が供給される。ゲート電圧による薄膜トランジスタTFTのオン/オフによってデータ電圧が画素電極PITに供給される。

【0017】

各画素領域には、液晶層における電圧低下を防止するために保持容量Cstgが形成されている。保持容量Cstgは、画素電極PITと共通電極CITとが絶縁膜を介して互いに重なる領域に形成される。共通電圧は、共通電極駆動回路から、画像表示領域DIA

50

に配置される共通電極 C I T へ供給される。共通電極 C I T には、共通電極 C I T の抵抗を低減するための複数の共通配線 C L が電氣的に接続されている。

【0018】

図 2 は、1つの画素の構成を示す平面図である。図 2 には、隣り合う 2 本のゲート信号線 G L と隣り合う 2 本のデータ信号線 D L とで囲まれた 1つの画素領域を示している。なお、図 2 は、薄膜トランジスタ基板（T F T 基板）の平面パターンを示している。

【0019】

各画素領域において、隣り合う 2 本のゲート信号線 G L と隣り合う 2 本のデータ信号線 D L の内側には画素電極 P I T が形成されている。複数の画素領域に共通して、共通電極 C I T が形成されている。共通電極 C I T には、画素領域に対応して複数のスリット（開口部）が設けられている。平面的に見て、データ信号線 D L の一部（ドレイン電極 D M ; 導通電極）と、薄膜トランジスタ T F T のソース電極 S M（導通電極）の一部が、半導体層 S E M に重なっている。画素電極 P I T は、コンタクトホール C O N（スルーホール）を介してソース電極 S M に電氣的に接続されている。共通配線 C L（図 1 参照）は、ゲート信号線 G L と平行に行方向に延在して形成されている。共通配線 C L は、共通電極 C I T に電氣的に接続されている。共通配線 C L 及び共通電極 C I T は、1つの画素ごとに電氣的に接続されてもよいし、複数画素ごとに電氣的に接続されてもよい。

【0020】

ここで、液晶表示装置 L C D の駆動方法を簡単に説明する。ゲート信号線 G L は低抵抗の金属層で形成されており、走査線駆動回路から走査用のゲート電圧が印加される。また、データ信号線 D L は低抵抗の金属層で形成されており、データ線駆動回路から映像用のデータ電圧が印加される。ゲート信号線 G L にゲートオン電圧が印加されると、薄膜トランジスタ T F T の半導体層 S E M が低抵抗となり、データ信号線 D L に印加されたデータ電圧が、低抵抗の金属層で形成されたソース電極 S M を介して、ソース電極 S M に電氣的に接続された画素電極 P I T に伝達される。

【0021】

共通電圧は、共通電極駆動回路から共通配線 C L を介して共通電極 C I T に印加される。共通電極 C I T は、絶縁膜を介して画素電極 P I T に重なっている。共通電極 C I T には、1画素領域内にスリットが形成されている。共通電極 C I T のスリットを介して、画素電極 P I T から液晶層を経て共通電極 C I T に至る駆動用電界により液晶層が駆動され、画像が表示される。なお、カラー表示を行う場合は、縦ストライプ状のカラーフィルタで形成された赤（R）色、緑（G）色、青（B）色に対応するそれぞれの画素領域の画素電極 P I T に接続されたデータ信号線 D L 1（R）、D L 2（G）、D L 3（B）に所望のデータ電圧を印加することにより実現される。

【0022】

なお、共通電極 C I T のスリットの形状は、特に限定されず、細長形状であってもよいし、矩形状や楕円状等、一般的な開口部であってもよい。また、スリットの幅は、隣り合うスリット間の距離よりも大きくてもよいし小さくてもよい。

【0023】

次に、画素の断面構造について以下に説明する。図 3 は、図 2 の A 1 - A 2 切断線における断面図を示し、図 4 は、図 2 の A 1 - A 3 切断線における断面図である。図 2 及び図 3 の断面図では、T F T 基板の断面構造を示し、カラーフィルタ基板（C F 基板）の断面構造は省略している。C F 基板は周知の構造を適用することができる。

【0024】

液晶表示装置 L C D は、C F 基板と、T F T 基板と、両基板間に挟持された液晶層とを含んでいる。液晶層には、電界方向に沿って液晶分子の長軸が揃うボジ型の液晶分子が封入されている。

【0025】

T F T 基板の透明基板 S U B 1（ガラス基板）上には、ゲート信号線 G L（ゲート電極）が形成されており、ゲート信号線 G L を覆うように、ゲート絶縁膜 S i N が形成されて

いる。ゲート絶縁膜 SiN 上には、アモルファスシリコン (a-Si) からなる半導体層 SEM 、薄膜トランジスタ TFT のドレイン電極 DM 及びソース電極 SM が形成されている。ドレイン電極 DM 及びソース電極 SM は、半導体層 SEM の上に形成されている。ドレイン電極 DM 及びソース電極 SM を覆うように、第 1 保護絶縁膜 PAS1 が形成されており、ソース電極 SM 上の第 1 保護絶縁膜 PAS1 にはコンタクトホール CON が形成されている。第 1 保護絶縁膜 PAS1 上及びコンタクトホール CON 内には画素電極 PIT が形成されており、これにより画素電極 PIT とソース電極 SM とは電氣的に接続されている。画素電極 PIT を覆うように第 2 保護絶縁膜 PAS2 が形成されており、第 2 保護絶縁膜 PAS2 上に共通電極 CIT が形成されている。

【0026】

また、図 4 に示すように、半導体層 SEM 上におけるソース電極 SM が形成されない領域には、 $\text{n}+$ 型 a-Si 膜が形成されておらず、平坦な構造となっている。なお、図 3 及び図 4 に示すように、液晶表示装置 LCD は、 IPS 方式の構成を有しているが、本発明の液晶表示装置はこれに限定されない。例えば、共通電極 CIT が CF 基板に形成されていてもよい。また、図示はしていないが、 TFT 基板には偏光板、配向膜等、一般的な構成部材が含まれる。

【0027】

次に、 TFT 基板の製造方法について、図 5 から図 11 を用いて説明する。各図はおおよそ 1 回のホット工程に対応し、基本的にはホットパターン加工となる薄膜の成膜から、ホットレジスト塗布、露光、現像、及び薄膜のパターン加工までを 1 回のホット工程として説明する。ホットレジスト自身の剥離工程については、図面上は省略している。各ホット工程での詳細な手順は、各図の (a)、(b)、(c) … の断面図で表している。

【0028】

まず、第 1 ホット工程を図 5 に示す。ガラス基板など透明基板 SUB1 上に、スパッタ法を用いて、厚さ 200nm の、例えば、 Cr 、 Mo の単膜あるいは下部より Al 、 Mo の積層膜、あるいは MoW などの合金の金属膜 g1 を成膜する。そして、この金属膜上に所定のレジストパターン RP1 を形成した後、それをマスクとして金属膜 g1 をエッチングする。このパターン化された金属膜 g1 は、ゲート信号線 GL を構成する。

【0029】

次に、第 2 ホット工程を図 6 ～図 9 に示す。なお、図 6 及び図 7 は、図 2 の A1-A2 断面を示し、図 8 及び図 9 は、図 2 の A1-A3 断面を示している。

【0030】

全面にプラズマ CVD 法を用いて、 SiN 膜または SiN 膜と SiO_2 膜の 2 層膜からなる厚さ 350nm の絶縁膜、厚さ 250nm のノンドープの i 型 a-Si 膜、厚さ 50nm の $\text{n}+$ 型 a-Si 膜を成膜する。引き続き、スパッタ法を用いて、厚さ 200nm の例えば Mo 、 Cr の単膜あるいは Mo/Cu の積層膜、 Mo/Al/Mo の積層膜、あるいは MoW のような合金膜を成膜する。ここでは、 Mo/Cu の積層膜 (金属層 Mo/Cu) を示している。

【0031】

次に、この金属層 Mo/Cu 上に所定のレジストパターンを形成する。図 6 (a) 及び図 8 (a) のレジストパターン RP1 、 RP2 は 1 回の露光、現像で厚さの異なるレジストパターン領域を形成する。この厚さの異なるレジストパターンを 1 回の露光、現像で形成することが、 TFT 基板の製造工程を削減し、歩留まりの向上を実現する。レジストパターンを異ならせる方法を図 6 のホットマスク基板 MASUB で説明する。ホット工程でのホットマスクはレジストが全面に塗布された TFT 基板上に、一定の隙間を置いて配置される。ホットマスクには、 Cr を所定の厚さにした不透明領域 MSK1 、一定の光透過が可能な MoSi を薄く成膜した領域 MSK2 、その他の透明領域を有する構造とする。レジストとしてポジレジストを用いた場合、露光、現像後のレジスト厚さは、不透明の MSK1 領域では成膜後の膜厚に略近い厚さ、半透過の MSK2 領域では成膜中の膜厚より 10 から 90 % 低減された厚さ、その他の透明領域では、レジストは洗浄され残らない。従って

10

20

30

40

50

、ホットマスク基板M A S U Bのパターンを不透明、半透過、透明の3領域にすることで、T F T基板上のレジストパターンを厚さの異なるR P 1、R P 2を1回の露光、現像工程で実現できる。次工程以降において、レジストパターンR P 1の領域は、薄膜トランジスタT F Tの信号配線（データ信号線D L）、ソース電極S M及びドレイン電極D Mを形成し、レジストパターンR P 2領域は、薄膜トランジスタT F Tのチャネル領域を形成する。

【0032】

T F T基板上に1回の露光、現像で厚さの異なるレジストパターンを形成するホットマスク製造方法は、上記の半透過の金属M S K 2を形成する以外に、M S K 2領域を厚さはM S K 1領域と同じ金属膜をメッシュ状にして、レジストへの露光量を低減させるハーフトーンマスクを用いることもできる。

10

【0033】

次に、本工程の断面図（図6（b）及び図8（b））で、この金属層M o / C u上の所定のレジストパターンをマスクとして、金属層M o / C uをエッチングする。エッチングはウェットエッチングで行い、例えば、過酸化水素及び有機酸を主成分とするエッチング液で行う。

【0034】

次に、図6（c）及び図8（c）に示すように、O₂ H eガスを用いたドライハーファッシングを用いて、薄膜トランジスタT F Tのチャネル領域にある薄いレジストパターンR P 2を除去する、この際に厚いレジストパターンR P 1の厚さも減少するが、ホットレジストパターンとしては残るようにアッシング条件を調整する。このアッシング工程により、n+型a-S i膜上には、酸化膜が形成される。

20

【0035】

次に、図7（d）及び図9（d）に示すように、所定のレジストパターンR P 1をマスクとして、酸化膜、n+型a-S i膜、及びi型a-S i膜をエッチングする。エッチングは真空装置内でのドライエッチングで行い、例えば、S F₆あるいはC F₄を含むガスにC l₂を添加したガスで行う。これにより、酸化膜、n+型a-S i膜、及びi型a-S i膜を一括エッチングすることができる。本工程により、酸化膜が除去される。

【0036】

次に、図7（e）及び図9（e）に示すように、レジストパターンR P 1をマスクとして、金属層M o / C uをエッチングする。次に、図7（f）及び図9（f）に示すように、レジストパターンR P 1をマスクとして、n+型a-S i膜を除去する。

30

【0037】

上記のように、半透過マスクを用いることにより、製造工程の短縮とこれによる歩留まり向上が実現できる。また、本製造工程では、金属層M o / C uをエッチング除去した後、a-S i膜をエッチング除去する前に、アッシングによりa-S i膜上に酸化膜を形成し、その後に、エッチングを行って、酸化膜及びa-S i膜を除去している。このため、図9（f）に示すように、i型a-S i膜（半導体層S E M）上におけるソース電極S Mが形成されない領域には、n+型a-S i膜が形成されず平坦な構造となり、また、a-S i膜のはみ出し量を抑えることができる。よって、i型a-S i膜上にn+型a-S i膜が残ることにより生じる、短絡等の電氣的な悪影響を回避することができるため、T F T特性の劣化を抑えることができる。

40

【0038】

次に、T F T基板の第3ホット工程以降を図10及び図11で示す。上記工程を経たT F T基板の全面に、C V D法を用いてS i N膜からなる厚さ400nmの第1保護絶縁膜P A S 1を成膜する。次に、レジストを塗布した後、ホット法を用いてソース電極S M上に開口部を持つレジストパターンR P 1を形成する。そして、そのレジストパターンR P 1をマスクとして第1保護絶縁膜P A S 1を開口し、コンタクトホールC O Nを形成する。次に、図11に示すように、全面に、スパッタ法を用いて、厚さ140nmのI T OあるいはI Z Oからなる透明導電膜I T Oを成膜する。次に、レジストパターンR P 1を形成し

50

、これをマスクとしてこの透明導電膜 I T O を加工し、画素電極 P I T を形成する。なお、透明導電膜 I T O を加工して、画素電極 P I T 及び共通電極 C I T を同層に形成してもよい。この場合、画素電極 P I T 及び共通電極 C I T を、櫛歯状に形成してもよい。また図 3 及び図 4 に示すように、共通電極 C I T を画素電極 P I T 上に形成する場合には、その後の工程において、第 2 保護絶縁膜 P A S 2 及び透明導電膜 I T O を積層して、共通電極 C I T を形成してもよい。

【0039】

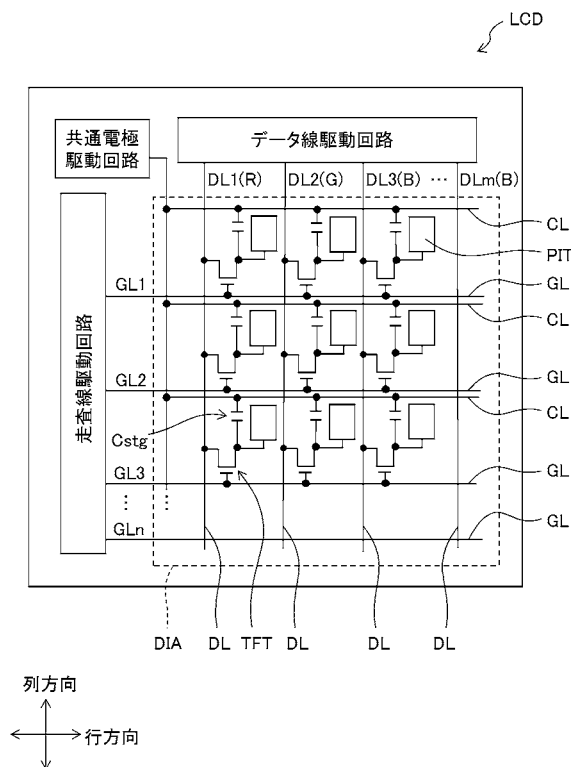
以上、本発明の一実施形態について説明したが、本発明は上記各実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で上記各実施形態から当業者が適宜変更した形態も本発明の技術的範囲に含まれることは言うまでもない。

【符号の説明】

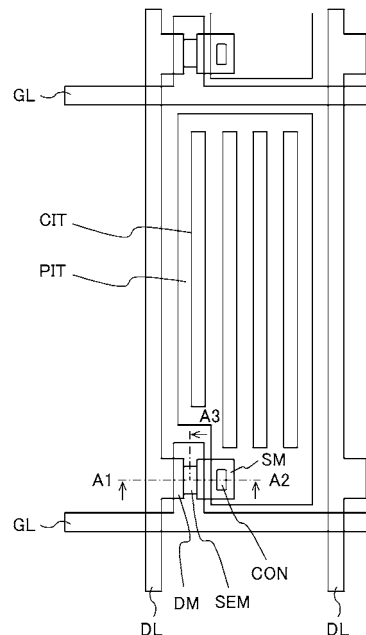
【0040】

L C D 液晶表示装置、D I A 画像表示領域、S U B 1 透明基板、T F T 薄膜トランジスタ、I T O 透明電極材料、I T O 1 透明導電膜、G L ゲート信号線、S i N ゲート絶縁膜、P A S 1 第 1 保護絶縁膜、P A S 2 第 2 保護絶縁膜、D L データ信号線、S M ソース電極、D M ドレイン電極、S E M 半導体層、C I T 共通電極、P I T 画素電極、C L 共通配線、C O N コンタクトホール、C s t g 保持容量、M o / C u 金属層、a - S i アモルファスシリコン、R P レジストパターン、M S K ホトマスク、M A S U B ホトマスク基板。

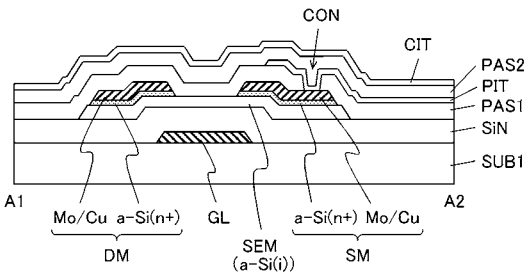
【図 1】



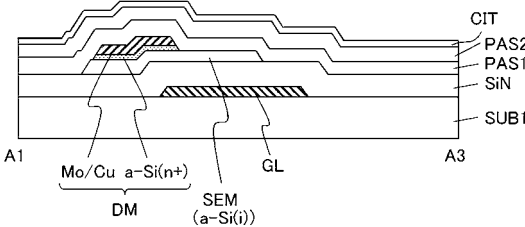
【図 2】



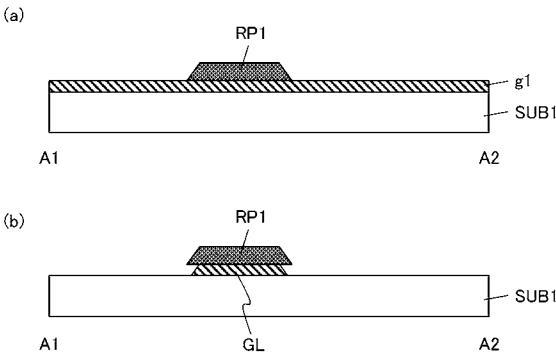
【図 3】



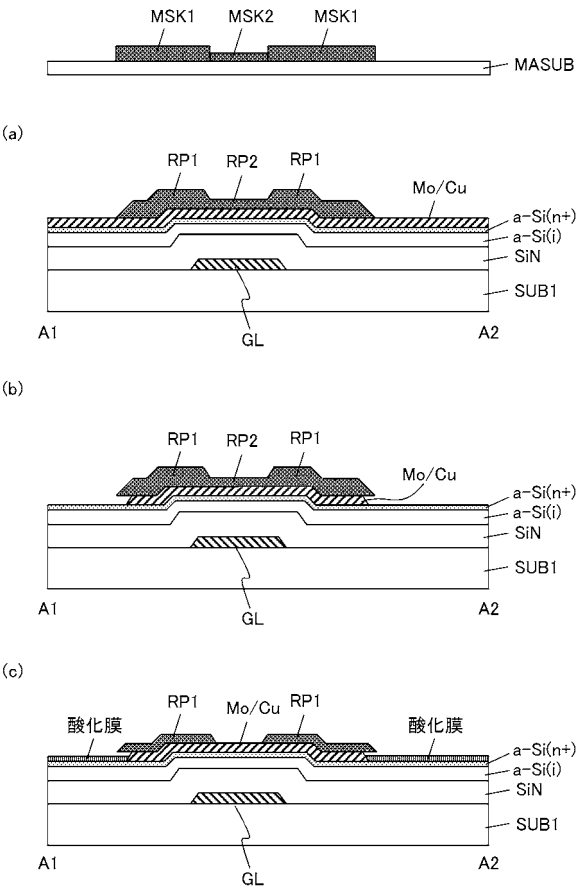
【図 4】



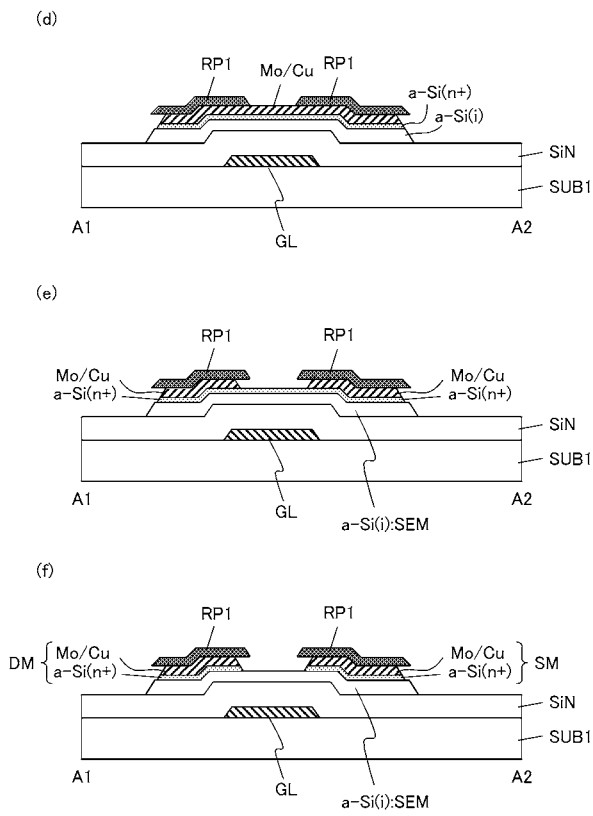
【図 5】



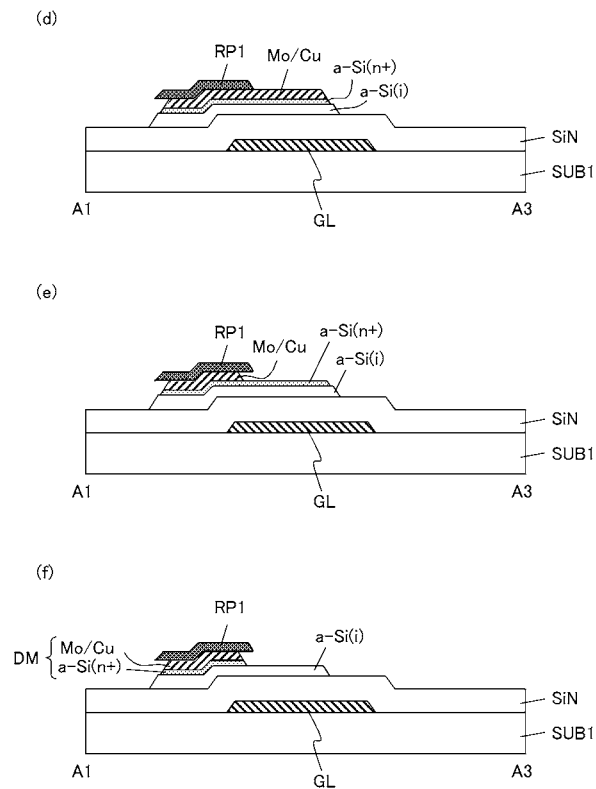
【図 6】



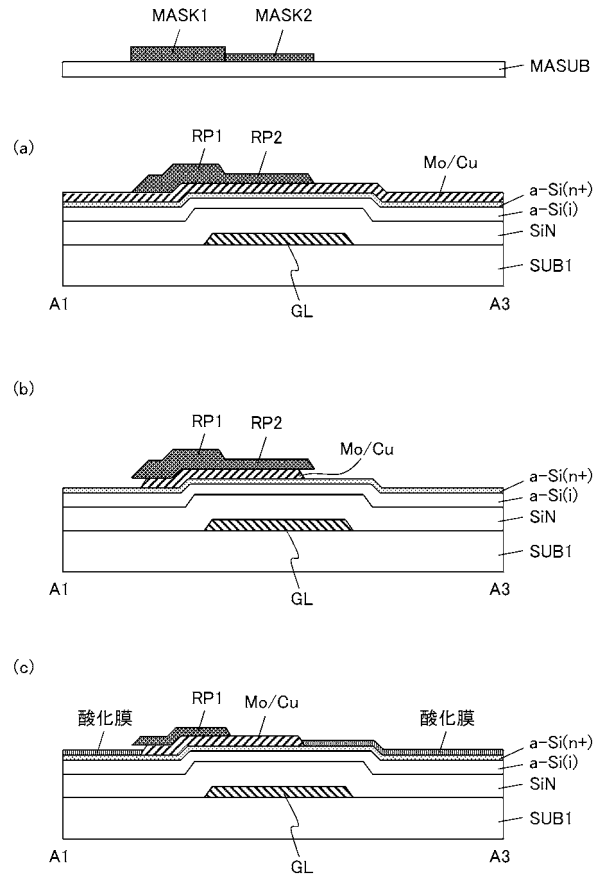
【図 7】



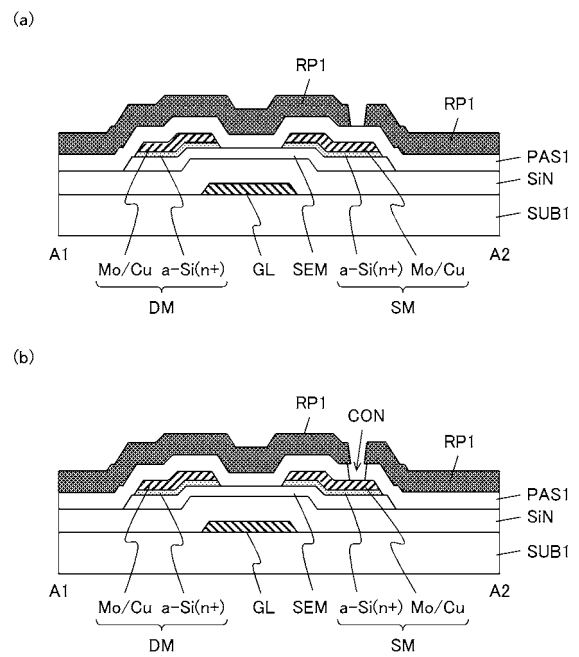
【図 9】



【図 8】

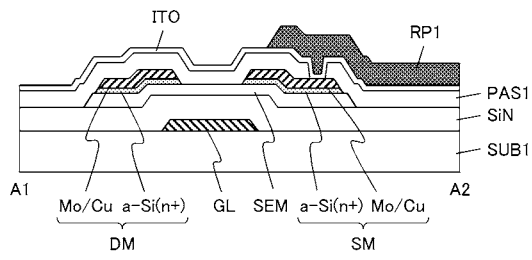


【図 10】

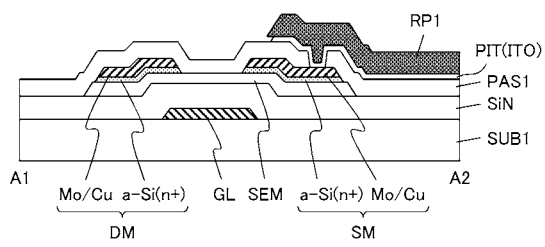


【図 1 1】

(a)



(b)



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H O 1 L 21/28	3 O 1 R
	H O 1 L 21/28	E
	H O 1 L 29/50	M

F ターム(参考)	4M104	AA01	AA08	AA09	BB01	BB04	BB13	BB16	BB40	CC01	DD37
		DD43	DD62	DD64	DD65	DD72	EE03	EE17	FF13	GG09	GG14
											HH20
	5F110	AA16	AA26	BB01	CC07	DD02	EE03	EE04	EE06	EE14	EE44
		FF02	FF03	FF09	FF30	GG02	GG15	GG24	GG35	GG45	HK02
		HK03	HK04	HK06	HK09	HK16	HK21	HK22	HK25	HK33	HK35
		HL07	HL23	HM02	HM18	NN04	NN24	NN35	NN72	NN73	QQ02
		QQ03	QQ04	QQ05	QQ09						

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2017040883A	公开(公告)日	2017-02-23
申请号	JP2015164034	申请日	2015-08-21
申请(专利权)人(译)	松下液晶显示器有限公司		
[标]发明人	吉川貴文 渡邊竜太		
发明人	吉川 貴文 渡邊 竜太		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 H01L21/28 H01L29/417		
FI分类号	G02F1/1368 H01L29/78.616.K H01L29/78.612.D H01L29/78.616.U H01L29/78.616.V H01L21/28.301.R H01L21/28.E H01L29/50.M		
F-TERM分类号	2H192/AA24 2H192/BB13 2H192/CB05 2H192/CB35 2H192/CB52 2H192/CC72 2H192/DA32 2H192/HA11 2H192/HA44 2H192/HA63 2H192/HA64 4M104/AA01 4M104/AA08 4M104/AA09 4M104/BB01 4M104/BB04 4M104/BB13 4M104/BB16 4M104/BB40 4M104/CC01 4M104/DD37 4M104/DD43 4M104/DD62 4M104/DD64 4M104/DD65 4M104/DD72 4M104/EE03 4M104/EE17 4M104/FF13 4M104/GG09 4M104/GG14 4M104/HH20 5F110/AA16 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG24 5F110/GG35 5F110/GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HL07 5F110/HL23 5F110/HM02 5F110/HM18 5F110/NN04 5F110/NN24 5F110/NN35 5F110/NN72 5F110/NN73 5F110/QQ02 5F110/QQ03 5F110/QQ04 5F110/QQ05 5F110/QQ09		
外部链接	Espacenet		

摘要(译)

提供一种制造能够抑制TFT特性劣化的液晶显示装置的方法。一种制造液晶显示装置的方法，包括以下步骤：在栅极绝缘膜上依次形成i型非晶硅膜，n+型非晶硅膜和金属层；使用其中一个金属层通过灰化去除部分抗蚀剂图案并在n+型非晶硅膜上形成氧化膜蚀刻掉抗蚀剂图案和i型非晶硅膜和n+型非晶硅膜，并通过使用蚀刻掉金属层的步骤中的氧化膜的步骤中，n+型非晶硅膜被去除包括的，一个步骤。

