

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-210310

(P2015-210310A)

(43) 公開日 平成27年11月24日(2015. 11. 24)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1345 (2006.01)	GO2F 1/1345	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
GO2F 1/1343 (2006.01)	GO2F 1/1343	

審査請求 未請求 請求項の数 3 O L (全 18 頁)

(21) 出願番号	特願2014-90074 (P2014-90074)	(71) 出願人	000103747
(22) 出願日	平成26年4月24日 (2014. 4. 24)		京セラディスプレイ株式会社
			滋賀県野洲市市三宅641-1
		(72) 発明者	西出 雅彦
			滋賀県野洲市市三宅641-1 京セラディスプレイ株式会社内
		(72) 発明者	小倉 健彦
			滋賀県野洲市市三宅641-1 京セラディスプレイ株式会社内
		Fターム(参考)	2H092 GA60 JA26 JA36 JB51 JB69
			JB77 JB79 NA25 PA09
			2H192 AA24 CB05 CB71 CB83 DA12
			DA44 DA63 EA13 FB22 GA15
			HB04 HB13

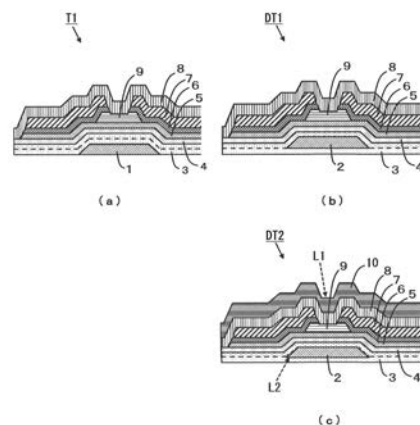
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 検査用TFT素子を小さくして液晶表示パネルの額縁領域を狭くすること、また光リーク電流が生じにくい検査用TFT素子を有するLCDとすること。

【解決手段】 LCDは、基板上の表示領域に第1の方向に形成された複数本の第1のゲート信号線1 (G1~Gn) と、基板上の表示領域周辺の非表示領域に形成された第2のゲート信号線2 (Gd1,Gd2) と、第1の方向と交差する第2の方向に第1のゲート信号線1と交差させて形成された複数本の画像信号線S1~Smと、第1のゲート信号線1と画像信号線S1~Smの交差部における第1のゲート信号線1上に形成された画素用TFT素子11 (T1) と、第2のゲート信号線2上に形成された検査用TFT素子13, 14 (DT1) と、を有しており、第2のゲート信号線2は、第1のゲート信号線1を覆うゲート絶縁層上に形成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板上の表示領域に第 1 の方向に形成された複数本の第 1 のゲート信号線と、前記基板の上の前記表示領域周辺の非表示領域に形成された第 2 のゲート信号線と、前記第 1 の方向と交差する第 2 の方向に前記第 1 のゲート信号線と交差させて形成された複数本の画像信号線と、前記第 1 のゲート信号線と前記画像信号線の交差部における前記第 1 のゲート信号線上に形成された画素用薄膜トランジスタ素子と、前記第 2 のゲート信号線上に形成された検査用薄膜トランジスタ素子と、を有しており、前記第 2 のゲート信号線は、前記第 1 のゲート信号線を覆うゲート絶縁層上に形成されている液晶表示装置。

【請求項 2】

前記表示領域に前記第 1 のゲート信号線に沿って形成された画素容量線と、前記第 1 のゲート信号線及び前記画素容量線と前記画像信号線の交差部における前記画素容量線の上に形成された画素容量素子と、を有しており、前記画素容量線は、前記第 1 のゲート信号線を覆う前記ゲート絶縁層上に形成されている請求項 1 に記載の液晶表示装置。

【請求項 3】

前記検査用薄膜トランジスタ素子は、遮光膜によって覆われている請求項 1 または請求項 2 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、検査用薄膜トランジスタ素子を有する液晶表示装置（Liquid Crystal Display：LCD）に関するものである。

【背景技術】

【0002】

従来のアクティブマトリクス型の LCD の基本構成の 1 例を図 5 に示す。例えば、画素用薄膜トランジスタ（Thin Film Transistor：TFT）素子 21 を含む画素電極部（P11～Pnm）が多数形成されたアレイ側基板は、その上面の第 1 の方向（例えば、行方向）に形成された複数本の第 1 のゲート信号線 G1, G2, G3・・・Gn 及び画素容量線 CS1, CS2, CS3・・・CSn と、第 1 の方向と交差する第 2 の方向（例えば、列方向）に第 1 のゲート信号線 G1～Gn 及び画素容量線 CS1～CSn と交差させて形成された複数本の画像信号線 S1, S2, S3・・・Sm と、第 1 のゲート信号線 G1～Gn 及び画素容量線 CS1～CSn と画像信号線 S1～Sm の交差部に形成された、画素用 TFT 素子 21、画素電極及びその画素電極との間で液晶に印加する横電界等の電界を形成するための共通電極（基準電極）を含む画素電極部 P11, P12, P13,・・・Pnm と、共通電極に共通電圧（Vcom）を供給する共通電圧線 26 と、を有する構成である。

【0003】

第 1 のゲート信号線 G1～Gn は画素用 TFT 素子 21 に接続されており、画素容量線 CS1～CSn は、各画素電極部 P11～Pnm に形成されている画素容量素子 22 に接続されている。アレイ側基板の上面の表示領域周辺の非表示領域には、第 2 のゲート信号線 Gd1, Gd2 に接続された検査用 TFT 素子 23, 24 が形成されている。検査用 TFT 素子 23, 24 は、画素電極部 P11～Pnm の画素用 TFT 素子 21 と同様の製造工程で同時的に作製されたものであり、画素用 TFT 素子 21 と同様の構成を有する。なお、図 5 において、27 はゲート信号線駆動回路、28 は画像信号（ソース信号）線駆動回路である。図 5 の構成において、基板上に、ゲート信号線駆動回路に代えて第 1 のゲート信号線 G1～Gn にゲート信号を入力するための入力端子が形成されている場合もある。

【0004】

検査用 TFT 素子 23 は、画質検査用ゲートパルス（Gtest）を第 1 のゲート信号線 G1～Gn に入力するためのものである。そして、検査用 TFT 素子 23 は、第 2 のゲート線 Gd1 から入力されたゲート信号によってソース・ドレイン間のチャネルが導通し、その状態で画質検査用ゲートパルス線 Sd1 から入力された画質検査用ゲートパルス（Gtest）が検査用 TFT 素子 23 のソース・ドレイン間を通過して第 1 のゲート信号線 G1～Gn に入力される。なお、23a は第 2 のゲート線 Gd1 にゲ

10

20

30

40

50

ート信号を入力するための入力端子、23bは画質検査用ゲートパルス線Sd1に画質検査用ゲートパルスを入力するための入力端子である。

【0005】

検査用TFT素子24は、画質検査用画像信号を画像信号線S1～Smに入力するためのものである。そして、検査用TFT素子24は、第2のゲート線Gd2から入力されたゲート信号によってソース・ドレイン間のチャンネルが導通し、その状態で画質検査用画像信号線Sd2から入力された画質検査用画像信号が検査用TFT素子24のソース・ドレイン間を通過して画像信号線S1～Smに入力される。なお、24aは第2のゲート線Gd2にゲート信号を入力するための入力端子、24bは画質検査用画像信号線Sd2に画質検査用画像信号を入力するための入力端子である。

10

【0006】

図6は他の従来例を示すものであり、図5の構成において、静電気放電(Electro-Static Discharge: ESD)対策用の双方向ダイオード25を、非表示領域の画像信号線S1～Smのそれぞれの画像信号線駆動回路28側に、並列的に接続したものである。双方向ダイオード25は、ソース電極とドレイン電極を共通接続した2つのTFT素子から成り、1方のTFT素子のゲート電極とソース共通電極を接続線によって電氣的に接続し、他方のTFT素子のゲート電極とドレイン共通電極を接続線によって電氣的に接続して成り、例えばドレイン共通電極が共通電圧線26に接続されている。そして、例えば、双方向ダイオード25は、画像信号線駆動回路28側の入力端子等から過剰な静電気が画像信号線S1～Smを通過して画素電極部P11～Pnmに入り込むことを防ぐように機能する。即ち、過剰な静電気を、画素電極部P11～Pnm側へ通さずに、双方向ダイオード25を通して共通電圧線26に逃がす。この双方向ダイオード25は、非表示領域の第1のゲート信号線G1～Gnのそれぞれのゲート信号線駆動回路27側に、並列的に接続される場合もある。この場合にも、ゲート信号線駆動回路27側で発生した過剰な静電気を、画素電極部P11～Pnm側へ通さずに、双方向ダイオード25を通して共通電圧線26に逃がすように機能する。

20

【0007】

図5、図6のLCDにおけるTFT素子21(T2)、画素容量素子22(C2,C3)の拡大断面図を図7(a)、(b)に示す。図7(a)は、画素用TFT素子T2が構成される第1のゲート信号線31と、画素容量素子C2が構成される画素容量線32が、高さ方向において同位に形成された例を示すものであり、図7(b)は、画素容量線32aが高さ方向において第1のゲート信号線31よりも高位に形成された例を示すものである。図7(a)の構成の場合、第1のゲート信号線31と画素容量線32との間の距離を5μm程度と短くすると、製造時の露光工程で残留した金属粒子等によってそれらがショートしやすいという問題点がある。この問題点を解消するために、図7(b)の構成の画素容量素子C3が採用されている。この場合、第1のゲート信号線31と画素容量線32aとが横方向において近づいたとしても、高さ方向においてそれらの間には第1のゲート絶縁層33が存在するために、それらがショートすることはない。

30

【0008】

図7(a)、(b)において、第1のゲート信号線31上には、窒化珪素(SiNx)等から成る第1のゲート絶縁層33、窒化珪素(SiNx)等から成る第2のゲート絶縁層34、アモルファスシリコン(a-Si)半導体層35、n型a-Si半導体層36、a-Si半導体層35がエッチングされないようにするチャンネル部エッチングストッパー用の絶縁層39、ソース信号線及びドレイン信号線としての信号線37、窒化珪素(SiNx)等から成る保護絶縁層38が順次積層されている。

40

【0009】

図7(a)において、画素容量線32上には、第1のゲート絶縁層33、第2のゲート絶縁層34、アモルファスシリコン(a-Si)半導体層35、n型a-Si半導体層36、信号線37、保護絶縁層38が順次積層されている。図7(b)において、画素容量線32aは第1のゲート信号線31を覆う第1のゲート絶縁層33の部分層上に形成されている。第1のゲート絶縁層33の部分層とは、第1のゲート絶縁層33を複数工程に分けて形成した場合の各形成

50

工程での形成層であり、例えば 1 回目の形成層に相当する。第 1 のゲート絶縁層33上には、第 2 のゲート絶縁層34、アモルファスシリコン (a - S i) 半導体層35、 n 型 a - S i 半導体層36、信号線37、保護絶縁層38が順次積層されている。

【 0 0 1 0 】

図 8 (a) ~ (c) は従来の検査用 TFT 素子 (DT5, DT6) を示すものであり、図 8 (a) は図 7 (b) の構成の画素用 TFT 素子 T2 及び画素容量素子 C3 を示す拡大断面図、図 8 (b) は検査用 TFT 素子 DT5 の拡大断面図、図 8 (c) は検査用 TFT 素子 DT6 の拡大断面図である。図 8 (b) の検査用 TFT 素子 DT5 は、図 8 (a) の画素用 TFT 素子 T2 と同じ構成である。図 8 (c) の検査用 TFT 素子 DT6 は、図 8 (b) の検査用 TFT 素子 DT5 上に黒色樹脂遮光材料 (Black Matrix on Array : BOA) 等から成る遮光膜 40 が形成されたものである。また、
画素用 TFT 素子 T2 上にも遮光膜 40 が形成される場合がある。

10

【 0 0 1 1 】

また、他の従来例として、アレイ基板のゲート駆動用半導体チップが搭載される領域には、ゲート線に接続されてアレイ基板の周辺部に引き回された複数の引き回し線を導入し、アレイ基板のソース駆動用半導体チップが搭載される領域には、ソース線に接続されてアレイ基板の周辺部に引き回された複数本の引き回し線を導入し、これらの引き回し線にゲート駆動用半導体チップ及びソース駆動用半導体チップと接続する実装用端子をそれぞれ設け、これらの実装用端子のそれぞれから引出線を引出し、これらの引出線に検査用端子を形成しており、さらに、ゲート駆動用半導体チップが搭載される領域及びソース駆動用半導体チップが搭載される領域の少なくとも一方に形成された複数本の引出線を互いに隣接する引出線を 2 本ずつ組分けして一方を低位に、他方を間に絶縁層を介在させて高位に積層した液晶表示パネルが提案されている (特許文献 1 を参照) 。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 1 2 】

【 特許文献 1 】 特開 2 0 0 7 - 2 1 9 0 4 7 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

しかしながら、図 8 (b) に示した従来の検査用 TFT 素子 DT5 は、画素電極部の画素用 TFT 素子 T2 と同じ構成であるために、画素用 TFT 素子 T2 よりも大きさを小さくすることができず、その結果、検査用 TFT 素子 DT5 が位置する液晶表示パネルの額縁領域を狭くすることができなかった。また、図 8 (c) に示した従来の検査用 TFT 素子 DT6 は、上方から入射してくる光 L1 は遮光膜 40 によって遮光されるが、下方から入射してくる光 L2 の一部は a - S i 半導体層 35 に到達して光リーク電流を発生させるという問題点があった。また、特許文献 1 に開示された検査用端子は、配線の断線、短絡を検査するためのものであるにすぎない。

30

【 0 0 1 4 】

従って、本発明は上記問題点に鑑みて完成されたものであり、その目的は、検査用 TFT 素子の大きさを小さくして液晶表示パネルの額縁領域を狭くした LCD とすること、また光リーク電流が生じにくいことから表示画像の画質の劣化が有効に抑えられる検査用 TFT 素子を有する LCD とすることである。

40

【 課題を解決するための手段 】

【 0 0 1 5 】

本発明の液晶表示装置は、基板上の表示領域に第 1 の方向に形成された複数本の第 1 のゲート信号線と、前記基板上の前記表示領域周辺の非表示領域に形成された第 2 のゲート信号線と、前記第 1 の方向と交差する第 2 の方向に前記第 1 のゲート信号線と交差させて形成された複数本の画像信号線と、前記第 1 のゲート信号線と前記画像信号線の交差部における前記第 1 のゲート信号線上に形成された画素用薄膜トランジスタ素子と、前記第 2 のゲート信号線上に形成された検査用薄膜トランジスタ素子と、を有しており、前記第 2

50

のゲート信号線は、前記第 1 のゲート信号線を覆うゲート絶縁層上に形成されている構成である。

【 0 0 1 6 】

本発明の液晶表示装置は、好ましくは、前記表示領域に前記第 1 のゲート信号線に沿って形成された画素容量線と、前記第 1 のゲート信号線及び前記画素容量線と前記画像信号線の交差部における前記画素容量線の上に形成された画素容量素子と、を有しており、前記画素容量線は、前記第 1 のゲート信号線を覆う前記ゲート絶縁層上に形成されている。

【 0 0 1 7 】

また本発明の液晶表示装置は、好ましくは、前記検査用薄膜トランジスタ素子は、遮光膜によって覆われている。

【発明の効果】

【 0 0 1 8 】

本発明の液晶表示装置は、基板上の表示領域に第 1 の方向に形成された複数本の第 1 のゲート信号線と、基板上の表示領域周辺の非表示領域に形成された第 2 のゲート信号線と、第 1 の方向と交差する第 2 の方向に第 1 のゲート信号線と交差させて形成された複数本の画像信号線と、第 1 のゲート信号線と画像信号線の交差部における第 1 のゲート信号線の上に形成された画素用薄膜トランジスタ素子と、第 2 のゲート信号線の上に形成された検査用薄膜トランジスタ素子と、を有しており、第 2 のゲート信号線は、第 1 のゲート信号線を覆うゲート絶縁層上に形成されていることから、検査用薄膜トランジスタ素子上に存在するゲート絶縁層を薄くすることができ、その結果、検査用薄膜トランジスタ素子のソース電極とドレイン電極間に電流が流れやすくなるために、検査用薄膜トランジスタ素子を小さく形成することができる。これにより、液晶表示パネルの額縁領域を狭くすることができる。

【 0 0 1 9 】

また、検査用薄膜トランジスタ素子上に存在するゲート絶縁層を薄くすることができることから、検査用薄膜トランジスタ素子に下方から入射してくる光の光量を低減させることができる。その結果、検査用薄膜トランジスタ素子は、光リーク電流が生じにくいものとなる。これにより、光リーク電流による表示画像の画質の劣化を抑えることができる。即ち、通常の駆動時（検査駆動時ではない）にオフ状態の第 1 のゲート信号線、画像信号線から検査用薄膜トランジスタ素子を通して電流が漏れることを抑えることができる。

【 0 0 2 0 】

また、非表示領域に ESD 対策用の双方向ダイオードを設けた場合に、検査用薄膜トランジスタ素子と同様の構成の双方向ダイオードとすることにより、双方向ダイオードを構成する薄膜トランジスタ素子のソース電極とドレイン電極間に電流が流れやすくなるために、画素電極部に生じた静電気を双方向ダイオードを通して効果的に除去することができる。

【 0 0 2 1 】

本発明の液晶表示装置は、表示領域に第 1 のゲート信号線に沿って形成された画素容量線と、第 1 のゲート信号線及び画素容量線と画像信号線の交差部における画素容量線の上に形成された画素容量素子と、を有しており、画素容量線は、第 1 のゲート信号線を覆うゲート絶縁層上に形成されている場合、画素容量素子上に存在するゲート絶縁層を薄くすることができ、その結果、画素容量素子を小さく形成することができる。これにより、画素電極部の開口率を高くすることができる。

【 0 0 2 2 】

本発明の液晶表示装置は、検査用薄膜トランジスタ素子は、遮光膜によって覆われている場合、検査用薄膜トランジスタ素子に上方から入射してくる光を遮光することができるだけでなく、検査用薄膜トランジスタ素子の下方から入射してくる光の光量も低減できる。その結果、検査用薄膜トランジスタ素子は、光リーク電流が生じにくいものとなる。これにより、光リーク電流による表示画像の画質の劣化をより効果的に抑えることができる。即ち、通常の駆動時にオフ状態の第 1 のゲート信号線、画像信号線から検査用薄膜ト

10

20

30

40

50

ランジスタ素子を通して電流が漏れることを抑えることができる。

【図面の簡単な説明】

【0023】

【図1】図1(a)～(c)は、本発明のLCDについて実施の形態の1例を示す図であり、(a)は画素用TFT素子T1を示す拡大断面図、(b)は検査用TFT素子DT1の拡大断面図、(c)は検査用TFT素子DT2の拡大断面図である。

【図2】図2は、図1の構成のLCDの1例を示すブロック回路図である。

【図3】図3は、図1の構成のLCDの他例を示すブロック回路図である。

【図4】図4(a)～(c)は、本発明のLCDについて実施の形態の1例を示す図であり、(a)は画素用TFT素子T1及び画素容量素子C1を示す拡大断面図、(b)は検査用TFT素子DT3の拡大断面図、(c)は検査用TFT素子DT4の拡大断面図である。

10

【図5】図5は、図4の構成のLCDのブロック回路図である。

【図6】図6は、従来のLCDのブロック回路図である。

【図7】図7は、従来のLCDにおける画素用TFT素子(T2)及び画素容量素子(C2,C3)の拡大断面図であり、(a)は画素用TFT素子(T2)及び画素容量素子(C2)が高さ方向において同位にある例の拡大断面図、(b)は画素容量素子(C3)が高さ方向において画素用TFT素子(T2)よりも高位にある例の拡大断面図である。

【図8】図8(a)～(c)は、従来の検査用TFT素子(DT5,DT6)を示すものであり、(a)は図7(b)の構成の画素用TFT素子T2及び画素容量素子C3を示す拡大断面図、(b)は検査用TFT素子DT5の拡大断面図、(c)は検査用TFT素子DT6の拡大断面図である。

20

【発明を実施するための形態】

【0024】

以下、本発明のLCDの実施の形態について、図面を参照しながら説明する。但し、以下で参照する各図は、本発明のLCDの実施の形態における構成部材のうち、本発明のLCDを説明するための主要部を示している。従って、本発明に係るLCDは、図に示されていない回路基板、配線導体、制御IC、LSI等の周知の構成部材を備えていてもよい。

【0025】

本発明のLCDは、図1、図2に示すように、基板上の表示領域に第1の方向に形成された複数本の第1のゲート信号線1(G1,G2,G3・・・Gn)と、基板上の表示領域周辺の非表示領域に形成された第2のゲート信号線2(Gd1,Gd2)と、第1の方向と交差する第2の方向に第1のゲート信号線1(G1～Gn)と交差させて形成された複数本の画像信号線S1,S2,S3・・・Smと、第1のゲート信号線1(G1～Gn)と画像信号線S1～Smの交差部における第1のゲート信号線1(G1～Gn)上に形成された画素用TFT素子11(T1)と、第2のゲート信号線2(Gd1,Gd2)上に形成された検査用TFT素子13(DT1)と、を有しており、第2のゲート信号線2(Gd1,Gd2)は、第1のゲート信号線1(G1～Gn)を覆うゲート絶縁層上に形成されている。そのゲート絶縁層は、図1の構成の場合、第1のゲート絶縁層3の部分層であり、部分層とは、第1のゲート絶縁層3を複数工程に分けて形成した場合の各形成工程での形成層であり、例えば1回目の形成層に相当する。

30

【0026】

上記の構成により、検査用TFT素子13(DT1)上に存在するゲート絶縁層を薄くすることができ、その結果、検査用TFT素子13(DT1)のソース電極とドレイン電極間に電流が流れやすくなるために、検査用TFT素子13(DT1)を小さく形成することができる。これにより、液晶表示パネルの額縁領域を狭くすることができる。

40

【0027】

また、検査用TFT素子13(DT1)上に存在するゲート絶縁層を薄くすることができることから、検査用TFT素子13(DT1)に下方から入射してくる光L2の光量を低減させることができる。その結果、検査用TFT素子13(DT1)は、光リーク電流が生じにくいものとなる。これにより、光リーク電流による表示画像の画質の劣化を抑えることができる。即ち、通常の駆動時にオフ状態の第1のゲート信号線(G1～Gn)、画像信号線S1～Smから検査用TFT素子13(DT1)を通して電流が漏れることを抑えることができる。

50

【0028】

また、図3の好適な例に示すように、非表示領域の画像信号線S1~Smのそれぞれの画像信号線駆動回路18側に、ESD対策用の双方向ダイオード15を並列的に設けた場合、検査用TFT素子13(DT1)と同様の構成の双方向ダイオード15とすることにより、双方向ダイオード15を構成するTFT素子のソース電極とドレイン電極間に電流が流れやすくなる。その結果、画像信号線駆動回路18側の入力端子等から過剰な静電気が画像信号線S1~Smを通して画素電極部P11~Pnmに入り込むことを効果的に防ぐことができる。この双方向ダイオード15は、非表示領域の第1のゲート信号線G1~Gnのそれぞれのゲート信号線駆動回路17側にも、並列的に設けることができる。

【0029】

10

図2において、検査用TFT素子13は、画質検査用ゲートパルス線を第1のゲート信号線G1~Gnに入力するためのものである。そして、検査用TFT素子13は、第2のゲート線Gd1から入力されたゲート信号によってソース-ドレイン間のチャネルが導通し、その状態で画質検査用ゲートパルス線Sd1から入力された画質検査用ゲートパルスが検査用TFT素子13のソース-ドレイン間を通して第1のゲート信号線G1~Gnに入力される。なお、13aは第2のゲート線Gd1にゲート信号を入力するための入力端子、13bは画質検査用ゲートパルス線Sd1に画質検査用ゲートパルスを入力するための入力端子である。

【0030】

検査用TFT素子14は、画質検査用画像信号を画像信号線S1~Smに入力するためのものである。そして、検査用TFT素子14は、第2のゲート線Gd2から入力されたゲート信号によってソース-ドレイン間のチャネルが導通し、その状態で画質検査用画像信号線Sd2から入力された画質検査用画像信号が検査用TFT素子14のソース-ドレイン間を通して画像信号線S1~Smに入力される。なお、14aは第2のゲート線Gd2にゲート信号を入力するための入力端子、14bは画質検査用画像信号線Sd2に画質検査用画像信号を入力するための入力端子である。なお、画質検査用ゲートパルスの入力と画質検査用画像信号の入力は同時的に行われる。

20

【0031】

図3は本発明のLCDについて実施の形態の他例を示すものであり、図2の構成において、ESD対策用の双方向ダイオード15を、非表示領域の画像信号線S1~Smのそれぞれの画像信号線駆動回路18側に、並列的に接続したものである。双方向ダイオード15は、ソース電極とドレイン電極を共通接続した2つのTFT素子から成り、1方のTFT素子のゲート電極とソース共通電極を接続線によって電気的に接続し、他方のTFT素子のゲート電極とドレイン共通電極を接続線によって電気的に接続して成り、例えばドレイン共通電極が共通電圧線16に接続されている。そして、例えば、双方向ダイオード15は、画像信号線駆動回路18側の入力端子等から過剰な静電気が画像信号線S1~Smを通して画素電極部P11~Pnmに入り込むことを防ぐように機能する。即ち、過剰な静電気を、画素電極部P11~Pnm側へ通さずに、双方向ダイオード15を通して共通電圧線16に逃がす。この双方向ダイオード15は、非表示領域の第1のゲート信号線G1~Gnのそれぞれのゲート信号線駆動回路17側に、並列的に接続される場合もある。この場合にも、ゲート信号線駆動回路17側で発生した過剰な静電気を、画素電極部P11~Pnm側へ通さずに、双方向ダイオード15を通して共通電圧線16に逃がすように機能する。

30

40

【0032】

図1(a)において、第1のゲート信号線1上には、窒化珪素(SiNx)等から成る第1のゲート絶縁層3、窒化珪素(SiNx)等から成る第2のゲート絶縁層4、アモルファスシリコン(a-Si)半導体層5、n型a-Si半導体層6、a-Si半導体層5がエッチングされないようにするチャネル部エッチングストッパー用の絶縁層9、ソース信号線及びドレイン信号線としての信号線7、窒化珪素(SiNx)等から成る保護絶縁層8が順次積層されている。これにより、画像電極部P11~Pnmにある画素用TFT素子11(T1)が構成される。

【0033】

50

図1(b)において、第2のゲート信号線2は第1のゲート絶縁層3の下側部分層上に形成されており、第2のゲート信号線2上には、第1のゲート絶縁層3の上側部分層、第2のゲート絶縁層4、a-Si半導体層5、n型a-Si半導体層6、絶縁層9、信号線7、保護絶縁層8が順次積層されている。これにより、検査用TFT素子13(DT1)が非表示領域に形成される。

【0034】

図1(c)に示すように、検査用TFT素子13(DT2)は、黒色樹脂遮光材料(Black Matrix on Array:BOA)等から成る遮光膜10によって覆われていることが好ましい。この構成により、検査用TFT素子13(DT2)に上方から入射してくる光L1を遮光することができるだけでなく、検査用TFT素子13(DT2)の下方から入射してくる光L2の光量を低減できる。その結果、検査用TFT素子13(DT2)は、光リーク電流が生じにくいものとなる。これにより、光リーク電流による表示画像の画質の劣化を抑えることができる。遮光膜10の厚みは500nm~2000nm程度である。遮光膜10は画素用TFT素子11(T1)上にも形成されていてよい。

【0035】

第2のゲート信号線2は、第1のゲート信号線1の高さよりも50nm~250nm程度高いことが好ましい。50nm未満では、検査用TFT素子13(DT1,DT2)の小型化がなされにくくなる。250nmを超えると、第2のゲート信号線2上のゲート絶縁層が薄くなりすぎて製造の歩留まりが低下しやすくなる。因みにゲート絶縁層のトータルの厚みは300nm程度であり、その範囲内で前記高さを調整する必要がある。また、例えば、前記高さの差が150nm程度である場合、検査用TFT素子13(DT1,DT2)の下方から入射してくる光L2の光量を、従来の構成(図8(b))の検査用TFT素子DT5と比較して40%程度低減できる。

【0036】

図2は、図1に示す、本発明のアクティブマトリクス型のLCDの基本構成を示すブロック回路図である。図2のLCDにおいて、例えば、画素用TFT素子11を含む画素電極部(P11~Pnm)が多数形成されたアレイ側基板は、その上面の第1の方向(例えば、行方向)に形成された複数本の第1のゲート信号線G1~Gnと、第1の方向と交差する第2の方向(例えば、列方向)に第1のゲート信号線G1~Gnと交差させて形成された複数本の画像信号線S1~Smと、第1のゲート信号線G1~Gnと画像信号線S1~Smの交差部に形成された、画素用TFT素子11、画素電極及びその画素電極との間で液晶に印加する横電界等の電界を形成するための共通電極(基準電極)を含む画素電極部P11~Pnmと、共通電極に共通電圧(Vcom)を供給する共通電圧線16と、を有している。

【0037】

第1のゲート信号線G1~Gnは、画素用TFT素子11に接続されており、第2のゲート信号線Gd1,Gd2は、非表示領域に形成されているとともに検査用TFT素子13に接続されている。検査用TFT素子13は、アレイ側基板の上面の表示領域周辺の非表示領域に形成されている。画素容量線CS1~CSnは、各画素電極部P11~Pnmに形成されている画素容量素子12に接続されている。

【0038】

例えば、検査用TFT素子13は、画素電極部P11~Pnmの画素用TFT素子11と同様の製造工程で作製される。ただし、検査用TFT素子13の第2のゲート信号線Gd1,Gd2は、第1のゲート絶縁層3(図1に示す)の形成工程時にそれを一時中断し、次に第2のゲート信号線2(Gd1,Gd2)を形成し、その後第1のゲート絶縁層3の形成を再開し終了することによって、形成される。このとき、図4に示すように、画素容量素子12(C1)の画素容量線2a(CS1~CSn)も第2のゲート信号線2(Gd1,Gd2)と同時的に形成できる。従って、第2のゲート信号線2(Gd1,Gd2)は、高さ方向において第1のゲート信号線1よりも高位に位置することになる。図1に示す第1及び第2のゲート信号線1,2は、CVD(Chemical Vapor Deposition)法、スパッタリング法等の薄膜形成法によって形成される。その他の層も同様の薄膜形成法によって形成される。なお、図2において、17はゲート信号線駆動回

10

20

30

40

50

路、18は画像信号（ソース信号）線駆動回路である。また、基板上に、ゲート信号線駆動回路17に代えて第1のゲート信号線G1～Gnにゲート信号を入力するための入力端子が形成されていてもよい。

【0039】

図3は、図1に示す、本発明のアクティブマトリクス型のLCDの他例を示すブロック回路図である。図3のLCDは、図2の構成のLCDにおいて、ESD対策用の双方向ダイオード15を、非表示領域の画像信号線S1～Smのそれぞれの画像信号線駆動回路18側に、並列的に接続したものであり、その他の構成は図2と同様である。

【0040】

また本発明のLCDは好ましくは、図4に示すように、ガラス基板等の基板上の表示領域に第1のゲート信号線1aに沿って形成された画素容量線2aと、第1のゲート信号線1a及び画素容量線2aと画像信号線S1～Smの交差部における画素容量線2a上に形成された画素容量素子C1と、を有しており、画素容量線2aは、第1のゲート信号線1aを覆うゲート絶縁層上に形成されている。そのゲート絶縁層は、図4の構成の場合、第1のゲート絶縁層3の部分層であり、部分層とは、第1のゲート絶縁層3を複数工程に分けて形成した場合の各形成工程での形成層であり、例えば1回目の形成層に相当する。

【0041】

この構成により、画素容量素子C1を小さく形成することができ、また画素用TFT素子T1と画素容量素子C1との間の距離を短くすることができるので、画素電極部P11～Pnmの開口率を高くすることができる。

【0042】

図4(a)において、第1のゲート信号線1a上には、窒化珪素(SiNx)等から成る第1のゲート絶縁層3、窒化珪素(SiNx)等から成る第2のゲート絶縁層4、アモルファスシリコン(a-Si)半導体層5、n型a-Si半導体層6、絶縁膜9、ソース信号線及びドレイン信号線としての信号線7、窒化珪素(SiNx)等から成る保護絶縁層8が順次積層されている。これにより、画像電極部P11～Pnmにある画素用TFT素子11(T1)が構成される。

【0043】

図4(a)において、第1のゲート絶縁層3の下側部分層上に画素容量線2aが形成されている。画素容量線2a上には、第1のゲート絶縁層3の上側部分層、第2のゲート絶縁層4、a-Si半導体層5、n型a-Si半導体層6、信号線7、保護絶縁層8が順次積層されている。これにより、画素用TFT素子11(T1)に隣接して位置する画素容量素子12(C1)が構成される。

【0044】

また、図4(b)に示すように、非表示領域の第2のゲート信号線2bは第1のゲート絶縁層3の下側部分層上に形成されており、第2のゲート信号線2b上には、第1のゲート絶縁層3の上側部分層、第2のゲート絶縁層4、a-Si半導体層5、n型a-Si半導体層6、絶縁膜9、信号線7、保護絶縁層8が順次積層されている。これにより、検査用TFT素子13,14(DT3)が非表示領域に形成される。

【0045】

図4(c)に示すように、検査用TFT素子13(DT4)は、黒色樹脂遮光材料(Black Matrix on Array: BOA)等から成る遮光膜10によって覆われていることが好ましい。これにより、上述した効果が得られる。

【0046】

画素容量線2aと第2のゲート信号線2bは、上述したように、薄膜形成法による第1のゲート絶縁層3の形成工程時にそれを複数工程に分割して形成する際に、同時に形成することができる。従って、画素容量線2aは、高さ方向において第1のゲート信号線1aよりも高位に位置するとともに、第2のゲート信号線2bと同位及び同層に位置することになる。

【0047】

本発明のLCDは以下のようにして作製される。例えば、画素用TFT素子11を含む画素電極

10

20

30

40

50

部P11～Pnmが多数形成されたアレイ側基板と、カラーフィルタ及びブラックマトリクスが形成されたカラーフィルタ側基板とを互いに対向させて、それらの基板を所定の間隔をもって貼り合わせ、それらの基板間に液晶を充填、封入させることによって作製される。また、一般的に、カラーフィルタ側基板は、画素用TFT素子11及び画素電極に対向する側の主面の全面に、画素電極との間で液晶に印加する垂直電界を形成するための共通電極（基準電極）が形成されている。この共通電極は、アレイ側基板の画素電極部P11～Pnmに画素電極と同じ面内に形成されることによって横電界を生じさせるIPS（In-Plane Switching）方式のものであってもよく、またアレイ側基板の画素電極部P11～Pnmに画素電極の上方または下方に絶縁層を挟んで形成されることによって端部電界（Fringe Field）を生じさせるFFS（Fringe Field Switching）方式のものであってもよい。また、カラーフィルタ側基板の上記主面には、それぞれの画素に対応する赤（R）、緑（G）、青（B）のカラーフィルタが形成されており、それぞれの画素を通過する光が相互に干渉することを防ぐブラックマトリクスがカラーフィルタの外周を囲むように形成されている。

10

【0048】

なお、本発明は上記実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲内で種々の設計的な改良、変更を行ってもよい。

【産業上の利用可能性】

【0049】

本発明のLCDは各種の電子機器に適用できる。その電子機器としては、自動車経路誘導システム（カーナビゲーションシステム）、船舶経路誘導システム、航空機経路誘導システム、スマートフォン端末、携帯電話、タブレット端末、パーソナルデジタルアシスタント（PDA）、ビデオカメラ、デジタルスチルカメラ、電子手帳、電子書籍、電子辞書、パーソナルコンピュータ、複写機、ゲーム機器の端末装置、テレビジョン、商品表示タグ、価格表示タグ、産業用のプログラマブル表示装置、カーオーディオ、デジタルオーディオプレイヤー、ファクシミリ、プリンター、現金自動預け入れ払い機（ATM）、自動販売機、ヘッドアップディスプレイ、医療用表示装置、デジタル表示式腕時計などがある。

20

【符号の説明】

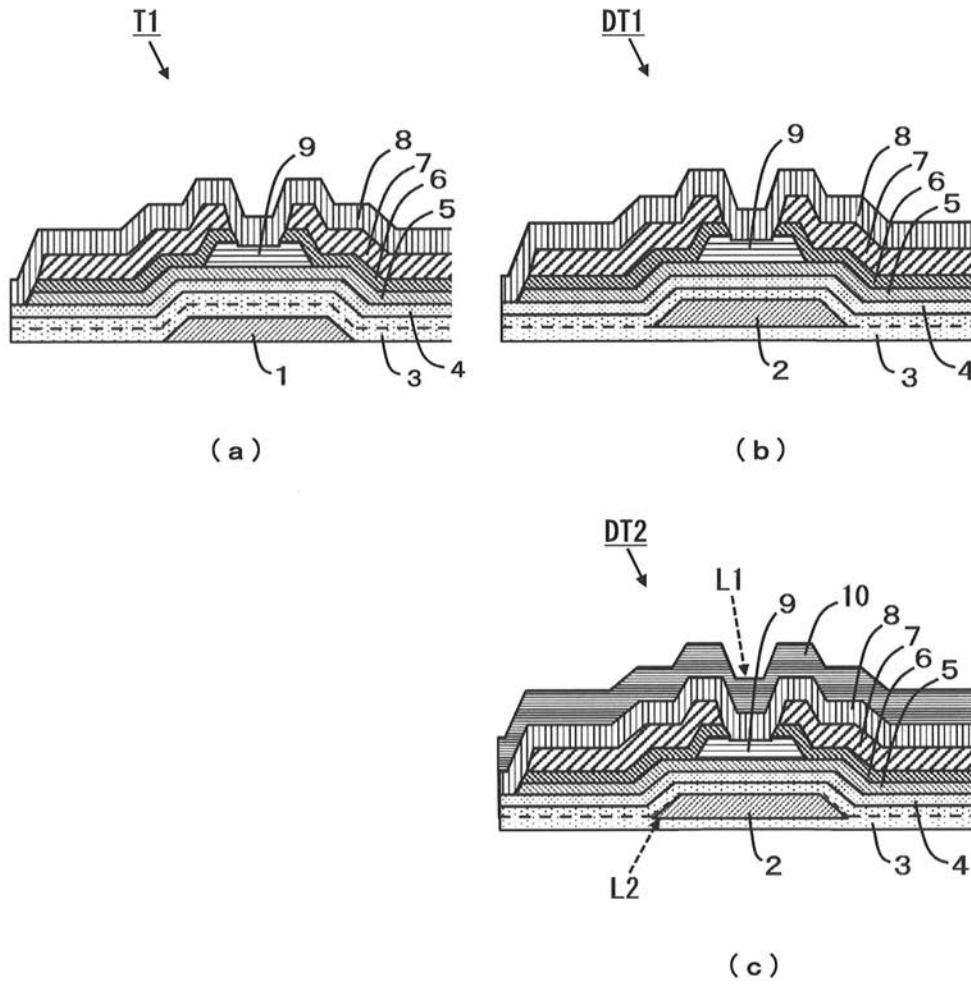
【0050】

- 1, 1a 第1のゲート信号線
- 2 第2のゲート信号線
- 2a 画素容量線
- 3 第1のゲート絶縁層
- 4 第2のゲート絶縁層
- 5 a-Si半導体層
- 6 n型a-Si半導体層
- 7 信号線
- 8 保護絶縁層
- 9 絶縁層
- 10 遮光膜
- 11 画素用TFT素子
- 12 画素容量素子
- 13, 14 検査用TFT素子
- 15 双方向ダイオード

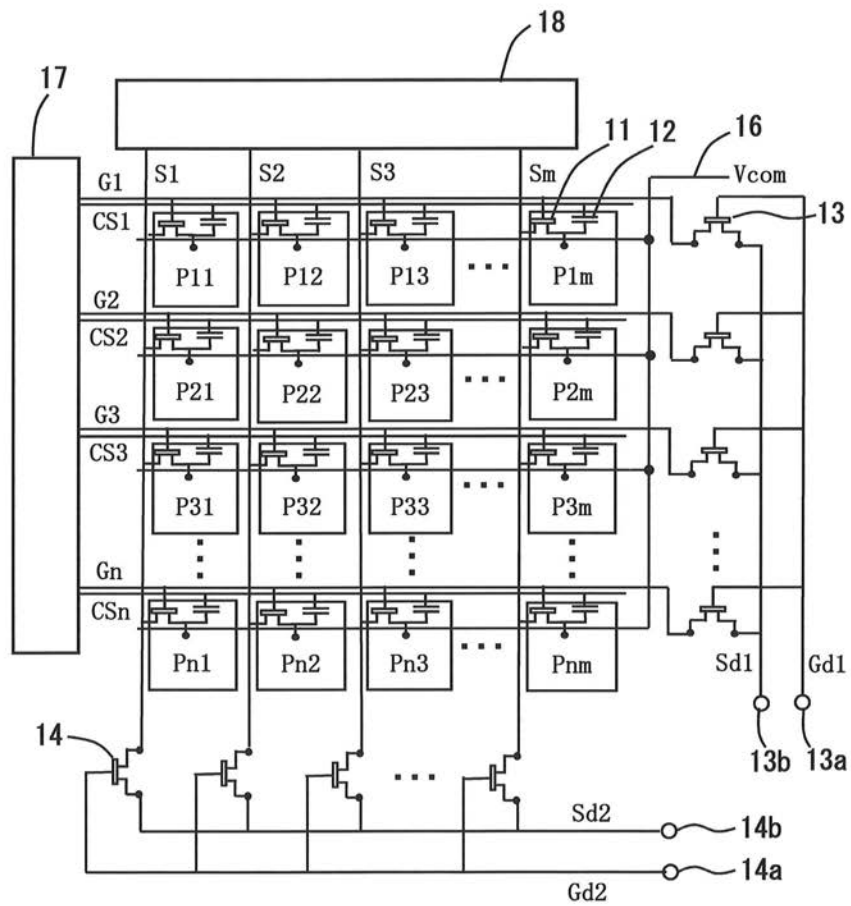
30

40

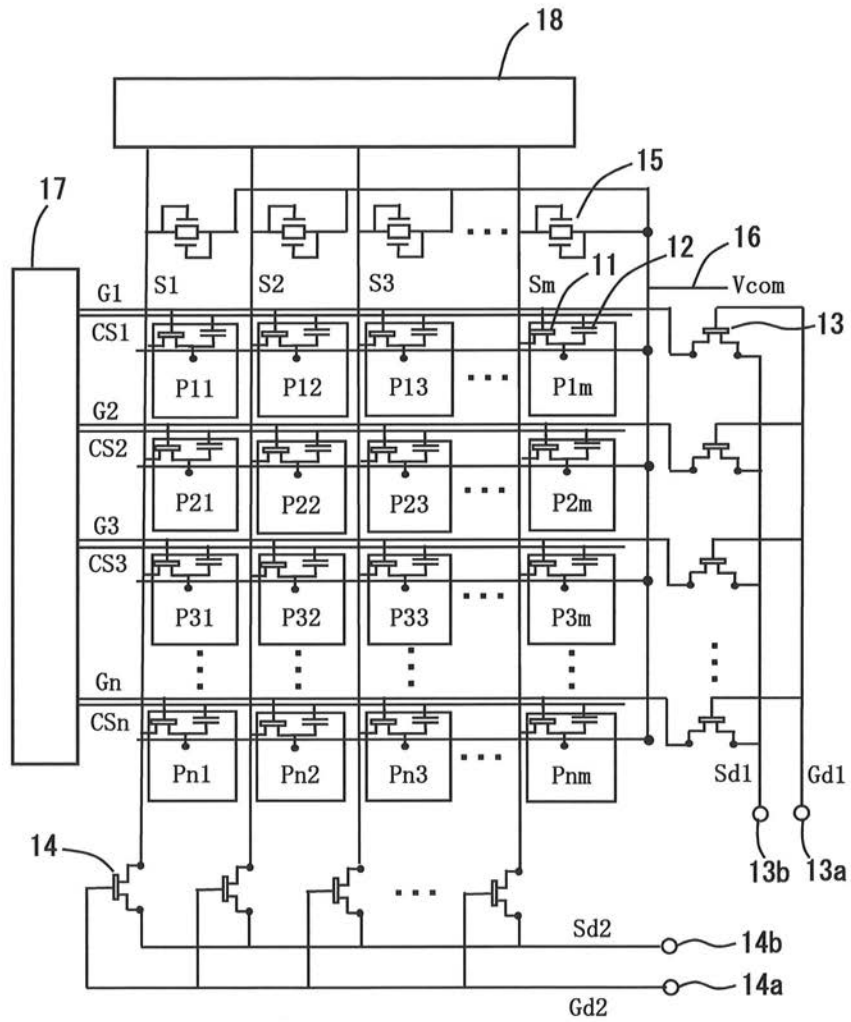
【図 1】



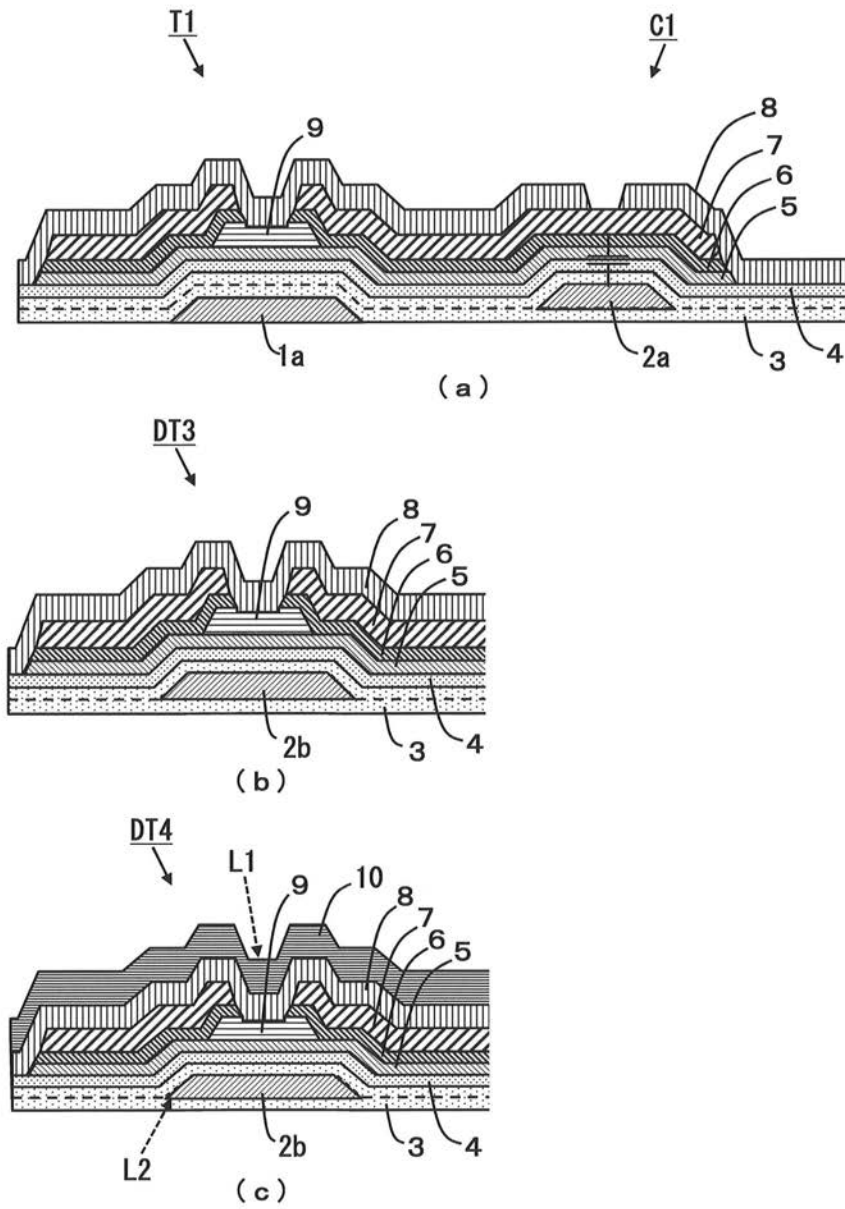
【図 2】



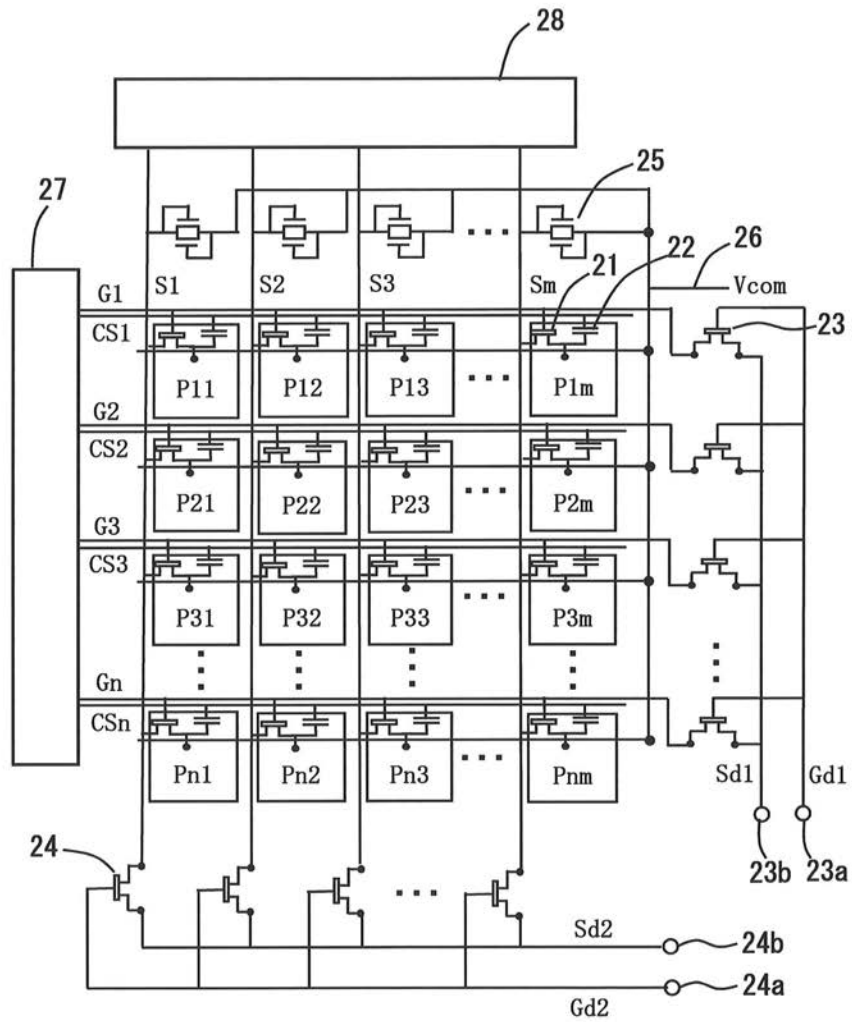
【図 3】



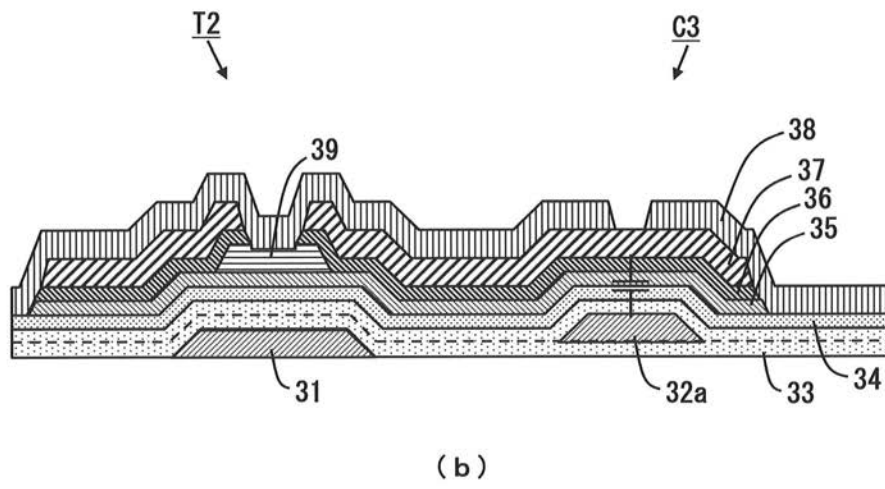
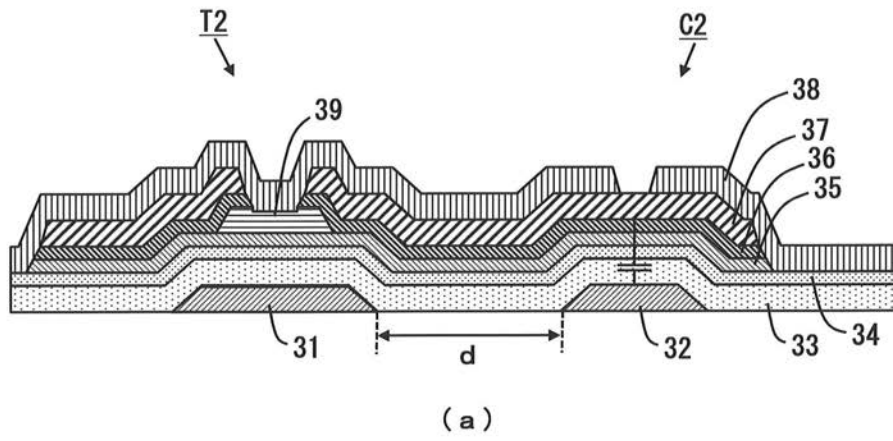
【 図 4 】



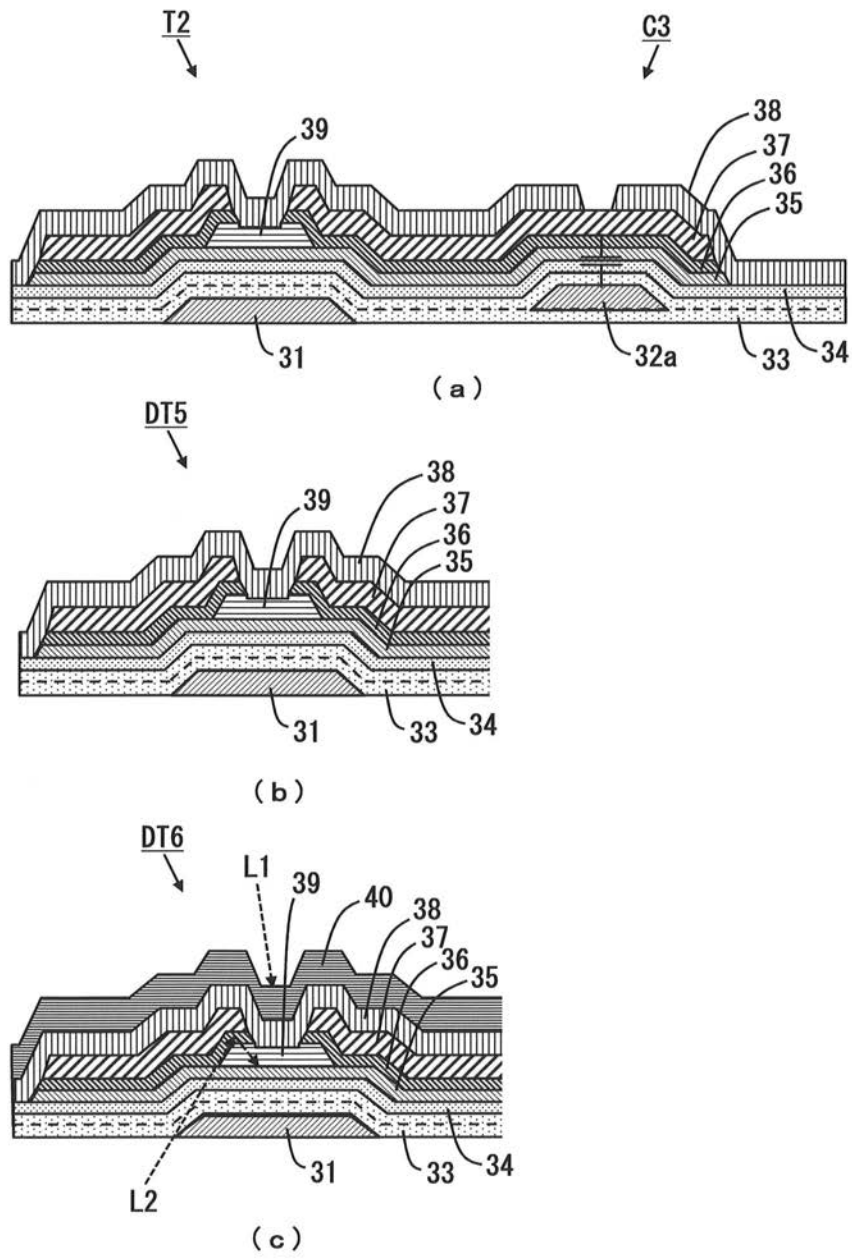
【図 6】



【図 7】



【 図 8 】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2015210310A	公开(公告)日	2015-11-24
申请号	JP2014090074	申请日	2014-04-24
[标]申请(专利权)人(译)	京瓷显示器株式会社		
申请(专利权)人(译)	京瓷显示器有限公司		
[标]发明人	西出雅彦 小倉健慈		
发明人	西出 雅彦 小倉 健慈		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/1343		
FI分类号	G02F1/1345 G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA60 2H092/JA26 2H092/JA36 2H092/JB51 2H092/JB69 2H092/JB77 2H092/JB79 2H092/NA25 2H092/PA09 2H192/AA24 2H192/CB05 2H192/CB71 2H192/CB83 2H192/DA12 2H192/DA44 2H192/DA63 2H192/EA13 2H192/FB22 2H192/GA15 2H192/HB04 2H192/HB13		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 (22) 出願日	特願2014-90074 (P2014-90074) 平成26年4月24日 (2014. 4. 24)	(71) 出願人 000103747 京セラディスプレイ株式会社 滋賀県野洲市市三宅641-1 (72) 発明者 西出 雅彦 滋賀県野洲市市三宅641-1 京セラディスプレイ株式会社内 (72) 発明者 小倉 健慈 滋賀県野洲市市三宅641-1 京セラディスプレイ株式会社内 Fターム(参考) 2H092 GA60 JA26 JA36 JB51 JB69 JB77 JB79 NA25 PA09 2H192 AA24 CB05 CB71 CB83 DA12 DA44 DA63 EA13 FB22 GA15 HB04 HB13
-------	-----------------------	--	--