

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-109358

(P2013-109358A)

(43) 公開日 平成25年6月6日(2013.6.6)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 623V	5C006
G02F 1/133 (2006.01)	G09G 3/20 612K	5C080
	G09G 3/20 612T	
	G09G 3/20 622D	
審査請求 有 請求項の数 6 O L (全 14 頁) 最終頁に続く		

(21) 出願番号	特願2012-281871 (P2012-281871)	(71) 出願人	303018827
(22) 出願日	平成24年12月25日 (2012.12.25)		N L Tテクノロジー株式会社
(62) 分割の表示	特願2009-93471 (P2009-93471)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
原出願日	平成21年4月7日 (2009.4.7)	(74) 代理人	100099830
			弁理士 西村 征生
		(72) 発明者	太田 慎司
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			N L Tテクノロジー株式会社内
		Fターム(参考)	2H193 ZA04 ZA07 ZA34 ZB03 ZC25
			ZD23 ZE03 ZF21 ZF36 ZF51
			5C006 AA16 AF72 AF73 BB16 BC03
			BC06 BC11 BC23 FA32
			5C080 AA10 BB06 DD12 EE29 FF11
			JJ02 JJ04 JJ06

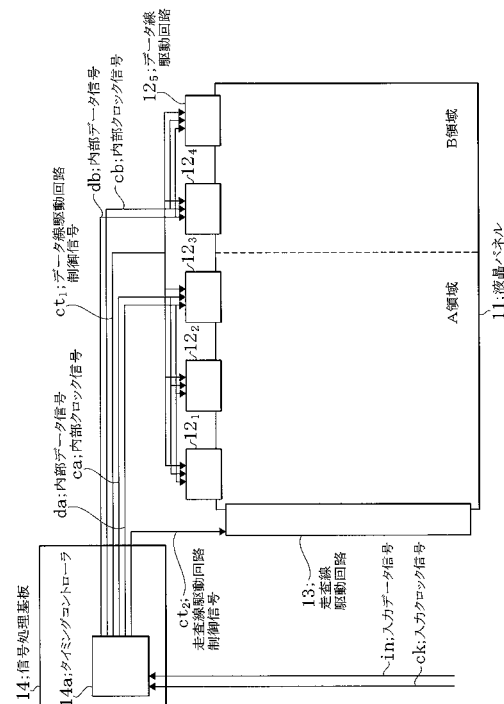
(54) 【発明の名称】 液晶表示装置及び信号処理方法

(57) 【要約】

【課題】画像データの伝送が高速でも、信号処理基板の小型化及び薄型化に対応したままで E M I ノイズの発生が抑制された液晶表示装置を提供する。

【解決手段】映像信号 in に基づいて、データ線駆動回路 $12_1, 12_2, 12_3, 12_4, 12_5$ に、第1の制御信号 ct_1 、データ信号 da, db 及びクロック信号 ca, cb を出力すると共に、走査線駆動回路 13 に、第2の制御信号 ct_2 を出力するタイミングコントローラ $14a$ を有し、タイミングコントローラ $14a$ は、表示領域 A, B 毎に異なる周波数の各クロック信号 ca, cb をデータ線駆動回路 $12_1, 12_2, 12_3, 12_4, 12_5$ に直接供給する。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

所定列のデータ線、所定行の走査線、及び前記各データ線と前記各走査線との交差箇所に設けられている画素を有して、表示部が構成されている液晶パネルと、

1 水平期間毎に与えられる第 1 の制御信号に基づいて、与えられたデータ信号に基づく画素データを、与えられた周波数のクロック信号に同期して前記各データ線に書き込むデータ線駆動回路と、

与えられた第 2 の制御信号に基づいて、前記各走査線を所定の順序で駆動するための走査線駆動信号を出力する走査線駆動回路と、

映像信号に基づいて、前記データ線駆動回路に、前記第 1 の制御信号、データ信号及びクロック信号を出力すると共に、前記走査線駆動回路に、前記第 2 の制御信号を出力するタイミングコントローラとを有し、

前記液晶パネルの表示部は、

列方向に分割された複数の表示領域を備え、

前記データ線駆動回路は、

前記液晶パネルの前記表示領域毎に、与えられた前記データ信号に基づく画素データを、与えられたクロック信号に同期して該当する表示領域の前記各データ線に書き込む構成とされている液晶表示装置であって、

前記タイミングコントローラは、

前記表示領域毎に異なる周波数の各クロック信号を前記データ線駆動回路に直接供給することを特徴とする液晶表示装置。

【請求項 2】

前記タイミングコントローラは、

前記表示領域毎に与えられる各クロック信号の周波数を、それぞれの位相の一致する周期が前記 1 水平期間となる値に設定して、前記表示領域毎に異なる周波数の各クロック信号を前記データ線駆動回路に直接供給することを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記 1 水平期間は、

前記データ信号の有効期間と無効期間とを有し、

前記タイミングコントローラは、

前記各クロック信号の周波数を、それぞれの位相の一致する期間が前記無効期間の範囲内となる値に設定する構成とされていることを特徴とする請求項 1 又は 2 記載の液晶表示装置。

【請求項 4】

前記タイミングコントローラは、

前記無効期間の範囲内に生じる、前記各クロック信号の位相の一致する部分については前記データ線駆動回路に出力しない構成とされていることを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】

前記液晶パネルの表示部が、列方向に 2 分割されて第 1 の表示領域、及び該第 1 の表示領域よりも小さい第 2 の表示領域として構成されているとき、

前記タイミングコントローラは、

前記第 1 及び第 2 の表示領域にそれぞれ対応する第 1 及び第 2 のクロック信号のうちの該第 2 のクロック信号の波長を、前記第 1 及び第 2 のクロック信号の位相が 1 水平期間で一致する値に設定する構成とされていることを特徴とする請求項 1、2、3 又は 4 記載の液晶表示装置。

【請求項 6】

所定列のデータ線、所定行の走査線、及び前記各データ線と前記各走査線との交差箇所に設けられている画素を有して、表示部が構成されている液晶パネルと、

１ 水平期間毎に与えられる第１の制御信号に基づいて、与えられたデータ信号に基づく画素データを、与えられた周波数のクロック信号に同期して前記各データ線に書き込むデータ線駆動回路と、

与えられた第２の制御信号に基づいて、前記各走査線を所定の順序で駆動するための走査線駆動信号を出力する走査線駆動回路と、

映像信号に基づいて、前記データ線駆動回路に、前記第１の制御信号、データ信号及びクロック信号を出力すると共に、前記走査線駆動回路に、前記第２の制御信号を出力するタイミングコントローラとを有し、

前記液晶パネルの表示部は、

列方向に分割された複数の表示領域を備え、

前記データ線駆動回路は、

前記液晶パネルの前記表示領域毎に、与えられた前記データ信号に基づく画素データを、与えられたクロック信号に同期して該当する表示領域の前記各データ線に書き込む構成とされている液晶表示装置に用いられる信号処理方法であって、

前記タイミングコントローラは、

前記表示領域毎に異なる周波数の各クロック信号を前記データ線駆動回路に直接供給することを特徴とする信号処理方法。

【発明の詳細な説明】

【技術分野】

【０００１】

この発明は、液晶表示装置及び信号処理方法に係り、特に、画像データが高速伝送され、かつ信号処理基板の小型化及び薄型化される場合に適用して好適な液晶表示装置及び信号処理方法に関する。

【背景技術】

【０００２】

液晶表示装置では、ＥＭＩ（Electro Magnetic Interference、電磁妨害）ノイズが発生することがある。その原因として、以下の点が挙げられる。

（１）液晶表示装置の大型化及び高精細化に伴い、表示パネルに伝送される画像データの量が膨大になると共に、画像データの伝送が高速化されるようになっている。

（２）動画改善技術として、リフレッシュレートが６０Ｈｚ以上の周波数も使用されるようになり、画像データの伝送が高速化されるようになっている。

（３）表示パネルの表示領域以外の小型化及び薄型化が進み、画像データを伝送する信号処理基板も合わせて小型化及び薄型化されるようになっている。

上記画像データの伝送は、高速化が要求されるため、データ信号及びクロック信号を伝送する配線から、高周波成分がＥＭＩノイズとして放射される。また、信号処理基板が小型化及び薄型化され、十分な基準電位配線（グランド）の面積を十分に確保することができず、基準電位配線のノイズが発生し、ＥＭＩノイズとして放射される。

このため、画像データの伝送が高速でも、信号処理基板の小型化及び薄型化に対応したままでＥＭＩノイズの発生が抑制される液晶表示装置が要求されている。

【０００３】

この種の関連技術としては、たとえば、特許文献１に記載された表示装置の駆動方法がある。

この駆動方法では、図１２（ａ）に示すように、ソースドライバに入力される内部クロック（Inner CLK）の周波数が、システム装置から入力された入力クロック（Input CLK）の周波数と無効期間において異なるようになっていることにより、ソースドライバが実装されたデータ側基板の基準電位配線に重畳するノイズ（GND noise）のピーク電圧レベルが低減する。

【０００４】

これにより、ノイズ（GND noise）が原因となって液晶表示装置から発振するＥＭＩノイズが低減する。また、タイミングコントローラの出力が２ポートの場合、図１２（ｂ）

10

20

30

40

50

に示すように、各出力の内部クロック (Inner CLK1 , Inner CLK2) の位相をずらして同期 (同位相) させないようにすることで、基準電位配線へのノイズの影響が減少する。これらの方法より、基準電位配線のノイズのピークが減少し、EMIノイズが減少する。

【 0 0 0 5 】

また、特許文献 2 に記載された液晶表示装置では、タイミングコントローラの出力が N ポートとされ、図 1 3 (a) に示すように、入力クロック信号 f_{Hz} に対し、各出力ポートの内部クロック信号が f / N に分周されることにより、高周波成分による EMI ノイズが抑制される。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 6 - 2 6 7 3 1 3 号 公 報

【 特許文献 2 】 特開平 1 0 - 2 0 7 4 3 4 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、上記関連技術では、次のような課題があった。

すなわち、特許文献 1 に記載された表示装置の駆動方法では、図 1 2 (a) の場合、無効期間中の基準電位配線へのノイズは減少されるが、内部データ信号の伝送中のノイズは減少しない。また、図 1 2 (b) の場合、基準電位配線へのピークのノイズは減少されるが、基準電位配線への周期的な電位変動は残ったままであり、ノイズの影響は減少しないという課題がある。

20

【 0 0 0 8 】

特許文献 2 に記載された液晶表示装置では、内部クロック信号が f / N に分周されるので、図 1 3 (b) に示すように、基準電位配線にノイズが発生するという問題点がある。この場合、表示パネルの表示領域の分割を等しくするため、タイミングコントローラの各出力ポートの内部クロック信号の周波数が同一に設定されている。このため、同一の周波数の重なりにより、ノイズのピークが大きくなり、上記の問題点は、改善されない。

【 0 0 0 9 】

この発明は、上述の事情に鑑みてなされたもので、画像データの伝送が高速でも、信号処理基板の小型化及び薄型化に対応したままで EMI ノイズの発生が抑制される液晶表示装置及び信号処理方法を提供することを目的としている。

30

【 課題を解決するための手段 】

【 0 0 1 0 】

上記課題を解決するために、この発明の第 1 の構成は、所定列のデータ線、所定行の走査線、及び前記各データ線と前記各走査線との交差箇所に設けられている画素を有して、表示部が構成されている液晶パネルと、1 水平期間毎に与えられる第 1 の制御信号に基づいて、与えられたデータ信号に基づく画素データを、与えられた周波数のクロック信号に同期して前記各データ線に書き込むデータ線駆動回路と、与えられた第 2 の制御信号に基づいて、前記各走査線を所定の順序で駆動するための走査線駆動信号を出力する走査線駆動回路と、映像信号に基づいて、前記データ線駆動回路に、前記第 1 の制御信号、データ信号及びクロック信号を出力すると共に、前記走査線駆動回路に、前記第 2 の制御信号を出力するタイミングコントローラとを有し、前記液晶パネルの表示部は、列方向に分割された複数の表示領域を備え、前記データ線駆動回路は、前記液晶パネルの前記表示領域毎に、与えられた前記データ信号に基づく画素データを、与えられたクロック信号に同期して該当する表示領域の前記各データ線に書き込む構成とされている液晶表示装置に係り、前記タイミングコントローラは、前記表示領域毎に異なる周波数の各クロック信号を前記データ線駆動回路に直接供給することを特徴としている。

40

【 0 0 1 1 】

この発明の第 2 の構成は、所定列のデータ線、所定行の走査線、及び前記各データ線と

50

前記各走査線との交差箇所に設けられている画素を有して、表示部が構成されている液晶パネルと、１水平期間毎に与えられる第１の制御信号に基づいて、与えられたデータ信号に基づく画素データを、与えられた周波数のクロック信号に同期して前記各データ線に書き込むデータ線駆動回路と、与えられた第２の制御信号に基づいて、前記各走査線を所定の順序で駆動するための走査線駆動信号を出力する走査線駆動回路と、映像信号に基づいて、前記データ線駆動回路に、前記第１の制御信号、データ信号及びクロック信号を出力すると共に、前記走査線駆動回路に、前記第２の制御信号を出力するタイミングコントローラとを有し、前記液晶パネルの表示部は、列方向に分割された複数の表示領域を備え、前記データ線駆動回路は、前記液晶パネルの前記表示領域毎に、与えられた前記データ信号に基づく画素データを、与えられたクロック信号に同期して該当する表示領域の前記各データ線に書き込む構成とされている液晶表示装置に用いられる信号処理方法に係り、前記タイミングコントローラは、前記表示領域毎に異なる周波数の各クロック信号を前記データ線駆動回路に直接供給することの特徴としている。

10

【発明の効果】

【００１２】

この発明の構成によれば、各表示領域に対応した各クロック信号の位相の重畳する部分が減り、基準電位配線に発生するＥＭＩノイズを抑制することができる。

【図面の簡単な説明】

【００１３】

【図１】この発明の基本原理を説明するための液晶表示装置の要部の構成図である。

20

【図２】他の液晶表示装置の要部の構成図である。

【図３】各クロック信号と片方のクロック信号の周波数の最適化を説明する図である。

【図４】同期部分を出力しない場合の波形を示す図である。

【図５】この発明の第１の実施形態である液晶表示装置の要部の電氣的構成を示すブロック図である。

【図６】図１中の信号処理基板１４、及び他の信号処理基板の構成例を示す図である。

【図７】図５中の液晶パネル１１、データ線駆動回路１２_１、１２_２、…、１２_５、走査線駆動回路１３及びタイミングコントローラ１４ａを抽出した図である。

【図８】図５の液晶表示装置の動作を説明するタイムチャートである。

【図９】内部クロック信号ｃ_a、ｃ_bの周波数ｆ_a、ｆ_bが同じ場合の基準電位配線のノイズの状態を示す図である。

30

【図１０】周波数ｆ_a、ｆ_bが異なる場合の基準電位配線のノイズの状態を示す図である。

【図１１】この発明の第２の実施形態である液晶表示装置の電氣的構成を示すブロック図である。

【図１２】特許文献１に記載された表示装置の駆動方法を説明する図である。

【図１３】特許文献２に記載された液晶表示装置の動作を説明する図である。

【発明を実施するための形態】

【００１４】

上記制御手段は、上記クロック信号周波数設定モードのとき、上記各表示領域毎のクロック信号の周波数を、それぞれの位相の一致する周期が上記１水平期間となる値に設定する構成とされている液晶表示装置を提供する。

40

【００１５】

また、この発明の好適な形態では、上記制御手段は、上記クロック信号周波数設定モードのとき、上記各クロック信号の位相の一致する部分を出力しない構成とされている。また、上記１水平期間は、上記データ信号の有効期間と無効期間とを有し、上記制御手段は、上記各クロック信号の周波数を、それぞれの位相の一致する期間が上記無効期間の範囲内となる値に設定する構成とされている。

【００１６】

また、上記液晶パネルの表示領域が、列方向に２分割されて第１の表示領域、及び該第

50

1の表示領域よりも小さい第2の表示領域として構成されているとき、上記制御手段は、上記第1及び第2の表示領域にそれぞれ対応する第1及び第2のクロック信号のうちの該第2のクロック信号の波長を、上記第1及び第2のクロック信号の位相が1水平期間で一致する値に設定する構成とされている。

また、上記液晶パネルの表示領域が、列方向に2分割されて第1の表示領域、及び該第1の表示領域と等しい大きさの第2の表示領域として構成されているとき、上記制御手段は、上記第1及び第2の表示領域にそれぞれ対応する第1及び第2のクロック信号のうちの該第2のクロック信号の波長を、上記第1のクロック信号の波長の1/2に設定する構成とされている。

【0017】

10

ここで、この発明の液晶表示装置の基本原理を説明する。

図1は、この発明の基本原理を説明するための液晶表示装置の要部の構成図、及び、図2が、他の液晶表示装置の要部の構成図である。

図1の液晶表示装置は、液晶パネル11と、データ線駆動回路 $12_1, 12_2, \dots, 12_n$ と、走査線駆動回路13とを有している。この液晶表示装置では、液晶パネル11の表示領域が異なる面積の領域Aと領域Bとに分割されている。また、図2の液晶表示装置では、液晶パネル11の表示領域が等しい面積の領域Aeと領域Beとに分割されている。液晶パネル11の領域A、Aeに対応する内部クロック信号caの周波数をfa、及び領域B、Beの内部クロック信号cbの周波数をfbとすると、内部クロック信号ca、cbの波長は、 $1/f_a, 1/f_b$ である。また、領域Aの1水平周期のクロック回数を N_A 、及び領域Bの1水平周期のクロック回数を N_B とする。これらの各クロック回数は、分割された液晶パネル11の表示領域の大きさ、つまり、駆動する必要のあるデータ線の数に比例する。

20

【0018】

この状態から、内部クロック信号ca、cbが1水平期間に1回同期する（すなわち、同位相となる）条件を算出する。領域Aの内部クロック信号caの波長が $1/f_a$ 、及び領域Bの内部クロック信号cbの波長が $1/f_b$ であり、これらの差分Dは、次式（1）で表される。

$$\text{差分 } D = 1/f_b - 1/f_a \quad \dots (1)$$

ただし、 $f_a > f_b$

30

となる。この差分Dを1水平期間の内部クロック回数 N_B で割った値を $1/f_c$ とすると、次式（2）で表される。

$$1/f_c = (1/f_b - 1/f_a) / N_B \quad \dots (2)$$

内部クロック信号ca、cbのうちの波長の大きい（すなわち、周波数の低い）方の波長 $1/f_b$ から、波長 $1/f_c$ を差し引いた波長を $1/f_\alpha$ とすると、

$$1/f_\alpha = 1/f_b - 1/f_c \quad \dots (3)$$

となる。この波長 $1/f_\alpha$ を、内部クロック信号cbに適用する。これにより、図3に示すように、内部クロック信号caと内部クロック信号cbとが同時に立ち上がる場合、1水平期間毎に同期（同位相）することになり、同期する部分が最小となる。また、図4に示すように、内部クロック信号ca及び内部クロック信号cbの同期する部分を非出力とすることにより、ノイズが抑制される。

40

【0019】

また、図2の液晶表示装置では、クロック回数 N_A とクロック回数を N_B とが等しいので、波長 $1/f_a$ の1/2を式（2）の右辺の分子とし、 $1/f_c$ が次式（4）で表される。

$$1/f_c = (1/2 f_a) / N_B \quad \dots (4)$$

【実施形態1】

【0020】

図5は、この発明の第1の実施形態である液晶表示装置の要部の電氣的構成を示すブロック図である。

50

この形態の液晶表示装置は、同図に示すように、液晶パネル 11 と、データ線駆動回路 12₁ , 12₂ , ... , 12₅ と、走査線駆動回路 13 と、信号処理基板 14 とから構成されている。液晶パネル 11 は、図示しない所定列のデータ線、所定行の走査線、及び同各データ線と同各走査線との交差箇所に設けられている画素を有し、表示領域が構成されている。特に、この実施形態では、液晶パネル 11 の表示領域は、列方向に 2 分割されて領域 A , B として構成されている。領域 B は、領域 A よりも小さい。

【0021】

データ線駆動回路 12₁ , 12₂ , ... , 12₅ は、信号処理基板 14 から 1 水平期間毎に与えられるデータ線駆動回路制御信号 c t 1 (第 1 の制御信号) に基づいて、液晶パネル 11 の領域 A , B 毎に、該当する内部データ信号 d a , d b に基づく画素データを、各領域 A , B 毎の内部クロック信号 c a , c b に同期して該当する領域 A , B の各データ線に書き込む。上記データ線駆動回路制御信号 c t 1 には、表示領域の 1 ライン分の画素データの伝送をスタートさせる水平 (H) 側スタートパルスが含まれている。走査線駆動回路 13 は、信号処理基板 14 から与えられた走査線駆動回路制御信号 c t 2 (第 2 の制御信号) に基づいて、上記各走査線を所定の順序で駆動するための走査線駆動信号を出力する。

10

【0022】

信号処理基板 14 は、タイミングコントローラ 14 a を有し、同タイミングコントローラ 14 a が、映像信号を構成する入力データ信号 i n 及び入力クロック信号 c k に基づいて、データ線駆動回路 12₁ , 12₂ , ... , 12₅ に、データ線駆動回路制御信号 c t 1 、内部データ信号 d a , d b 及び内部クロック信号 c a , c b を出力すると共に、走査線駆動回路 13 に、走査線駆動回路制御信号 c t 2 を出力する。特に、この実施形態では、タイミングコントローラ 14 a は、クロック信号周波数設定モードを有し、同モードでは、内部クロック信号 c a , c b の周波数を、それぞれ異なる値に設定して、領域 A , B 毎のデータ線駆動回路 12₁ , 12₂ , 12₃ 及びデータ線駆動回路 12₄ , 12₅ に供給する。また、タイミングコントローラ 14 a は、クロック信号周波数設定モードのとき、各領域 A , B 毎の内部クロック信号 c a , c b の周波数 f a , f b を、それぞれの位相の一致する周期が 1 水平期間となる値に設定する。

20

【0023】

また、タイミングコントローラ 14 a は、クロック信号周波数設定モードのとき、内部クロック信号 c a , c b の位相の一致する部分を出力しない。上記 1 水平期間は、内部データ信号 d a , d b の有効期間 (valid 、データ伝送期間) と無効期間 (invalid 、ブラック期間) とを有し、タイミングコントローラ 14 a は、内部クロック信号 c a , c b の周波数 f a , f b を、それぞれの位相の一致する期間が上記無効期間の範囲内 (すなわち、無効期間のデータ数以下) となる値に設定する。特に、この実施形態では、タイミングコントローラ 14 a は、上記領域 A , B にそれぞれ対応する内部クロック信号 c a , c b のうちの内部クロック信号 c b の波長を、同内部クロック信号 c a , c b の位相が 1 水平期間で一致する値に設定する。

30

【0024】

図 6 は、図 1 中の信号処理基板 14 、及び他の信号処理基板の構成例を示す図である。

40

この信号処理基板 14 は、同図 6 (a) に示すように、タイミングコントローラ 14 a を有し、同タイミングコントローラ 14 a は、データ制御信号生成部 14 b と、内部データ信号内部クロック信号周波数変換部 (以下、「周波数変換部」という) 14 c とから構成されている。データ制御信号生成部 14 b は、入力データ信号 i n 及び入力クロック信号 c k に基づいて、周波数変換部 14 c を制御すると共に、データ線駆動回路制御信号 c t 1 及び走査線駆動回路制御信号 c t 2 を生成する。周波数変換部 14 c は、内部データ信号 d a 、内部クロック信号 c a 、内部データ信号 d b 及び内部クロック信号 c b を出力する。また、信号処理基板 14 に代えて、図 6 (b) に示すように、信号処理基板 14 A を設けても良い。信号処理基板 14 A は、タイミングコントローラ 14 d と、周波数変換部 14 c とから構成されている。タイミングコントローラ 14 d は、データ制御信号生成

50

部 1 4 b を有している。周波数変換部 1 4 c は、タイミングコントローラ 1 4 d の外部に設けられている。

【 0 0 2 5 】

図 7 は、図 5 中の液晶パネル 1 1、データ線駆動回路 1 2₁、1 2₂、...、1 2₅、走査線駆動回路 1 3 及びタイミングコントローラ 1 4 a を抽出した図である。

データ線駆動回路 1 2₁、1 2₂、...、1 2₅ は、同図 7 に示すように、1 つのブロックで模式的に表示されている。液晶パネル 1 1 は、データ線 X_i ($i = 1, 2, \dots, m$ 、たとえば、 $m = 1600$) と、走査線 Y_j ($j = 1, 2, \dots, n$ 、たとえば、 $n = 1200$) と、画素 $SP_{i,j}$ と、共通電極線 COM とから構成されている。データ線 X_i は、該当する画素データ D_i に応じた電圧が印加される。走査線 Y_j は、設定された順序で走査線駆動信号 G_j が印加される。画素 $SP_{i,j}$ は、データ線 X_i と走査線 Y_j との交差箇所に設けられ、TFT (Thin Film Transistor、薄膜トランジスタ) Q と、ストレージ容量 Cst と、液晶容量 Clc と、共通電極線 COM とから構成されている。ストレージ容量 Cst は、印加された画素データ D_i に応じた電圧を保持する。液晶容量 Clc は、画素データ D_i に対応した階調の画素を表示する液晶容量を模式的に表したものである。共通電極線 COM には、コモン電圧が印加される。

10

【 0 0 2 6 】

図 8 は、図 5 の液晶表示装置の動作を説明するタイムチャート、図 9 は、内部クロック信号 ca、cb の周波数 fa、fb が同じ場合の基準電位配線のノイズの状態を示す図、及び図 10 が、周波数 fa、fb が異なる場合の基準電位配線のノイズの状態を示す図である。

20

これらの図を参照して、この形態の液晶表示装置に用いられる信号処理方法の処理内容について説明する。

この液晶表示装置では、タイミングコントローラ 1 4 a により、内部クロック信号 ca、cb の周波数 fa、fb が、それぞれ異なる値に設定され、同内部クロック信号 ca がデータ線駆動回路 1 2₁、1 2₂、1 2₃ に供給されると共に、同内部クロック信号 cb がデータ線駆動回路 1 2₄、1 2₅ に供給される (クロック信号周波数設定処理)。このクロック信号周波数設定処理では、タイミングコントローラ 1 4 a により、内部クロック信号 ca、cb の周波数 fa、fb が、同内部クロック信号 ca、cb の位相の一致する周期が 1 水平期間となる値に設定される。また、このクロック信号周波数設定処理では、タイミングコントローラ 1 4 a により、内部クロック信号 ca、cb の位相の一致する部分が出力されない。また、タイミングコントローラ 1 4 a により、内部クロック信号 ca、cb の周波数 fa、fb が、それぞれの位相の一致する期間が 1 水平期間中の無効期間の範囲内となる値に設定される。この場合、タイミングコントローラ 1 4 a により、内部クロック信号 cb の波長が、内部クロック信号 ca、cb の位相が 1 水平期間で一致する値に設定される。

30

【 0 0 2 7 】

すなわち、タイミングコントローラ 1 4 a により、図 8 に示すように、データ伝送期間 Td とブランク期間 Tb とからなる 1 水平期間毎に H 側スタートパルス hs が発生し、内部クロック信号 ca、cb、及び内部データ信号 da、db の伝送がスタートする。この場合、内部クロック信号 cb に対しては、式 (3) に対応した内部クロック信号の周波数 fα が設定される。また、内部データ信号 da、db は、データ伝送期間 Td で有効 (valid) となる一方、ブランク期間 Tb で無効 (invalid) となる。内部クロック信号 ca、cb の周波数 fa、fb が同じ場合、図 9 に示すように、同クロック信号 ca、cb の立上がり と 立下がり とが同期 (同位相) した状態となり、図示しない基準電位配線 (グラウンド配線) に発生するノイズが大きくなる。一方、内部クロック信号 ca、cb の周波数 fa、fb が異なる場合、図 10 に示すように、同クロック信号 ca、cb の立上がり と 立下がり とがデータ伝送期間 Td 内で同期 (同位相) しない状態となり、基準電位配線に発生するノイズが小さくなる。

40

【 0 0 2 8 】

50

以上のように、この第 1 の実施形態では、内部クロック信号 c_a , c_b の周波数 f_a , f_b が、それぞれ異なる値に設定され、同内部クロック信号 c_a がデータ線駆動回路 12_1 , 12_2 , 12_3 に供給されると共に、同内部クロック信号 c_b がデータ線駆動回路 12_4 , 12_5 に供給されるので、互いの波形で位相が重畳する部分が減り、基準電位配線に発生するノイズが減少する。また、内部クロック信号 c_a , c_b の周波数 f_a , f_b が、同内部クロック信号 c_a , c_b の位相の一致する周期が 1 水平期間となる値に設定され、内部クロック信号 c_a , c_b の位相の一致する部分が出力されないので、基準電位配線に大きな電位変動が発生することが防止される。また、タイミングコントローラ $14a$ により、内部クロック信号 c_a , c_b の周波数 f_a , f_b が、それぞれの位相の一致する期間が 1 水平期間中の無効期間の範囲内となる値に設定されるようにすることで、同タイミ

10

【実施形態 2】

【0029】

図 11 は、この発明の第 2 の実施形態である液晶表示装置の電氣的構成を示すブロック図である。

この形態の液晶表示装置では、同図 11 に示すように、液晶パネル 11 の表示領域は、列方向に 2 分割されて領域 A_e 及び同領域 A_e と等しい大きさの領域 B_e として構成されている。そして、領域 A_e , B_e に、データ線駆動回路 12_1 , 12_2 , 12_3 及びデータ線駆動回路 12_4 , 12_5 , 12_6 が対応付けられている。また、図 5 中の信号処理基板 14 に代えて、異なる機能を有する信号処理基板 14B が設けられている。信号処理基板 14B は、タイミングコントローラ $14e$ を有している。同タイミングコントローラ $14e$ の機能では、領域 A_e , B_e にそれぞれ対応する内部クロック信号 c_a , c_b のうち

20

【0030】

この液晶表示装置では、タイミングコントローラ $14e$ により、内部クロック信号 c_b の波長に対して式 (4) が適用され、同内部クロック信号 c_b の波長が内部クロック信号 c_a の波長の $1/2$ に設定され、第 1 の実施形態と同様の利点がある。

【0031】

以上、この発明の実施形態を図面により詳述してきたが、具体的な構成は同実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更などがあっても、この発明に含まれる。

30

たとえば、上記第 1 の実施形態では、液晶パネル 11 の表示領域が 2 分割されているが、2 つの領域に限定されず、複数の領域であれば良い。

【産業上の利用可能性】

【0032】

この発明は、液晶表示装置全般に適用でき、特に、大型化及び高精細化に伴い、液晶パネルに伝送される画像データの量が膨大になると共に、画像データの伝送が高速化されている場合に有効である。

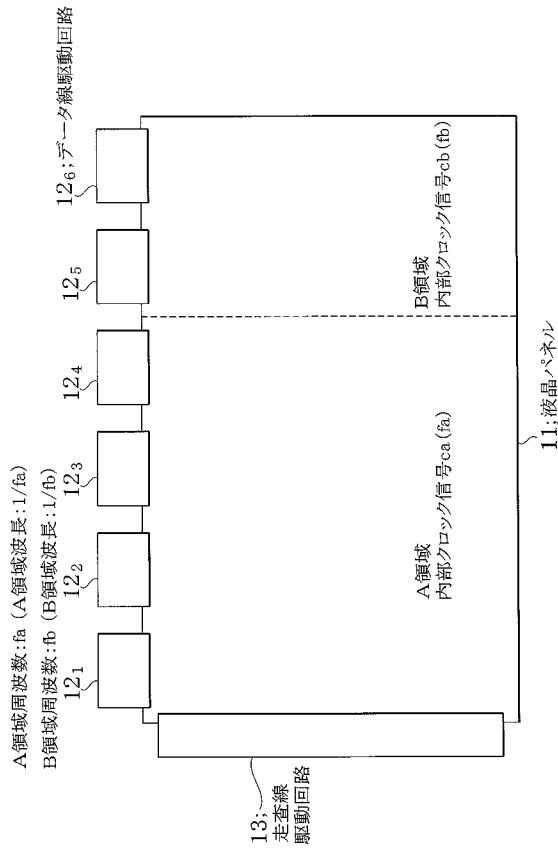
【符号の説明】

40

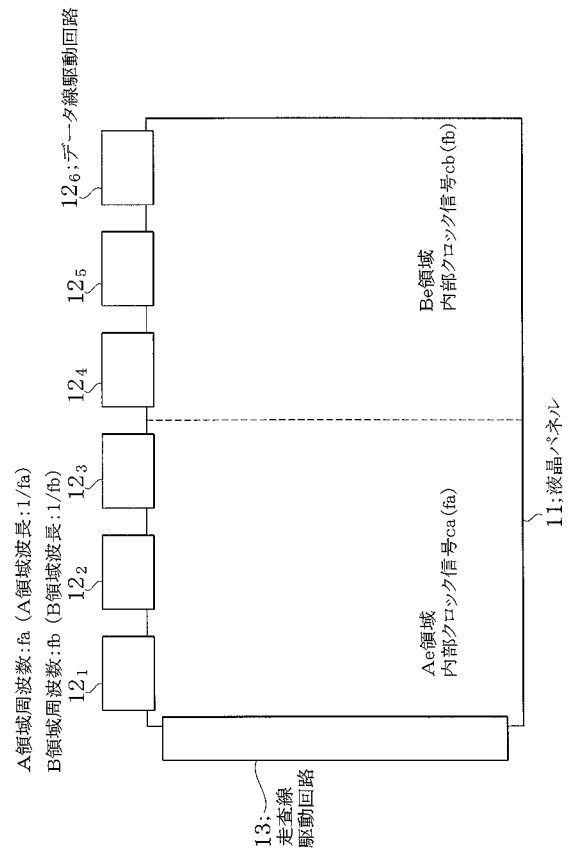
【0033】

- 11 液晶パネル
- 12_1 , 12_2 , ... , 12_5 , 12_6 データ線駆動回路
- 13 走査線駆動回路
- 14 , $14A$, $14B$ 信号処理基板 (制御手段)
- $14a$, $14d$ タイミングコントローラ (制御手段の一部)
- $14b$ データ制御信号生成部 (制御手段の一部)
- $14c$ 周波数変換部 (制御手段の一部)
- A , B , A_e , B_e 領域 (表示領域)

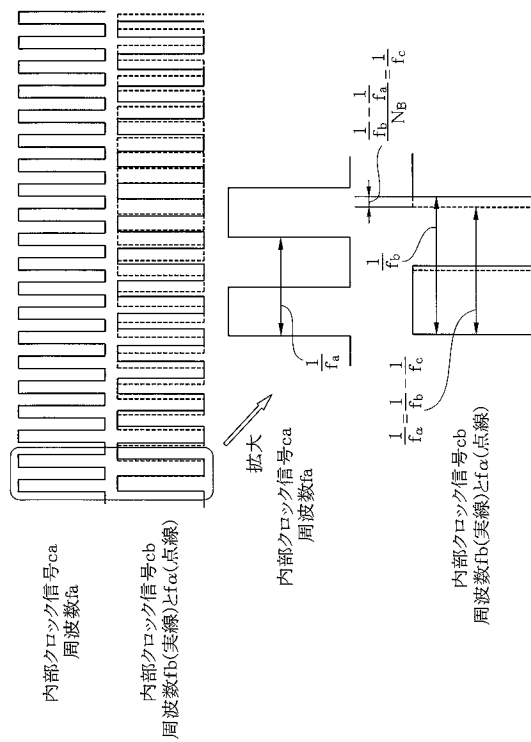
【図 1】



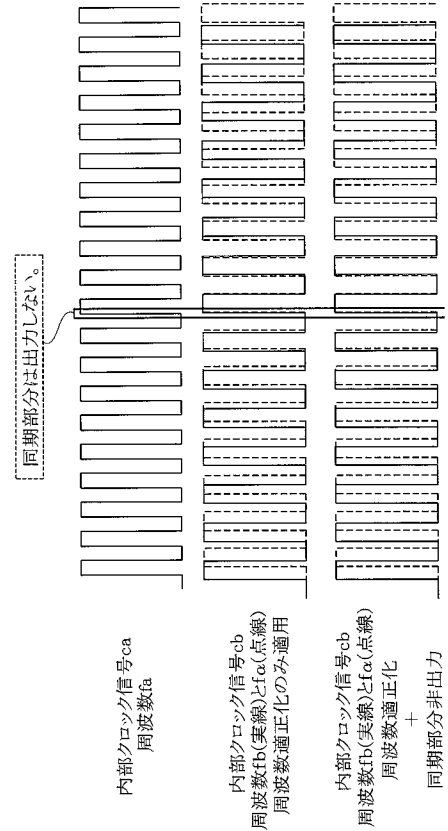
【図 2】



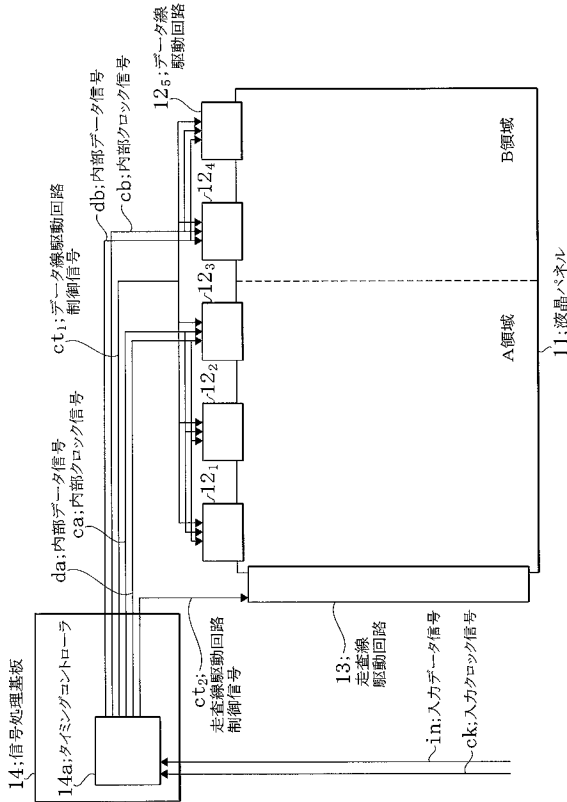
【図 3】



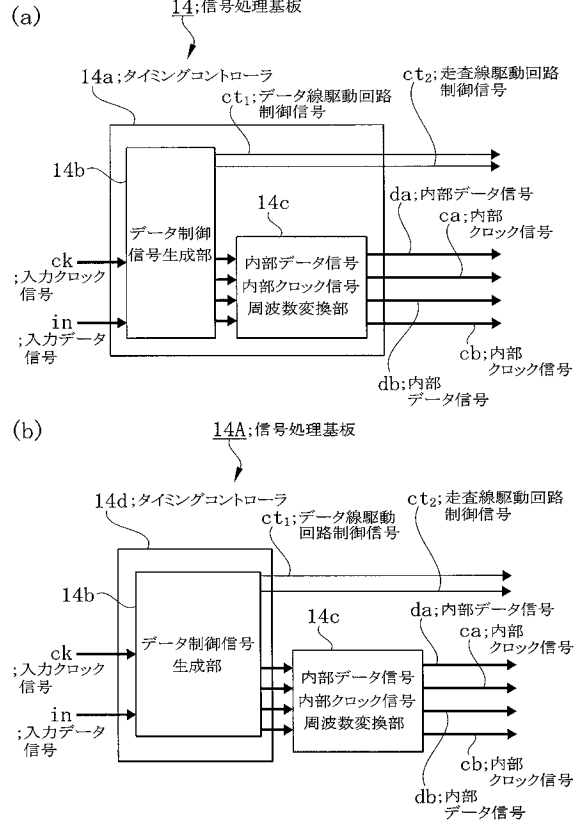
【図 4】



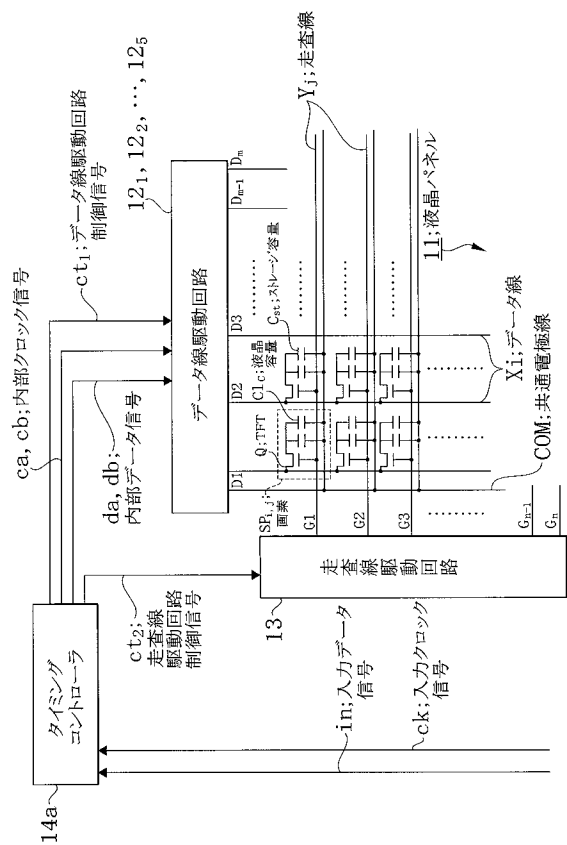
【図 5】



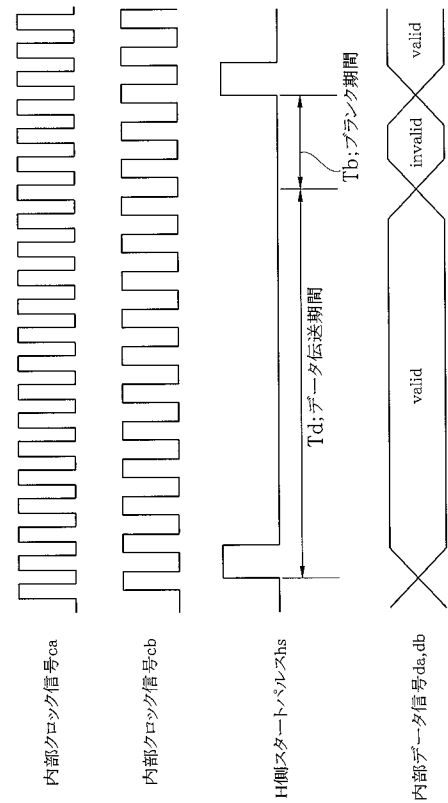
【図 6】



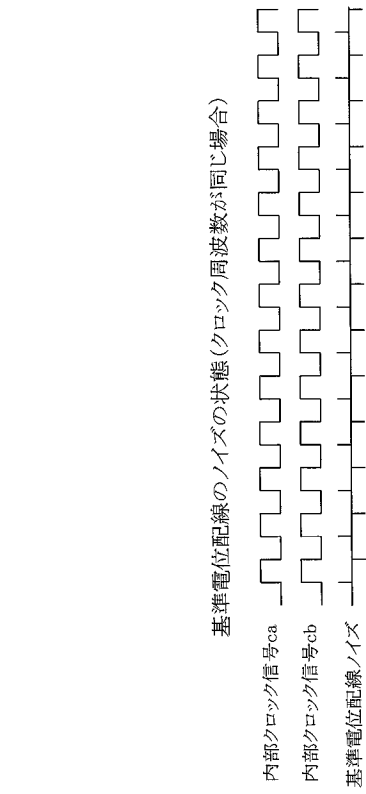
【図 7】



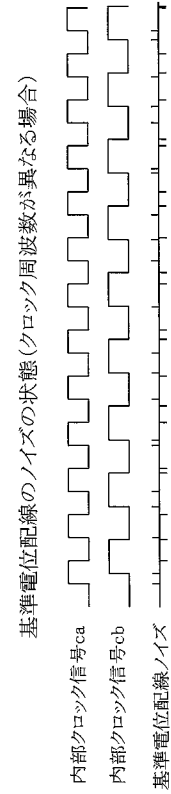
【図 8】



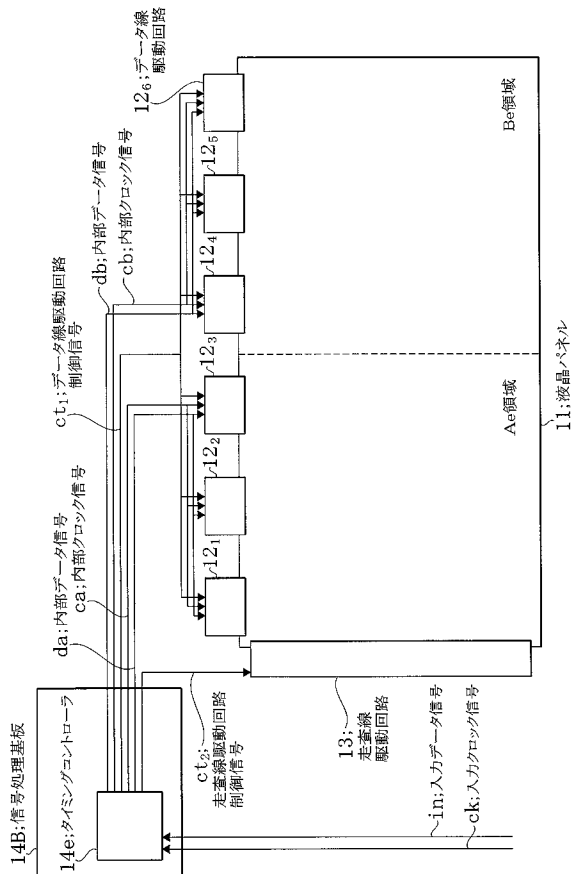
【図 9】



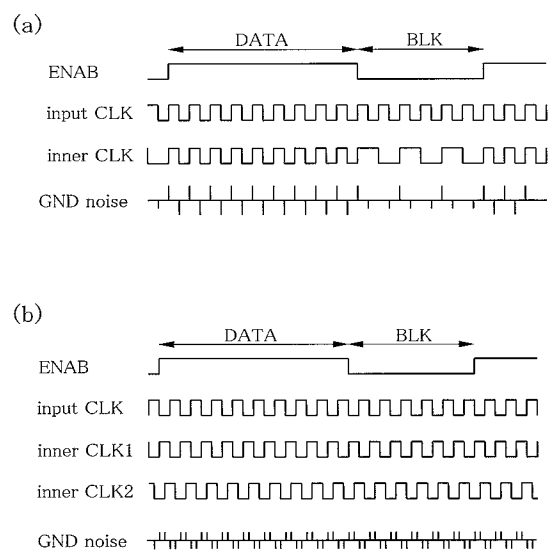
【図 10】



【図 11】



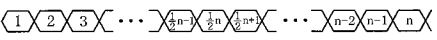
【図 12】



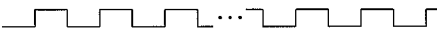
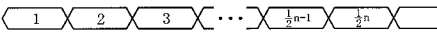
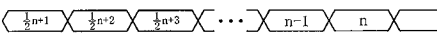
【図 13】

(a)

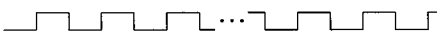
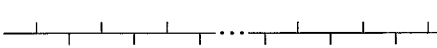
入力信号

クロック データ 

出力信号

クロック データ データ 

(b)

クロック 基準電位
配線ノイズ

フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 1 1 C
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5

专利名称(译)	液晶表示装置及び信号処理方法		
公开(公告)号	JP2013109358A	公开(公告)日	2013-06-06
申请号	JP2012281871	申请日	2012-12-25
[标]申请(专利权)人(译)	NEC液晶技術株式会社		
申请(专利权)人(译)	NLT科技有限公司		
[标]发明人	太田 慎司		
发明人	太田 慎司		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.623.V G09G3/20.612.K G09G3/20.612.T G09G3/20.622.D G09G3/20.623.D G09G3/20.611.C G02F1/133.550 G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA34 2H193/ZB03 2H193/ZC25 2H193/ZD23 2H193/ZE03 2H193/ZF21 2H193/ZF36 2H193/ZF51 5C006/AA16 5C006/AF72 5C006/AF73 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC23 5C006/FA32 5C080/AA10 5C080/BB06 5C080/DD12 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06		
代理人(译)	西村 征生		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其中即使图像数据的传输快速，在信号处理板小型化和薄化的同时抑制了EMI噪声的发生。数据线驱动电路包括多个数据线驱动电路，每个数据线驱动电路包括数据线驱动电路，多个数据线驱动电路，第一控制信号ct 1，数据信号da和db以及时钟信号ca和cb输出到副扫描线驱动电路13，12 5用于输出信号ct2的定时控制器14a。定时控制器14a将用于显示区域A和B的具有不同频率的时钟信号ca和cb提供给数据线驱动电路12 1，12 2，12 3，12 4，12 5。点域5

