

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-221326

(P2011-221326A)

(43) 公開日 平成23年11月4日(2011.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 641A	5C080
G09G 3/30 (2006.01)	G09G 3/20 623C	5C380
	G09G 3/20 641E	

審査請求 未請求 請求項の数 13 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2010-91173 (P2010-91173)
 (22) 出願日 平成22年4月12日 (2010.4.12)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 矢田部 聡
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 2H193 ZA04 ZB02 ZB03 ZC22 ZD25 ZD26 ZF36

最終頁に続く

(54) 【発明の名称】 画素回路、電気光学装置およびその駆動方法

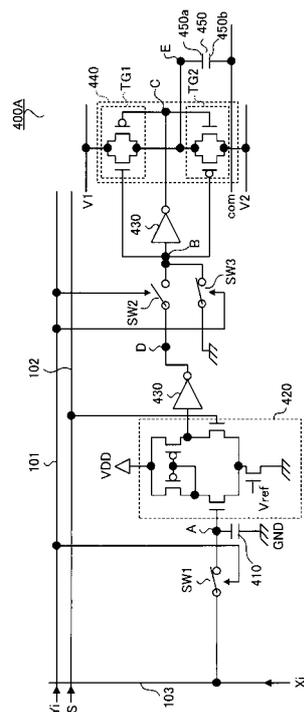
(57) 【要約】

【課題】 デジタル駆動で1フレーム期間内に同一の画素回路に対してデータを書き込む回数を低減する。

【解決手段】

画素回路400Aは、データ信号X_jを保持する保持容量410と、走査信号Y_iがアクティブになるとデータ信号X_jを保持容量410に取り込むスイッチング素子SW1と、水平走査期間周期のランプ信号Sと、保持容量410に保持されたデータ信号X_jとを比較するコンパレータ420と、コンパレータ420の出力信号に基づいて、パルス幅変調された信号を生成して液晶素子450に供給する選択回路440とを備える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

表示すべき階調に応じたデータ信号を保持する保持部と、
所定の書込期間に前記データ信号を前記保持部に取り込む第 1 のスイッチング素子と、
所定周期でレベルが変化する基準信号と前記保持部に保持されたデータ信号とを比較する比較部と、
前記比較部の比較結果に基づいて、パルス幅変調された駆動信号を生成する生成部と、
を備えたことを特徴とする画素回路。

【請求項 2】

前記比較部は、常時、前記保持部に保持されたデータ信号と前記基準信号とを比較し、
前記生成部は、前記書込期間を含むマスク期間において、前記比較部の比較結果を前記
駆動信号に反映させず、前記マスク期間が終了した後、前記比較部の比較結果に従って、
前記駆動信号を生成する、
ことを特徴とする請求項 1 に記載の画素回路。

10

【請求項 3】

前記比較部は、比較結果を示す比較信号を第 1 ノードに出力し、
前記生成部は、マスク部と、選択部とを備え、
前記マスク部は、
前記マスク期間にオフ状態となり、前記マスク期間以外の他の期間でオン状態となり、
一方の端子が前記第 1 ノードに接続され、他方の端子が第 2 ノードに接続される第 2 のス
イッチング素子と、
前記マスク期間にオン状態となり、前記マスク期間以外の他の期間でオフ状態となり、
一方の端子が前記第 2 ノードに接続され、他方の端子に第 1 電位が供給される第 3 のス
イッチング素子とを備え、
前記第 2 ノードに前記マスク期間において前記第 1 電位となり、前記マスク期間以外の
期間において前記比較信号を出力し、
前記選択部は、前記マスク部の出力信号に基づいて、第 1 レベルと第 2 レベルとのうち
いずれか一方を選択して、前記駆動信号として出力する、
ことを特徴とする請求項 1 または 2 に記載の画素回路。

20

【請求項 4】

前記基準信号は、信号線を介して供給され、
前記第 1 のスイッチング素子は、前記データ信号を供給するデータ線と第 3 ノードとの
間に設けられており、
前記保持部は、一方の端子に前記第 3 ノードが接続されており、他方の端子に固定電位
が供給される保持容量であり、
前記比較部は、一方の端子が前記第 3 ノードに接続され、他方の端子が前記信号線に接
続されるコンパレータを備える、
ことを特徴とする請求項 1 乃至 3 のうちいずれか 1 項に記載の画素回路。

30

【請求項 5】

前記基準信号は、信号線を介して供給され、
前記第 1 のスイッチング素子は、前記データ信号を供給するデータ線と第 3 ノードとの
間に設けられており、
前記保持部は、
一方の端子に前記第 3 ノードが接続されており、他方の端子に第 4 ノードが接続される
カップリング容量と、
一方の端子に前記第 3 ノードが接続されており、他方の端子が前記信号線に接続される
第 4 のスイッチング素子とを備え、
前記比較部は、
前記第 4 ノードと入力端子が接続され、第 5 ノードと出力端子が接続されるインバータ
と、

40

50

前記第 4 ノードと前記第 5 ノードとの間に設けられ、前記書込期間においてオン状態となり、前記書込期間以外の他の期間においてオフ状態となる第 5 のスイッチング素子とを備える、

ことを特徴とする請求項 1 乃至 3 のうちいずれか 1 項に記載の画素回路。

【請求項 6】

前記書込期間は、1 水平走査期間であり、

前記基準信号の所定周期は、前記 1 水平走査期間の自然数倍であることを特徴とする請求項 1 乃至 5 のうちいずれか 1 項に記載の画素回路。

【請求項 7】

前記基準信号はランブ波形またはガンマ特性の波形を有することを特徴とする請求項 1 乃至 5 のうちいずれか 1 項に記載の画素回路。

10

【請求項 8】

複数のデータ線と、

複数の走査線と、

複数の信号線と、

前記走査線と前記データ線の交差に対応して設けられた複数の画素回路と、

前記複数の走査線に、各々の走査線を水平走査期間ごとに順次選択する走査信号を供給する走査線駆動回路と、

前記複数のデータ線に表示すべき階調に応じたデータ信号を供給するデータ線駆動回路と、

20

一または複数の水平走査期間を 1 周期として、レベルが変化する基準信号を生成し、前記複数の信号線に共通に供給する基準信号生成手段とを備え、

前記複数の画素回路の各々は、

前記データ信号を保持する保持部と、

前記走査線を介して供給される前記走査信号がアクティブとなる書込期間において、前記データ線を介して供給される前記データ信号を前記保持部に取り込む第 1 のスイッチング素子と、

前記信号線を介して供給される前記基準信号と前記保持部に保持されたデータ信号とを比較する比較部と、

前記比較部の比較結果に基づいて、パルス幅変調された駆動信号を生成する生成部とを備える、

30

ことを特徴とする電気光学装置。

【請求項 9】

前記比較部は、常時、前記保持部に保持されたデータ信号と前記基準信号とを比較し、

前記生成部は、前記書込期間を含むマスク期間において、前記比較部の比較結果を前記駆動信号に反映させず、前記マスク期間が終了した後、前記比較部の比較結果に従って、前記駆動信号を生成する、

ことを特徴とする電気光学装置。

【請求項 10】

前記基準信号は、 k (k は 2 以上の自然数) 個の水平走査期間を 1 周期とし、

40

前記マスク期間は k 個の水平走査期間であり、

前記複数の走査線と 1 対 1 に対応するように設けられた複数の補助走査線と、

前記複数の補助走査線の各々に前記マスク期間でアクティブとなる補助走査信号を供給する補助走査線駆動回路とを備え、

前記生成部は、前記補助走査信号がアクティブな期間は、前記比較部の比較結果を前記駆動信号に反映させず、前記補助走査信号がアクティブな期間が終了した後、前記比較部の比較結果に従って、前記駆動信号を生成する、

ことを特徴とする請求項 9 に記載の電気光学装置。

【請求項 11】

複数のデータ線と、

50

複数の走査線と、
 複数の信号線と、
 前記走査線と前記データ線の交差に対応して設けられた複数の画素回路と、
 前記複数の走査線に、各々の走査線を水平走査期間ごとに順次選択する走査信号を供給する走査線駆動回路と、
 前記複数のデータ線に表示すべき階調に応じたデータ信号を供給するデータ線駆動回路と、

k (kは2以上の自然数)個の水平走査期間を1周期とし、位相が水平走査期間ごとにずれ、1周期の中でレベルが変化するk種類の基準信号を生成する基準信号生成手段とを備え、

前記複数の画素回路の各々は、
 前記データ信号を保持する保持部と、
 前記走査線を介して供給される前記走査信号がアクティブとなる書込期間において、前記データ線を介して供給される前記データ信号を前記保持部に取り込む第1のスイッチング素子と、

前記信号線を介して供給される前記基準信号と前記保持部に保持されたデータ信号とを比較した比較結果を示す比較信号を出力する比較部と、

前記書込期間以外の期間は前記比較信号に基づいて第1レベルと第2レベルのいずれか一方となる駆動信号を生成し、前記書込期間では前記第1レベルとなる駆動信号を生成する生成部とを備え、

k本の前記信号線を組みとし、組を構成するk本の前記信号線と1対1に対応するように前記k種類の基準信号を供給する、
 ことを特徴とする電気光学装置。

【請求項12】

請求項8乃至11のうちいずれか1項に記載の電気光学装置を備えることを特徴とする電子機器。

【請求項13】

表示すべき階調に応じたデータ信号を保持する保持部を備えた電気光学装置の駆動方法であって、

書込期間に前記データ信号を前記保持部に書き込み、
 所定周期でレベルが変化する基準信号と、前記保持部に保持されたデータ信号とを比較し、

比較結果に基づいて、パルス幅変調された駆動信号を生成する、
 ことを特徴とする電気光学装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路、電気光学装置およびその駆動方法に関する。

【背景技術】

【0002】

従来の液晶装置(特許文献1参照)や有機EL素子を用いた発光装置では、1フレームを複数のサブフィールドに分割し、サブフィールド単位で各画素の点灯・消灯を2値的に制御するサブフィールド駆動が知られている。

サブフィールド駆動では、各サブフィールドにおいて点灯・消灯を指定する信号を画素に書き込み、これに従って、点灯・消灯が制御される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】再表00/070594号公報

10

20

30

40

50

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、サブフィールド駆動を用いる従来の液晶装置では、液晶に表示すべき階調に応じたパルス列を印加するために、1フレーム期間内に同一の画素回路に対して複数回データを書き込む必要であり、データ転送スピードをアナログ駆動に比べて高くする必要があった。このため、大画面化、高階調化、立体表示等で必要とされる高フレーム化が困難であるといった問題があった。

【0005】

そこで、本発明は、デジタル駆動でありながら、1フレーム期間内に同一の画素回路に対してデータを書き込む回数を大幅に低減することなどを解決課題とする。

10

【課題を解決するための手段】

【0006】

上記課題を解決するため、本発明の画素回路は表示すべき階調に応じたデータ信号を保持する保持部（例えば、保持容量410、カップリング容量460）と、所定の書込期間に前記データ信号を前記保持部に取り込む第1のスイッチング素子（例えば、SW1）と、所定周期でレベルが変化する基準信号と、前記保持部に保持されたデータ信号とを比較する比較部（例えば、コンパレータ420、インバータ470およびスイッチング素子SW5）と、前記比較部の比較結果に基づいて、パルス幅変調された駆動信号を生成する生成部と、を備える。この画素回路において、電気エネルギーによって光学特性が変化する電気光学素子を設け、前記電気光学素子に、表示すべき階調に応じたパルス幅を有する駆動信号を供給してもよい。また、駆動信号は所定周期を有するパルス幅変調信号であってもよい。この場合、所定周期は任意であり、例えば、水平走査期間の自然数倍の周期であってもよい。

20

【0007】

この発明によれば、書込期間にデータ信号を保持部に取り込むと、比較部はデータ信号を所定周期の基準信号と比較するので、パルス幅変調された駆動信号を生成することができる。すなわち、データ信号を一度書き込めば、再度の書き込みがあるまで、繰り返し、基準信号と比較を行って駆動信号を生成する。したがって、デジタル駆動でありながら、1フレームにおいて画素回路にデータ信号を書き込む回数を大幅に低減させることができる。さらには、サブフィールドを使ったデジタル駆動で問題となる階調コードによるフレーム内の輝度変化による擬似輪郭等も所定周期で分散させることができるので、画質を向上させることができる。なお、電気光学素子には、電気エネルギーが印加電圧として与えられると、印加電圧に応じて光学特性たる透過率が変化する液晶素子と、電気エネルギーが電流で与えられると、電流に応じた輝度で発光する有機EL素子が含まれる。

30

【0008】

ここで、前記比較部は、常時、前記保持部に保持されたデータ信号と前記基準信号とを比較し、前記生成部は、前記書込期間を含むマスク期間において、前記比較部の比較結果を前記駆動信号に反映させず、前記マスク期間が終了した後、前記比較部の比較結果に従って、前記駆動信号を生成する、ことを特徴とする。

40

書込期間ではデータ信号を再度書き込むため、比較部の比較結果に乱れが発生するが、この発明によれば、マスク期間を設けて比較結果を駆動信号に反映させないようにするので、正確な階調を表示することが可能となる。

【0009】

より具体的には、前記比較部は、比較結果を示す比較信号を第1ノード（例えば、ノードD）に出力し、前記生成部は、マスク部と、選択部とを備え、前記マスク部は、前記マスク期間にオフ状態となり、前記マスク期間以外の他の期間でオン状態となり、一方の端子が前記第1ノードに接続され、他方の端子が第2ノード（例えば、ノードB）に接続される第2のスイッチング素子（例えば、SW2）と、前記マスク期間にオン状態となり、前記マスク期間以外の他の期間でオフ状態となり、一方の端子が前記第2ノードに接続さ

50

れ、他方の端子に第 1 電位が供給される第 3 のスイッチング素子（例えば、SW3）とを備え、前記第 2 ノードに前記マスク期間において前記第 1 電位となり、前記マスク期間以外の期間において前記比較信号を出力し、前記選択部は、前記マスク部の出力信号に基づいて、第 1 レベル（例えば、第 1 電源電位 V1）と第 2 レベル（例えば、第 2 電源電位 V2）とのうちいずれか一方を選択して、前記駆動信号として出力する、ことが好ましい。

この発明によれば、2 個のスイッチング素子によって、比較信号をマスクするので、簡易にマスク部を構成することが可能となる。

【0010】

上述した画素回路において、前記基準信号は、信号線を介して供給され、前記第 1 のスイッチング素子は、前記データ信号を供給するデータ線と第 3 ノードとの間に設けられており、前記保持部は、一方の端子に前記第 3 ノードが接続されており、他方の端子に固定電位が供給される保持容量であり、前記比較部は、一方の端子が前記第 3 ノードに接続され、他方の端子が前記信号線に接続されるコンパレータを備えることが好ましい。

10

この場合には、コンパレータによってデータ信号と基準信号とを比較することが可能となる。

【0011】

上述した画素回路において、前記基準信号は、信号線を介して供給され、前記第 1 のスイッチング素子は、前記データ信号を供給するデータ線と第 3 ノード（例えば、ノード F）との間に設けられており、前記保持部は、一方の端子に前記第 3 ノードが接続されており、他方の端子に第 4 ノード（例えば、ノード G）が接続されるカップリング容量と、一方の端子に前記第 3 ノードが接続されており、他方の端子が前記信号線に接続される第 4 のスイッチング素子（例えば、SW4）とを備え、前記比較部は、前記第 4 ノードと入力端子が接続され、第 5 ノード（例えば、ノード D）と出力端子が接続されるインバータと、前記第 4 ノードと前記第 5 ノードとの間に設けられ、前記書込期間においてオン状態となり、前記書込期間以外の他の期間においてオフ状態となる第 5 のスイッチング素子（例えば、SW5）とを備える、ことを特徴とする。

20

この場合には、インバータと第 5 のスイッチング素子によって比較部を構成するので、構成を大幅に簡素化することができ、画素の開口率を高めることができる。

【0012】

上述した画素回路において、前記書込期間は、1 水平走査期間であり、前記基準信号の所定周期は、前記 1 水平走査期間の自然数倍であることが好ましい。

30

また、上述した画素回路において、前記基準信号はランブ波形またはガンマ特性の波形を有することが好ましい。ランブ波形の場合は、表示すべき階調とパルス幅とを比例させることができる。一方、ガンマ特性を有する波形にすることで、ガンマ補正とパルス幅変調とを同時に実行することが可能となる。

【0013】

次に、本発明に係る電気光学装置は、複数のデータ線と、複数の走査線と、複数の信号線と、前記走査線と前記データ線の交差に対応して設けられた複数の画素回路と、前記複数の走査線に、各々の走査線を水平走査期間ごとに順次選択する走査信号を供給する走査線駆動回路と、前記複数のデータ線に表示すべき階調に応じたデータ信号を供給するデータ線駆動回路と、一または複数の水平走査期間を 1 周期として、レベルが変化する基準信号を生成し、前記複数の信号線に共通に供給する基準信号生成手段とを備え、前記複数の画素回路の各々は、前記データ信号を保持する保持部と、前記走査線を介して供給される前記走査信号がアクティブとなる書込期間において、前記データ線を介して供給される前記データ信号を前記保持部に取り込む第 1 のスイッチング素子と、前記信号線を介して供給される前記基準信号と、前記保持部に保持されたデータ信号とを比較する比較部と、前記比較部の比較結果に基づいて、パルス幅変調された駆動信号を生成する生成部とを備える。

40

【0014】

この発明によれば、全ての画素回路に共通した基準信号を供給するから、画素回路間で

50

基準信号がバラツクことによる表示輝度のバラツキを無くすることができる。また、デジタル駆動でありながら、1フレームにおいて画素回路にデータ信号を書き込む回数を大幅に低減させることができる。さらには、サブフィールドを使ったデジタル駆動で問題となる階調コードによるフレーム内の輝度変化による擬似輪郭等も所定周期で分散させることができるので、画質を向上させることができる。

【0015】

上述した電気光学装置において、前記比較部は、常時、前記保持部に保持されたデータ信号と前記基準信号とを比較し、前記生成部は、前記書込期間を含むマスク期間において、前記比較部の比較結果を前記駆動信号に反映させず、前記マスク期間が終了した後、前記比較部の比較結果に従って、前記駆動信号を生成する、ことが好ましい。

10

書込期間ではデータ信号を再度書き込むため、比較部の比較結果に乱れが発生するが、この発明によれば、マスク期間を設けて比較結果を駆動信号に反映させないようにするので、正確な階調を表示することが可能となる。

【0016】

上述した電気光学装置において、前記基準信号は、 k (k は2以上の自然数)個の水平走査期間を1周期とし、前記マスク期間は k 個の水平走査期間であり、前記複数の走査線と1対1に対応するように設けられた複数の補助走査線と、前記複数の補助走査線の各々に前記マスク期間でアクティブとなる補助走査信号を供給する補助走査線駆動回路とを備え、前記生成部は、前記補助走査信号がアクティブな期間は、前記比較部の比較結果を前記駆動信号に反映させず、前記補助走査信号がアクティブな期間が終了した後、前記比較部の比較結果に従って、前記駆動信号を生成する、ことが好ましい。

20

この発明によれば、基準信号を複数の水平走査期間周期とすることができ、そのような場合に、補助走査信号を用いて比較部の比較結果をマスクすることが可能となる。

【0017】

また本発明に係る電気光学装置は、複数のデータ線と、複数の走査線と、複数の信号線と、前記走査線と前記データ線の交差に対応して設けられた複数の画素回路と、前記複数の走査線に、各々の走査線を水平走査期間ごとに順次選択する走査信号を供給する走査線駆動回路と、前記複数のデータ線に表示すべき階調に応じたデータ信号を供給するデータ線駆動回路と、 k (k は2以上の自然数)個の水平走査期間を1周期とし、位相が水平走査期間ごとにずれ、1周期の中でレベルが変化する k 種類の基準信号を生成する基準信号生成手段とを備え、前記複数の画素回路の各々は、前記データ信号を保持する保持部と、前記走査線を介して供給される前記走査信号がアクティブとなる書込期間において、前記データ線を介して供給される前記データ信号を前記保持部に取り込む第1のスイッチング素子と、前記信号線を介して供給される前記基準信号と、前記保持部に保持されたデータ信号とを比較した比較結果を示す比較信号を出力する比較部と、前記書込期間以外の期間は前記比較信号に基づいて第1レベルと第2レベルのいずれか一方となる駆動信号を生成し、前記書込期間では前記第1レベルとなる駆動信号を生成する生成部とを備え、 k 本の前記信号線を組みとし、組を構成する k 本の前記信号線と1対1に対応するように前記 k 種類の基準信号を供給する、ことを特徴とする。

30

この発明によれば、マスク期間を書込期間と同じ1水平走査期間とすることができる。そして、他の水平走査期間を階調表示に割り当てることができる。このため、正確な階調を表示することが可能となる。

40

【0018】

次に、本発明に係る電子機器は、上述した電気光学装置を備えることを特徴とする。そのような電子機器としては、パーソナルコンピュータ、携帯電話機、あるいは電子カメラなどが該当する。

【0019】

また、本発明は電気光学装置の駆動方法として捉えることができる。そのような発明としては、表示すべき階調に応じたデータ信号を保持する保持部を備えた電気光学装置の駆動方法であって、書込期間に前記データ信号を前記保持部に書き込み、所定周期でレベル

50

が変化する基準信号と、前記保持部に保持されたデータ信号とを比較し、比較結果に基づいて、パルス幅変調された駆動信号を生成する、ものが該当する。

【図面の簡単な説明】

【0020】

【図1】本発明の第1実施形態に係る液晶装置の構成を示すブロック図である。

【図2】 i 行 j 列目の画素回路400Aの回路図である。

【図3】液晶装置1Aの動作を示すタイミングチャートである。

【図4】第1電源電位 V_1 、第2電源電位 V_2 、共通電位 c_{om} 、および液晶素子450へ供給する電位 V_E の関係を示すタイミングチャートである。

【図5】本発明の第2実施形態に用いる i 行 j 列目の画素回路400Bの回路図である。

10

【図6】第2実施形態の液晶装置1Aの動作を示すタイミングチャートである。

【図7】第3実施形態に係る液晶装置1Bの構成を示すブロック図である。

【図8】同実施形態に用いる i 行 j 列目の画素回路400Cの回路図である。

【図9】同実施形態の液晶装置1Bの動作を示すタイミングチャートである。

【図10】同実施形態の変型例に係る画素回路400Dの回路図である。

【図11】第4実施形態の液晶装置1Cの構成を示すブロック図である。

【図12】同実施形態の液晶装置1Cの動作を示すタイミングチャートである。

【図13】変型例に係るアンプの構成例を示す回路図である。

【図14】電位機器の一例たるパーソナルコンピュータの外観構成を示す斜視図である。

【図15】電位機器の一例たる投写型表示装置の外観構成を示す斜視図である。

20

【発明を実施するための形態】

【0021】

< 1. 第1実施形態 >

図1は、本発明の第1実施形態に係る液晶装置の概略構成を示すブロック図である。液晶装置1Aは、液晶パネルAAと外部回路を備える。液晶パネルAAは、薄膜トランジスタ(以下、TFTと称する。)や各種の配線が形成される素子基板と、素子基板と対向し、一面に共通電極が形成される透明な対向基板と、素子基板と対向基板との間に挟持される液晶とを備える。液晶パネルAAには、画素領域A、走査線駆動回路100A、およびデータ線駆動回路200が形成されている。このうち、画素領域Aには、X方向と平行に m 本の走査線101が形成される。また、X方向と直交するY方向と平行に n 本のデータ線103が形成される。X方向と平行に m 本の信号線102が形成される。そして、走査線101とデータ線103との各交差に対応して画素回路400が各々設けられている。

30

【0022】

各画素に印加される電位レベルに応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電位が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電位が高くなるにつれて緩和されるので、液晶表示装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となる。

【0023】

40

走査線駆動回路100Aは、複数の走査線101を順次選択するための走査信号 Y_1 、 Y_2 、 Y_3 、...、 Y_m を生成して、各画素回路400に各々供給する。走査信号 Y_1 は、1垂直走査期間(1F)の最初のタイミングから、1水平走査期間(1H)に相当する幅のパルスであって、1行目の走査線101に供給される。以降、このパルスを順次シフトして、2、3、...、 m 行目の走査線101の各々に走査信号 Y_2 、 Y_3 、...、 Y_m として供給する。一般的に i (i は、1 i m を満たす整数)行目の走査線101に供給される走査信号 Y_i がハイレベルになると、当該走査線101が選択される。

【0024】

データ線駆動回路200は、1、2、...、 n 列目のデータ線103の各々にデータ信号 X_1 、 X_2 、...、 X_n を供給する。これにより、選択された走査線101に位置する画素

50

回路400の各々に対しデータ信号 X_1 、 X_2 、... X_n が供給される。この例において、データ信号 $X_1 \sim X_n$ は階調輝度を指示する電圧信号として与えられる。以下の説明では、 j (j は、 $1 \leq j \leq n$ を満たす整数)列目のデータ線103に供給されるデータ信号をデータ信号 X_j と称する。

【0025】

ランプ信号生成回路500Aは、信号線102を介してランプ信号 S を全ての画素回路400に供給する。ランプ信号 S の波形は1水平走査期間を1周期とするランプ波形である。

【0026】

制御回路300は、各種の制御信号を生成してこれらを走査線駆動回路100Aおよびデータ線駆動回路200に供給する。また、制御回路300は、例えば10ビットの階調データ D_{out} をデータ線駆動回路200へ出力する。なお、この例では、制御回路300及びランプ信号生成回路500Aを、液晶パネルAAの外部に設けたが、これらの構成要素の一部又は全部を液晶パネルAAに取り込んでもよい。更に、液晶パネルAAに設けられた構成要素の一部を外部回路として設けてもよい。

10

【0027】

次に、本実施形態の画素回路400Aについて説明する。図2に i 行 j 列目の画素回路400Aの回路図を示す。この図に示すように、画素回路400Aは、走査信号 Y_i がアクティブになるとオン状態となり、非アクティブになるとオフ状態となるスイッチング素子 SW_1 、保持容量410、コンパレータ420およびインバータ430を備える。スイッチング素子 SW_1 は、例えば、 n チャンネルのTFTで構成され、ドレインまたはソースの一方がデータ線103に接続され、他方がノードAに接続され、ゲートが走査線101に接続される。保持容量410はノードAと固定電位(この例では、接地電位 GND)との間に設けられている。コンパレータ420は、ノードAの電位と信号線102の電位とを比較する。信号線102にはランプ信号 S が供給されるから、コンパレータ420は、ノードAの電位とランプ信号 S のレベルとを比較して、ノードAの電位 V_A がランプ信号 S のレベルを上回るとハイレベルになり、ノードAの電位 V_A がランプ信号 S のレベルを下回るとローレベルになる信号を出力する。インバータ430はコンパレータ420の出力信号を反転してノードDに供給する。コンパレータ420およびインバータ430は、TFTによって構成される。

20

30

【0028】

画素回路400Aは、さらに、スイッチング素子 SW_2 および SW_3 、インバータ430、選択回路440、ならびに液晶素子450を備える。これらの構成は、TFTによって構成される。

スイッチング素子 SW_2 は p チャンネルのTFTで構成され、ドレインまたはソースの一方がノードDに接続され、他方がノードBに接続され、ゲートが走査線101に接続される。スイッチング素子 SW_3 は n チャンネルのTFTで構成され、ドレインまたはソースの一方がノードBに接続され、他方が接地され、ゲートが走査線101に接続される。

このため、スイッチング素子 SW_2 と SW_3 とは排他的にオン状態となり、走査信号 Y_i がアクティブ(ハイレベル)のとき、スイッチング素子 SW_2 はオフ状態でスイッチング素子 SW_3 がオン状態となる。また、走査信号 Y_i が非アクティブ(ローレベル)のとき、スイッチング素子 SW_2 はオン状態でスイッチング素子 SW_3 がオフ状態となる。したがって、ノードBの電位 V_B は、走査信号 Y_i がアクティブの期間に接地電位となり、走査信号 Y_i が非アクティブの期間にノードDの電位 V_D となる。

40

【0029】

選択回路440は、一方の端子にノードEが接続され、他方の端子に第1電源電位 V_1 が供給されるトランスファークゲート TG_1 と、一方の端子にノードEが接続され、他方の端子に第2電源電位 V_2 が供給されるトランスファークゲート TG_2 とを備える。トランスファークゲート TG_1 および TG_2 の各々は、 p チャンネルのTFTと n チャンネルのTFTとを並列に接続して構成される。そして、トランスファークゲート TG_1 および TG_2 には、

50

制御信号としてノードBの電位 V_B と、これをインバータ430で反転したノードCの電位 V_C が供給される。この結果、電位 V_B がハイレベル（電位 V_C がローレベル）でトランスファークゲートTG1がオン状態、トランスファークゲートTG2がオフ状態となり、ノードEの電位 V_E は第1電源電位 V_1 となる。一方、電位 V_B がローレベル（電位 V_C がハイレベル）でトランスファークゲートTG2がオン状態、トランスファークゲートTG1がオフ状態となり、ノードEの電位 V_E は第2電源電位 V_2 となる。

【0030】

液晶素子450は、素子基板に形成された画素電極450aと、対向基板に形成された対向電極450bと、画素電極450aと対向電極450bとに挟持される液晶を備える。

対向電極450bには共通電位comが供給され、画素電極450aはノードEに接続され、電位 V_E が供給される。

そして、液晶には、共通電位comと電位 V_E とが印加され、この印加電圧に応じて液晶分子の配向や秩序が変化するので、光変調による階調表示が可能となる。例えば、液晶を通過する光量は、ノーマリーホワイトモードであれば、印加電位が高くなるにつれて制限される一方、ノーマリーブラックモードであれば、印加電位が高くなるにつれて緩和されるので、液晶装置全体では、画像信号に応じたコントラストを持つ光が各画素毎に出射される。このため、所定の表示が可能となる。

【0031】

データ信号 X_j の書込期間（走査信号 Y_i がアクティブになる期間）におけるスイッチング素子SW2およびSW3のマスク処理を無視すれば、ノードBの電位 V_B は、保持容量410に書き込まれたデータ信号 X_j と1水平走査期間内でレベルが変化するランプ信号Sとの大小関係によって定まる。すなわち、データ信号 X_j がランプ信号Sを上回る場合には、電位 V_B がハイレベルとなり第1電源電位 V_1 が液晶素子450に供給される一方、データ信号 X_j がランプ信号Sを下回る場合には、電位 V_B がローレベルとなり第2電源電位 V_2 が液晶素子450に供給される。

【0032】

すなわち、液晶素子450には、表示すべき階調をパルス幅変調したパルス幅変調信号が供給される。そして、1フレーム期間（m本の走査線101を走査する期間）のうち1つの水平走査期間で、データ信号 X_j を書き込めば、画素回路400Aの内部でデータ信号 X_j とランプ信号Sとの比較が1水平走査期間ごとに繰り返し実行される。これによって、液晶素子450に供給されるパルス幅変調信号の周期は1水平走査周期となる。このような短い周期で液晶の透過率を制御しても人の視覚では透過率の変化を平均でしか感ずることができない。よって、フリッカが発生せず、ちらつきがない画像を表示することが可能となる。

【0033】

次に、図3を参照して、液晶装置1Aの動作を説明する。以下の説明では、i行j列目の画素回路400Aにおいて、各ノードの電位 V_A 、 V_D 、および V_E を「(i, j)」を添えて表すことにする。この例において、データ信号 X_j は、0階調から255階調のいずれかを指定するものであって、電位 V_{255} から電位 V_0 までが変動範囲となる。そして、i行j列ではデータ信号 X_j の電位が階調255を指定する電位 V_{255} となり、i+1行j列ではデータ信号 X_j の電位が階調nを指定する電位 V_n となり、i+2行j列ではデータ信号 X_j の電位が階調0を指定する電位 V_0 となる、

【0034】

まず、i行j列目の画素回路400Aでは、i番目の水平走査期間において走査信号 Y_i がアクティブになり（ハイレベル）、i行が選択されると、データ信号 X_j がスイッチング素子SW1を介して保持容量410に取り込まれる。図に示すように、時刻 t_1 から開始される1水平走査期間1Hにおいて、走査信号 Y_i が時刻 t_1a よりアクティブになるとノードAの電位 $V_A(i, j)$ は、時刻 t_1a より下降して時刻 t_1b においてランプ信号Sのレベルと一致し、その後、電位 V_{255} になる。

10

20

30

40

50

【 0 0 3 5 】

コンパレータ 4 2 0 はノード A の電位 V_A とランプ信号 S のレベルとを比較し、インバータ 4 3 0 は比較結果を反転して電位 V_D を生成する。この結果、電位 $V_D(i, j)$ は、時刻 t_{1b} においてローレベルからハイレベルに遷移する。そして、時刻 t_2 から始まる次の 1 水平走査期間において、電位 $V_D(i, j)$ は、常にローレベルを維持する。これは、 i 番目の水平走査期間で書き込まれたデータ信号 X_j の電位が最も低い電位 V_{255} であったからである。

【 0 0 3 6 】

次に、 $i+1$ 行 j 列目の画素回路 4 0 0 A では、 $i+1$ 番目の水平走査期間において走査信号 Y_{i+1} がアクティブになり（ハイレベル）、 $i+1$ 行が選択されると、電位 V_n のデータ信号 X_j が保持容量 4 1 0 に取り込まれる。図に示すように、時刻 t_2 から開始される $i+1$ 番目の水平走査期間において、走査信号 Y_{i+1} が時刻 t_{2a} よりアクティブになるとノード A の電位 $V_A(i+1, j)$ は、時刻 t_{2a} より下降して時刻 t_{2b} において電位 V_n となる。この時点では、電位 $V_A(i+1, j)$ は、ランプ信号 S より高電位である。

10

【 0 0 3 7 】

そして、時刻 t_{2c} において、電位 $V_A(i+1, j)$ とランプ信号 S のレベルと一致すると、電位 $V_D(i+1, j)$ は、時刻 t_{2c} においてローレベルからハイレベルに遷移する。そして、時刻 t_{2d} において、ノード A の電位 $V_A(i+1, j)$ がランプ信号 S を上回ると、電位 $V_D(i+1, j)$ はハイレベルからローレベルに遷移する。 $i+3$ 番目の水平走査期間においても、同様の比較を実行する。

20

【 0 0 3 8 】

次に、 $i+2$ 行 j 列目の画素回路 4 0 0 A では、 $i+2$ 番目の水平走査期間において走査信号 Y_{i+2} がアクティブになり（ハイレベル）、 $i+2$ 行が選択されると、データ信号 X_j が保持容量 4 1 0 に取り込まれる。図に示すように、時刻 t_3 から開始される $i+2$ 番目の水平走査期間において、走査信号 Y_{i+2} が時刻 t_{3a} よりアクティブになるとノード A の電位 $V_A(i+2, j)$ は、時刻 t_{3a} より上昇してランプ信号 S のレベルを上回り、その後、電位 V_0 になる。

【 0 0 3 9 】

コンパレータ 4 2 0 はノード A の電位 V_A とランプ信号 S のレベルとを比較し、インバータ 4 3 0 は比較結果を反転して電位 V_D を生成する。この結果、電位 $V_D(i+2, j)$ は、時刻 t_{3a} においてハイレベルからローレベルに遷移する。そして、時刻 t_4 から始まる次の 1 水平走査期間において、電位 $V_D(i+2, j)$ は、常にハイレベルを維持する。これは、 $i+2$ 番目の水平走査期間で書き込まれたデータ信号 X_j の電位が最も高い電位 V_0 であったからである。

30

【 0 0 4 0 】

上述した具体例から明らかなように、データ信号 X_j を書き込む水平走査期間では、コンパレータ 4 2 0 の出力が、必ずしも表示すべき階調に応じてパルス幅変調された信号となっておらず、正確なパルス幅となるのは、データ信号 X_j の書き込みの後の次の水平走査期間からである。スイッチング素子 SW_2 および SW_3 は、書込期間における乱れを除去するために、ノード D に発生する書込期間の電位の乱れをマスクする処理を行う。

40

【 0 0 4 1 】

具体的には、走査信号 Y_i, Y_{i+1}, Y_{i+2} がアクティブとなる期間においては、スイッチング素子 SW_3 がオン状態となることによって、 i 番目の水平走査期間では、電位 $V_D(i, j)$ がマスクされ、 $i+1$ 番目の水平走査期間の時刻 t_{2a} においてローレベルからハイレベルに遷移する電位 $V_B(i, j)$ が生成される。同様に、 $i+1$ 番目の水平走査期間では、電位 $V_D(i+1, j)$ がマスクされ、 $i+2$ 番目の水平走査期間においてパルスが発生する電位 $V_B(i+1, j)$ が生成される。また、 $i+2$ 番目の水平走査期間では、電位 $V_D(i+2, j)$ がマスクされ、 $i+3$ 番目の水平走査期間においてレベルの遷移が発生する電位 $V_B(i+2, j)$ が生成される。

50

【 0 0 4 2 】

次に、第 1 電源電位 V_1 、第 2 電源電位 V_2 、共通電位 com 、および液晶素子 450 へ供給する電位 V_E の関係を図 4 に示す。この図に示すように第 1 電源電位 V_1 と第 2 電源電位 V_2 とはハイレベルとローレベルが逆転する関係にある。さらに、この例では共通電位 com の極性を反転させて駆動し、これに伴って、第 1 電源電位 V_1 および第 2 電源電位 V_2 の極性を反転させる。このような駆動を採用することによって、データ信号 $X_1 \sim X_n$ の振幅を小さくすることができる。データ線 103 は容量性の負荷であるため、データ信号 $X_1 \sim X_n$ の振幅を小さくすることによって、データ線駆動回路 200n の駆動能力を小さくすることができ、しかも消費電力を低減することができる。

【 0 0 4 3 】

画素を点灯・消灯の 2 値的にデジタル駆動するためのサブフィールド駆動では、複数のサブフィールドの各々においてデータを画素回路に書き込む必要があったが、上述した第 1 実施形態によれば、1 フレームに 1 回、画素回路 400A にデータ信号を書き込めばよい。よって、サブフィールド駆動と比較して、アナログ駆動なみにデータ転送速度を遅くすることができる。一方、実際の液晶に対する駆動波形は 2 値のデジタル駆動となりアナログ駆動より液晶の V_T カーブ変化等の影響を受けにくく信頼性の点で優れている。

さらには、サブフィールドを使ったデジタル駆動で問題となる階調コードによるフレーム内の輝度変化による擬似輪郭等も 1 水平走査周期の完全分散コードとなるため避けられる。

【 0 0 4 4 】

< 2 . 第 2 実施形態 >

次に、第 2 実施形態に係る液晶装置 1A について説明する。第 2 実施形態の液晶装置 1A は、画素回路 400A の代わりに画素回路 400B を用いる点を除いて、図 1 に示す第 1 実施形態の液晶装置 1A と同様に構成されている。

図 5 に i 行 j 列目の画素回路 400B の回路図を示す。画素回路 400B は、データ信号 X_j とランプ信号 S とを比較するコンパレータ 420 および保持容量 410 の代わりにインバータ 470、スイッチング素子 SW_5 、およびカップリング容量 460 を備える点、ならびにスイッチング素子 SW_4 を用いる点を除いて、画素回路 400A と同様に構成されている。なお、画素回路 400B は画素回路 400A と同様に T F T によって構成される。

【 0 0 4 5 】

スイッチング素子 SW_1 はノード F とデータ線 103 との間に設けられる。また、スイッチング素子 SW_4 は信号線 102 とノード F との間に設けられる。この例ではスイッチング素子 SW_1 が n チャネルの T F T で構成される一方、スイッチング素子 SW_4 は p チャネルの T F T で構成される。したがって、スイッチング素子 SW_1 と SW_4 とは排他的にオン状態となる、具体的には、走査信号 Y_i がアクティブの場合、スイッチング素子 SW_1 がオン状態でスイッチング素子 SW_4 がオフ状態となり、走査信号 Y_i が非アクティブの場合、スイッチング素子 SW_1 がオフ状態でスイッチング素子 SW_4 がオン状態となる。

【 0 0 4 6 】

次に、カップリング容量 460 は、ノード F とノード G と間に設けられる。また、ノード G とノード D との間にはインバータ 470 とスイッチング素子 SW_5 とが並列に設けられている。スイッチング素子 SW_5 は、例えば、 n チャネルの T F T で構成され、走査信号 Y_i がアクティブになるとオン状態になる。したがって、走査信号 Y_i がアクティブとなり、 i 行の画素回路 400B が選択されている状態では、インバータ 470 の出力端子と入力端子とが接続され、インバータ 470 は反転アンプとして機能する。このとき、インバータ 470 の入力端子に接続されるノード G は、インバータ 470 の閾値電位 V_{th} (ハイレベルとローレベルとの中間電位) にバイアスされるから、ノード G の電位 V_G は閾値電位 V_{th} となる。これと同時にスイッチング素子 SW_1 がオン状態になり、データ信号 X_j がノード F に取り込まれる。したがって、カップリング容量 460 には、ノード

10

20

30

40

50

Gを基準として電位差 $V (= X_j - V_{th})$ に応じた電荷が蓄積される。

【0047】

次に、 i 番目の水平走査期間が終了し、走査信号 Y_i が非アクティブになると、スイッチング素子 SW_1 および SW_5 はオフ状態となり、スイッチング素子 SW_4 がオン状態になる。インバータ 470 の入力 is ハイインピーダンス状態である一方、ノード F に接続されるカップリング容量 460 の一方の端子には、スイッチング素子 SW_4 を介してランプ信号 S が供給される。このため、ノード G の電位 V_G は、 $V_G = V_F - V = S - V$ となる。

【0048】

そして、インバータ 470 は、電位 V_G と閾値電位 V_{th} とを比較し、電位 V_G が閾値電位 V_{th} を上回ると、ノード D の電位 V_D をローレベルにする一方、電位 V_G が閾値電位 V_{th} を下回ると、ノード D の電位 V_D をハイレベルにする。

つまり、 $S - V < V_{th}$ で電位 V_D をハイレベルにする。ここで、 $V = X_j - V_{th}$ であるから、 $S < X_j$ でノード D の電位 V_D をハイレベルにする。したがって、スイッチング素子 SW_5 およびインバータ 470 はランプ信号 S とデータ信号 X_j のレベルを比較する手段として機能する。

【0049】

データ信号 X_j がカップリング容量 460 に書き込まれると電位差 V は、次のフレームでデータ信号 X_j が再度書き込まれるまで保持される。したがって、データ信号 X_j を一旦、書き込むと、ランプ信号 S の周期である水平走査周期で比較が実行され、インバータ 470 から表示すべき階調に応じたパルス幅を有するパルス幅変調信号が出力されることになる。但し、データ信号 X_j を画素回路 400B に書き込む水平走査期間にあっては、インバータ 470 の出力信号が乱れる。このため、スイッチング素子 SW_2 および SW_3 を用いてマスク処理を行う。マスク処理ならびに選択回路 440 の構成および動作は第 1 実施形態と同様である。

【0050】

次に、図 6 を参照して、第 2 実施形態の液晶装置の動作を説明する。まず、 i 行 j 列目の画素回路 400B では、 i 番目の水平走査期間において、時刻 t_{1a} に至ると走査信号 Y_i がアクティブになり (ハイレベル)、 i 行が選択され、スイッチング素子 SW_5 がオン状態となる。この結果、ノード G の電位 $V_G(i, j)$ が上昇してインバータ 470 の閾値電位 V_{th} に収束する。このとき、ノード D の電位 $V_D(i, j)$ も閾値電位 V_{th} となる。

【0051】

また、 i 番目の水平走査期間において、走査信号 Y_i がアクティブになると、スイッチング素子 SW_1 がオン状態になり、データ信号 X_j がノード F に取り込まれる。このとき、データ信号 X_j の電位は V_{255} となっているから、ノード F の電位 $V_F(i, j)$ は V_{255} となる。したがって、カップリング容量 460 には、ノード G を基準として電位差 $V (= V_{255} - V_{th})$ に応じた電荷が蓄積される。

【0052】

次に、 $i + 1$ 番目の水平走査期間では、走査信号 Y_i は非アクティブとなるので、スイッチング素子 SW_1 および SW_5 はオフ状態となり、スイッチング素子 SW_4 がオン状態になる。インバータ 470 の入力 is ハイインピーダンス状態である一方、ノード F に接続されるカップリング容量 460 の一方の端子には、スイッチング素子 SW_4 を介してランプ信号 S が供給される。このため、ノード G の電位 $V_G(i, j)$ は、 $V_G(i, j) = V_F(i, j) - V = S - V$ となる。

【0053】

そして、インバータ 470 は、 $V_G(i, j)$ と閾値電位 V_{th} とを比較し、 $V_G(i, j)$ が閾値電位 V_{th} を上回ると、ノード D の電位 V_D をローレベルにする一方、 $V_G(i, j)$ が閾値電位 V_{th} を下回ると、ノード D の電位 V_D をハイレベルにする。つま

10

20

30

40

50

り、 $S - V > V_{th}$ で電位 V_D をローレベルにする。 $V = V_{255} - V_{th}$ であるから、電位 V_D は $S > V_{255}$ でローレベルとなる。また、逆に、電位 V_D は $S < V_{255}$ でハイレベルとなる。ここで、電位 V_{255} はランプ信号 S の最低電位であるから、常に $S > V_{255}$ となり、電位 V_D は常にローレベルとなる。

【0054】

次に、 $i+1$ 行 j 列目の画素回路400Bでは、 $i+1$ 番目の水平走査期間において、時刻 t_2b に至ると走査信号 Y_i がアクティブになり（ハイレベル）、スイッチング素子 SW_5 がオン状態となる。 $i+1$ 行 j 列目の画素回路400Bに供給されるデータ信号 X_j は階調「 n 」を指示する。このため、電位 $V_G(i+1, j)$ は閾値電位 V_{th} に収束する一方、ノードFの電位 $V_F(i+1, j)$ は V_n となる。したがって、カップリング容量460には、ノードGを基準として電位差 $V (= V_n - V_{th})$ に応じた電荷が蓄積される。

10

【0055】

次に、 $i+2$ 番目の水平走査期間では、走査信号 Y_{i+1} は非アクティブとなるので、スイッチング素子 SW_1 および SW_5 はオフ状態となり、スイッチング素子 SW_4 がオン状態になる。このため、ノードGの電位 $V_G(i+1, j)$ は、 $V_G(i+1, j) = V_F(i+1, j) - V = S - V$ となる。インバータ470は、 $S > V_n$ で電位 V_D をローレベルとし、 $S < V_n$ で電位 $V_D(i+1, j)$ をハイレベルとする。この例では時刻 t_3b に至ると、ランプ信号 S が電位 V_n を上回り、ノードDの電位 $V_D(i+1, j)$ がハイレベルからローレベルに遷移する。そして、ノードDの波形は、表示すべき階調に応じたパルス幅となる。スイッチング素子 SW_2 および SW_3 、ならびに選択回路440の動作は、図4などを参照しつつ説明した第1実施形態と同様であるので、ここでは説明を省略する。

20

【0056】

このように画素回路400Bによれば、インバータ470とスイッチング素子 SW_5 を用いることにより、ランプ信号 S とデータ信号 X_j とを比較し、パルス幅変調信号を水平走査周期で生成することができる。

第2実施形態の画素回路400Bは、コンパレータ420を用いないので、構成を簡素化することができる。第2実施形態の液晶装置1Aにおいても、第1実施形態と同様に、1フレームに1回、画素回路400Bにデータ信号を書き込めばよい。よって、サブフィールド駆動と比較して、アナログ駆動なみにデータ転送速度を遅くすることができる。一方、実際の液晶に対する駆動波形は2値のデジタル駆動となりアナログ駆動より液晶の V_T カーブ変化等の影響を受けにくく信頼性の点で優れている。さらには、サブフィールドを使ったデジタル駆動で問題となる階調コードによるフレーム内の輝度変化による擬似輪郭等も1水平走査周期の完全分散コードとなるため問題とならない。

30

【0057】

< 3. 第3実施形態 >

次に、本発明の第3実施形態について説明する。図7に第3実施形態に係る液晶装置1Bのブロック図を示す。液晶装置1Bは、走査線駆動回路100Aの代わりに走査線駆動回路100Bを用いる点、走査線101の他に補助走査線104を用いる点、画素回路400Aの代わりに画素回路400Cをもちいる点を除いて、図1に示す第1実施形態の液晶装置1Aと同様に構成されている。

40

【0058】

表示領域 W には、走査線101と並行に m 本の補助走査線104が形成される。走査線駆動回路100Bは、補助走査信号 Y_{12} を第1行および第2行の補助走査線104に、補助走査信号 Y_{34} を第3行および第4行の補助走査線104に、...補助走査信号 $Y_{i i+1}$ を第 i 行および第 $i+1$ 行の補助走査線104に、...補助走査信号 $Y_{m-1 m}$ を第 $m-1$ 行および第 m 行の補助走査線104に各々供給する。ここで、補助走査信号 $Y_{i i+1}$ は、走査信号 Y_i が非アクティブからアクティブに遷移するとアクティブになり、走査信号 Y_{i+1} がアクティブから非アクティブに変化すると非アクティブになる。例えば、

50

走査信号 Y_i の立上りエッジでセットし、走査信号 Y_{i+1} の立下りエッジでリセットするセトリセットフリップフロップによって構成することができる。すなわち、補助走査信号 Y_{i+1} は、 i 行目と $i+1$ 行目の選択期間においてアクティブとなる。

【0059】

また、第1実施形態および第2実施形態のランプ信号 S が1水平走査周期であったのに対し、本実施形態のランプ信号生成回路500Bは、2水平走査周期のランプ信号 S を生成する。すなわち、第1実施形態および第2実施形態は、データ信号 X_j を書き込む書込期間と、ランプ信号 S の1周期が一致したが、本実施形態では、これらを異ならせている。

【0060】

図8に i 行 j 列目の画素回路400Cの回路図を示す。画素回路400Cはマスク処理を行うスイッチング素子 SW_2 および SW_3 が、補助走査信号 Y_{i+1} で制御される点を除いて、図2に示す画素回路400Aと同様に構成されている。第3実施形態では、補助走査信号 Y_{i+1} を用いてマスク処理を実行している。すなわち、この画素回路400Cでは、データ信号 X_j の書き込みは i 番目の1水平走査期間に実行されるが、ランプ信号 S は2水平走査期間周期の信号であるので、マスク処理を2水平走査期間に亘って実行している。

【0061】

図9に、液晶装置1Bの各部の波形を示す。この図に示すようにランプ信号 S は i 番目の水平走査期間の開始から立ち上がり、 $i+1$ 番目の終了までを1周期とする信号である。まず、 i 行 j 列目の画素回路400Bでは、 i 番目の水平走査期間において、走査信号 Y_i がアクティブになり（ハイレベル）、 i 行が選択され、スイッチング素子 SW_1 がオン状態となり、保持容量410にデータ信号 X_j が書き込まれる。データ信号 X_j と2水平走査期間周期のランプ信号 S を比較することによって電位 $V_D(i, j)$ が得られる。

【0062】

そして、補助走査信号 Y_{i+1} は i 番目と $i+1$ 番目の水平走査期間でアクティブになるので、図中、網掛けの部分がスイッチング素子 SW_2 および SW_3 によってマスクされる。この結果、液晶素子450に印加される電位は、電位 $V_D(i, j)$ の立ち上がりが $i+2$ 番目の水平走査期間まで遅延されて、図に示す電位 $V_E(i, j)$ となる。

また、 $i+1$ 行 j 列目の画素回路400Bでも同様に、補助走査信号 Y_{i+1} によってマスクされるので、 i 番目と $i+1$ 番目の水平走査期間でマスク処理が行われる。この結果、液晶素子450に印加される電位は、電位 $V_D(i+1, j)$ の立ち上がりが $i+2$ 番目の水平走査期間まで遅延されて、図に示す電位 $V_E(i+1, j)$ となる。

さらに、 $i+2$ 行 j 列目の画素回路400Bでは、補助走査信号 Y_{i+2} によってマスクされるので、 $i+2$ 番目と $i+3$ 番目の水平走査期間でマスク処理が行われる。この結果、液晶素子450に印加される電位は、電位 $V_D(i+2, j)$ の立ち上がりが $i+4$ 番目の水平走査期間まで遅延されて、図に示す電位 $V_E(i+2, j)$ となる。

なお、スイッチング素子 SW_2 および SW_3 、ならびに選択回路440の動作は、図4などを参照しつつ説明した第1実施形態と同様であるので、ここでは説明を省略する。

【0063】

このように画素回路400Cによれば、データ信号 X_j の書込期間とランプ信号 S の周期を独立して設定することが可能となる。なお、上述した第3実施形態では、ランプ信号 S の周期は2水平走査期間周期であったが、本発明はこれに限定されるものではなく、水平走査期間の自然数倍の周期であればよい。そして、ランプ信号 S の周期が1水平走査期間である場合が、上述した第1実施形態および第2実施形態に該当するのである。例えば、 k 、 p が自然数であるとしたとき、 $m = k \cdot p$ であり、ランプ信号 S の周期が k 水平走査期間周期であるとする。この場合、1フレームあたり k 水平走査期間だけアクティブになる補助走査信号を k 行に1つの割合で生成し、これを用いてマスク処理を行えばよい。

【0064】

ランプ信号 S の周期は短くなるほど、階調コードによるフレーム内の輝度変化による擬

10

20

30

40

50

似輪郭等やフリッカを抑制することができる。その一方で、ランプ信号 S の周期が短くなるほど、消費電力が増大する。そこで、擬似輪郭やフリッカを抑制できる程度にランプ信号 S の周期を設定し、不必要にランプ信号 S の周期を短くしないことが好ましい。

本実施形態によれば、ランプ信号 S の周期をデータ信号 X_j の書込期間と独立して設定することができるので、画質の向上と消費電力の低減を両立させることが可能となる。

また、第3実施形態も第1および第2実施形態と同様に、サブフィールド駆動と比較して、アナログ駆動なみにデータ転送速度を遅くすることができる。さらに、実際の液晶に対する駆動波形は2値のデジタル駆動となりアナログ駆動より液晶の V_T カーブ変化等の影響を受けにくく信頼性が向上する点も第1および第2実施形態と同様である。

【0065】

なお、第3実施形態およびその変形例において、第2実施形態と同様にインバータ470およびスイッチング素子 $SW5$ を用いて、データ信号 X_j とランプ信号 S を比較する手段を構成し、カップリング容量460にデータ信号 X_j を保持してもよい。この場合、画素回路400Dは、図10に示すものとなる。

【0066】

< 4 . 第4実施形態 >

次に、本発明の第4実施形態について説明する。図11に第4実施形態の液晶装置1Cのブロック図を示す。第4実施形態の液晶装置1Cは、ランプ信号生成回路500Aの代わりにランプ信号生成回路500Cを用いる点、全ての信号線102に共通してランプ信号 S を供給する代わりに、奇数行の信号線102にはランプ信号 S_0 を供給する一方、偶数行の信号線102にはランプ信号 S_1 を供給する点を除いて、図1示す第1実施形態の液晶装置1Aと同様に構成されている。

【0067】

ランプ信号生成回路500Cは、2水平走査期間周期のランプ信号 S_0 および S_1 を生成する。ランプ信号 S_0 と S_1 は2相の信号である。第4実施形態の画素回路400Aは図2を用いて説明した第1実施形態と同様に構成されている。但し、奇数行の画素回路400Aにはランプ信号 S_0 が供給される一方、偶数行の画素回路400Aにはランプ信号 S_1 が供給される。

【0068】

図12に、液晶装置1Cの各部の波形を示す。この例では、 i は奇数であり、 i 行および $i+1$ 行の信号線102にはランプ信号 S_0 が供給される一方、 $i+2$ 行の信号線102にはランプ信号 S_1 が供給される。

i 行 j 列目の画素回路400Aでは、 i 番目の水平走査期間において、走査信号 Y_i がアクティブになり（ハイレベル）、 i 行が選択され、スイッチング素子 $SW1$ がオン状態となり、保持容量410にデータ信号 X_j が書き込まれる。データ信号 X_j と2水平走査期間周期のランプ信号 S を比較することによって電位 $V_D(i, j)$ が得られる。

【0069】

そして、走査信号 Y_i がアクティブの期間は、図中、網掛けの部分となり、この期間においてスイッチング素子 $SW2$ および $SW3$ によってマスクされる。この結果、液晶素子450に印加される電位は、電位 $V_D(i, j)$ の立ち上がり $i+1$ 番目の水平走査期間まで遅延されて、図に示す電位 $V_E(i, j)$ となる。

また、 $i+1$ 行 j 列目の画素回路400Aでも同様に、走査信号 Y_{i+1} によってマスクされる。この結果、液晶素子450に印加される電位は、電位 $V_D(i+1, j)$ の立ち上がり $i+3$ 番目の水平走査期間まで遅延されて、図に示す電位 $V_E(i+1, j)$ となる。

さらに、 $i+2$ 行 j 列目の画素回路400Aでは、走査信号 Y_{i+2} によってマスクされる。この結果、液晶素子450に印加される電位は、電位 $V_D(i+2, j)$ の立ち下がりが $i+3$ 番目の水平走査期間まで遅延されて、図に示す電位 $V_E(i+2, j)$ となる。

なお、スイッチング素子 $SW2$ および $SW3$ 、ならびに選択回路440の動作は、図4などを参照しつつ説明した第1実施形態と同様であるので、ここでは説明を省略する。

10

20

30

40

50

【0070】

このように第4実施形態によれば、データ信号 X_j の書込期間とランプ信号 S_0, S_1 の周期を独立して設定することが可能となる。なお、上述した第4実施形態では、ランプ信号 S の周期は2水平走査期間周期であったが、本発明はこれに限定されえるものではなく、水平走査期間の自然数倍の周期であればよい。そして、ランプ信号の周期が1水平走査期間である場合が、上述した第1実施形態および第2実施形態に該当するのである。例えば、 k, p が自然数であるとしたとき、 $m = k \cdot p$ であり、ランプ信号の周期が k 水平走査期間周期であるとする。この場合は、立ち上がりの開始が1水平走査周期ずつずれた k 個のランプ信号 S_0, S_1, \dots, S_{k-1} をランプ信号生成回路500Cで生成し、 k 行単位でランプ信号 S_0, S_1, \dots, S_{k-1} を供給すればよい。すなわち、ランプ信号 S_0 は、第1行、第 $k+1$ 行、第 $2k+1$ 行、...第 $(p-1)k+1$ 行の信号線102に供給される。

10

【0071】

上述した第3実施形態では、 k 水平走査期間に亘ってマスク処理を行ったが本実施形態によれば、マスク処理は1水平走査期間で足りる。このため、階調表示に割り当てる時間を長くすることができるから、正確な輝度を表示することが可能となる。

また、第4実施形態も第1および第2実施形態と同様に、サブフィールド駆動と比較して、アナログ駆動なみにデータ転送速度を遅くすることができる。さらに、実際の液晶に対する駆動波形は2値のデジタル駆動となりアナログ駆動より液晶のVTカーブ変化等の影響を受けにくく信頼性が向上する点も第1および第2実施形態と同様である。

20

また、第4実施形態の液晶装置1Cは、第2実施形態と同様に画素回路400Aの代わりに画素回路400Bを用いることができる。

【0072】

< 5. 変形例 >

本発明は上述した実施形態に限定されるものではなく、例えば、以下に述べる変形が可能である。

(1) 上述した各実施形態では、データ信号 X_j と比較される基準信号は、ランプ信号 S, S_0 または S_1 であったが、本発明はランプ波形に限定されないことは勿論である。すなわち、一定の周期の信号であればよい。より具体的には、波形が単調増加した後、単調減少する信号または、単調減少した後、単調増加する信号であればよい。

30

さらに、比較の対象となる基準信号に、ガンマ特性を持たせてもよい。すなわち、信号波形がガンマ特性の曲線になっていてもよい。この場合には、パルス幅変調を行うのと同時にガンマ特性を付与することができる。

また、基準信号の周期は任意であり、水平走査期間の自然数倍に限られないが、走査線の駆動との同期を考慮して、水平走査期間の自然数倍にしてもよい。

【0073】

(2) 上述した実施形態では、共通電位 com の極性を所定周期で反転させたが、共通電位 com の極性は反転しなくてもよい。

【0074】

(3) 上述した実施形態では、液晶素子450を用いた表示装置を一例として説明したが、本発明はこれに限定されるものではなく、発光素子を用いた表示装置に適用してもよい。例えば、有機EL素子や無機EL素子、発光ダイオードなどの発光素子を用いて装置に適用してもよい。すなわち、本発明は、液晶素子450や発光素子のように電気的エネルギーにより光学特性が変化する電気光学素子を用いた電気光学装置に適用することができる。

40

発光素子を用いる場合には、印加電圧の極性反転を行う必要はないが、発光素子に印加する信号をパルス幅変調することによって、階調を表示することになる。

【0075】

(4) 上述した実施形態および変形例では、スイッチング素子 SW_2 および SW_3 を用いてマスク処理を行ったが本発明はこれに限定されるものではなく、マスク処理を実行しな

50

いものであってもよい。この場合、表示階調の精度が低下するが構成を簡略化できる。例えば、図 2 に示す画素回路 400A、図 5 に示す画素回路 400B、図 8 に示す画素回路 400C、および図 10 に示す画素回路 400D では、スイッチング素子 SW2 および SW3 を削除し、ノード D をノード B と接続すればよい。

【0076】

(5) 上述した実施形態および変型例では、データ信号 X_j の書込期間を指定する走査信号と、ランプ信号は同期していたが、データ信号を保持して常時比較するので、これらは非同期の信号であってもよい。データ信号 X_j の書込期間と、比較の対象であるランプ信号(基準信号)の周期は不一致であってもよい。

【0077】

(6) 上述したカップリング容量 460 を用いた画素回路 400B および 400D は、インバータ 470 とスイッチング素子 SW5 を用いてアンプを構成したが、1 段ではゲインが足りない場合は、例えば、図 13(A) に示すようにインバータとスイッチング素子の組みを複数段、直列に接続して構成してもよい。あるいは、図 13(B) に示すようにインバータを直列に接続し、初段の入力と最終段の出力との間にスイッチング素子を接続してもよい。

【0078】

<6. 応用例>

次に、本発明に係る液晶装置 1 を利用した電子機器について説明する。図 14 は、以上に説明した何れかの形態に係る液晶装置 1A(1B、1C)を表示装置として採用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。パーソナルコンピュータ 2000 は、表示装置としての液晶装置 1A(1B、1C)と本体部 2010 とを備える。本体部 2010 には、電源スイッチ 2001 およびキーボード 2002 が設けられている。

【0079】

図 15 は、投写型表示装置(プロジェクタ)90を電子機器として例示する模式図である。図 14 に示すように、投射型表示装置 90 は、照明装置 92 と分離光学系 94 と以上の各形態に係る 3 個の液晶装置 1(1r、1g、1b)と投射光学系 96 とを具備する。

【0080】

分離光学系 92 は、照明装置 92 から出射した照明光を複数の単色光(赤色光、緑色光、青色光)に分離して各液晶装置 1 に照射する。具体的には、照明光のうちの赤色光 r は、ダイクロイックミラー 941 およびミラー 942 による反射後に液晶装置 1r に入射する。ダイクロイックミラー 941 を透過した緑色光 g は、ダイクロイックミラー 943 にて反射されて液晶装置 1g に入射する。ダイクロイックミラー 943 を透過した青色光 b は、ミラー 944 およびミラー 945 による反射後に液晶装置 1b に入射する。

【0081】

各液晶装置 1 は、入射光を変調して画像を形成する光変調器(ライトバルブ)として利用される。液晶装置 1r は、ミラー 942 から到来する赤色光 r を変調して赤色の画像を形成する。同様に、液晶装置 1g は緑色の画像を形成し、液晶装置 1b は青色の画像を形成する。投射光学系 96 は、各液晶装置 1 からの出射光を表示面 98 に投射する。投射光学系 96 は、各液晶装置 1 からの出射光(赤色光、緑色光、青色光)を合成するダイクロイックプリズム 961 と、ダイクロイックプリズム 961 からの出射光を表示面 98 に投射する投射レンズ 962 とを含んで構成される。したがって、表示面 98 にはカラー画像が表示される。

【0082】

なお、以上の各形態に係る液晶装置 1 は、図 15 に例示した投写型の表示装置 90 のほか、直視型の表示装置としても利用される。本発明に係る電気光学装置が適用される電子機器としては、携帯電話機、携帯情報端末、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャ、電子手帳、電子ペーパー、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、プリンタ、スキャナ、複写機、ビ

10

20

30

40

50

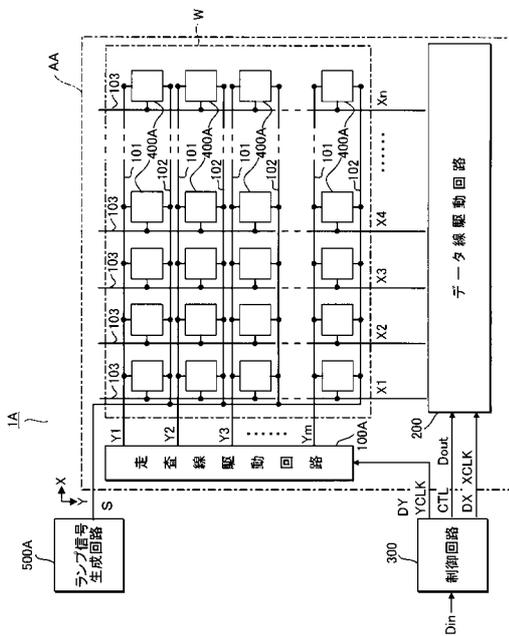
デオプレーヤ、タッチパネルを備えた機器等などが挙げられる。

【符号の説明】

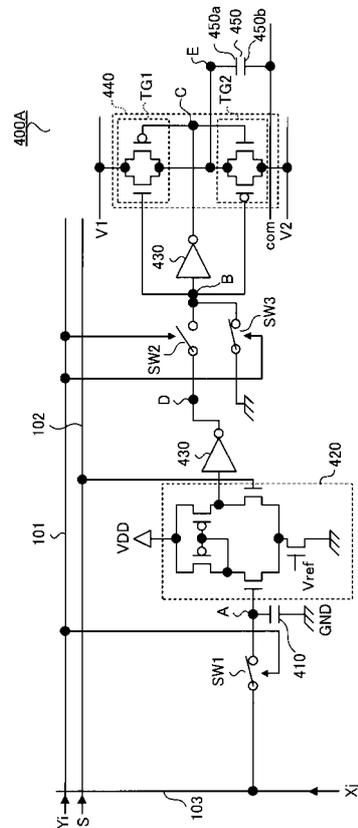
【0083】

400A, 400B, 400C, 400D...画素回路、1A, 1B, 1C...液晶装置、
 410...保持容量、420...コンパレータ、SW1~SW5...スイッチング素子、
 440...選択回路、470...インバータ、460...カップリング容量、101...
 走査線、102...信号線、103...データ線、104...補助走査線、100A...
 走査線駆動回路、200...データ線駆動回路、500A, 500B...ランプ信号発生回路。

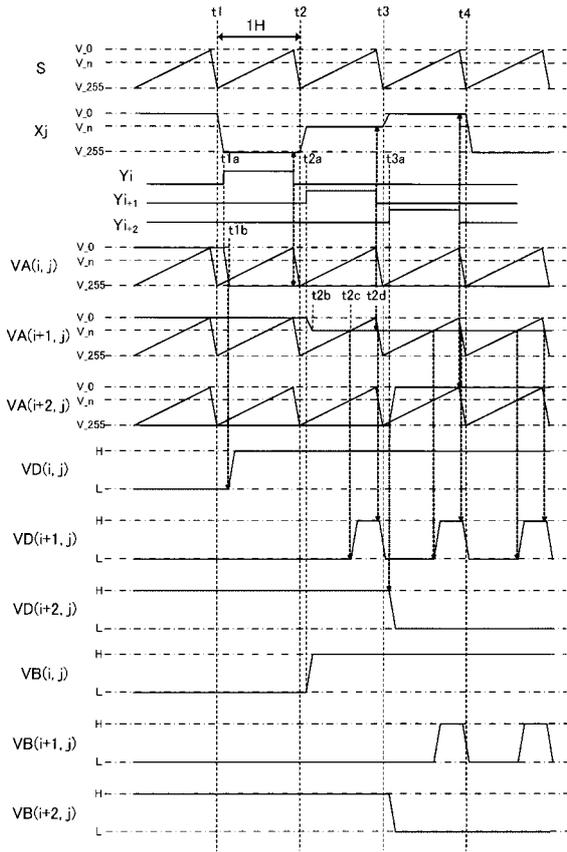
【図1】



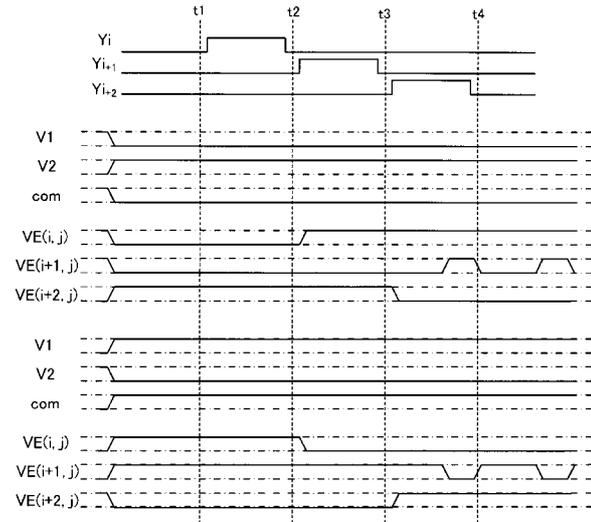
【図2】



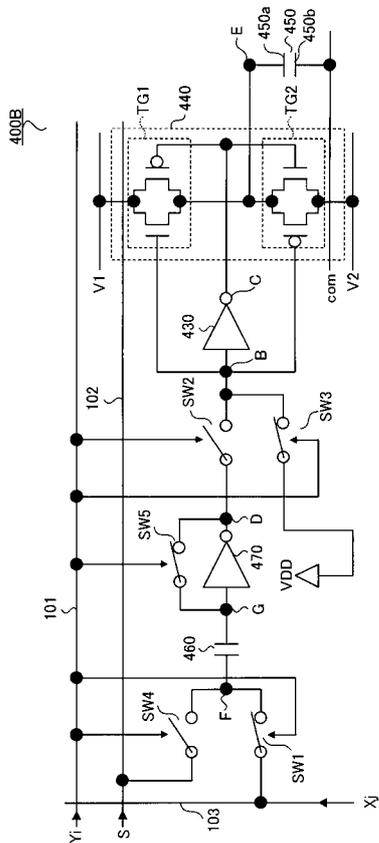
【 図 3 】



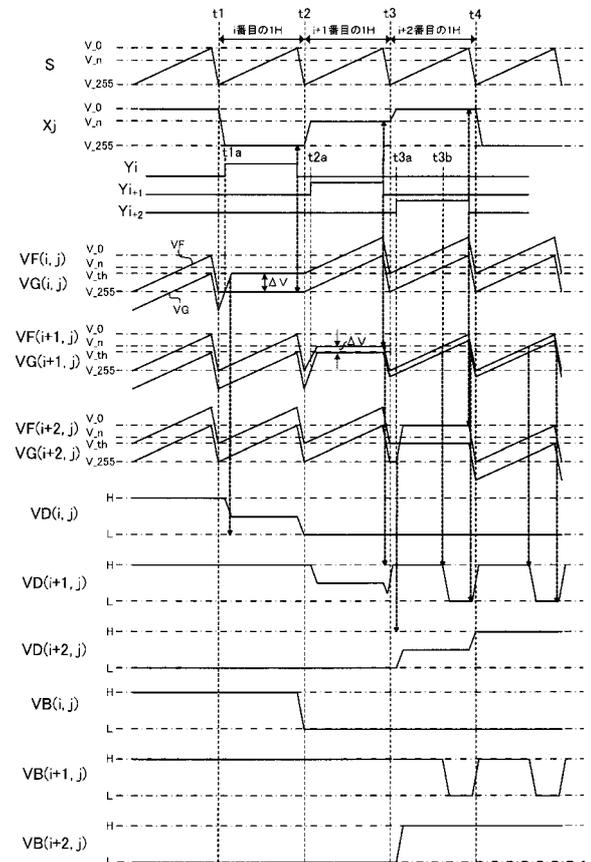
【 図 4 】



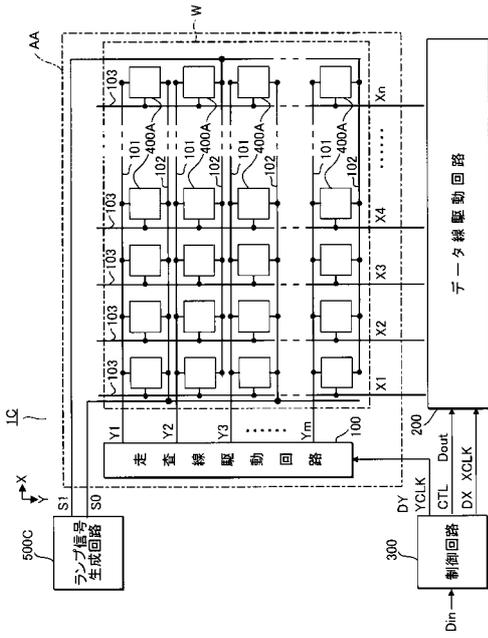
【 図 5 】



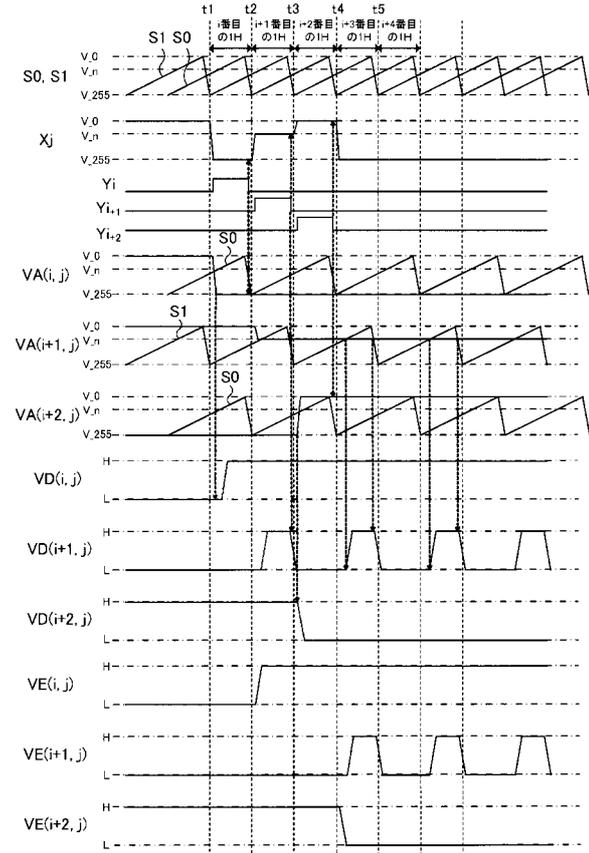
【 図 6 】



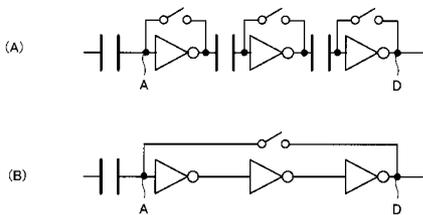
【図 1 1】



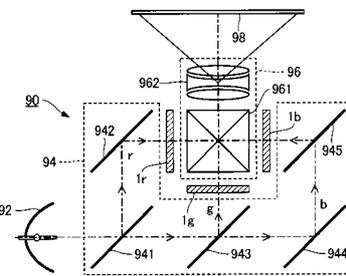
【図 1 2】



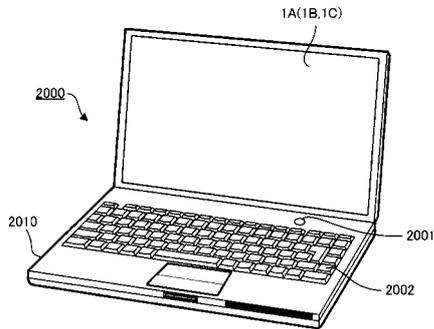
【図 1 3】



【図 1 5】



【図 1 4】



 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 R
G 0 9 G	3/20	6 4 2 C
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 5 0
G 0 9 G	3/30	J

Fターム(参考) 5C006 AA14 AA15 AA22 BF14 EC12 FA21 FA29 FA56
 5C080 AA10 BB05 CC03 CC04 DD03 EE19 EE28 FF07 FF11 JJ02
 JJ03 JJ04 JJ06
 5C380 AA01 AA02 AA03 AB06 AB34 AC01 AC07 AC08 AC09 AC11
 AC12 BA01 BA21 BA36 BB09 BE11 CA08 CA14 CB01 CB31
 CC21 CC33 CC50 CC52 CC61 CE04 CF70 DA07 DA30 DA32
 DA60

专利名称(译)	像素电路，电光装置及其驱动方法		
公开(公告)号	JP2011221326A	公开(公告)日	2011-11-04
申请号	JP2010091173	申请日	2010-04-12
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	矢田部 聡		
发明人	矢田部 聡		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G3/30		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.641.A G09G3/20.623.C G09G3/20.641.E G09G3/20.641.R G09G3/20.642.C G02F1/133.575 G02F1/133.550 G09G3/30.J G09G3/3225 G09G3/3266 G09G3/3275		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZB03 2H193/ZC22 2H193/ZD25 2H193/ZD26 2H193/ZF36 5C006/AA14 5C006/AA15 5C006/AA22 5C006/BF14 5C006/EC12 5C006/FA21 5C006/FA29 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/CC04 5C080/DD03 5C080/EE19 5C080/EE28 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C380/AA01 5C380/AA02 5C380/AA03 5C380/AB06 5C380/AB34 5C380/AC01 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/BA01 5C380/BA21 5C380/BA36 5C380/BB09 5C380/BE11 5C380/CA08 5C380/CA14 5C380/CB01 5C380/CB31 5C380/CC21 5C380/CC33 5C380/CC50 5C380/CC52 5C380/CC61 5C380/CE04 5C380/CF70 5C380/DA07 5C380/DA30 5C380/DA32 5C380/DA60 2H193/ZA20		
代理人(译)	须泽 修 宫坂和彦		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过数字驱动减少在一个帧周期内将数据写入同一像素电路的次数。解决方案：像素电路400A包括保持电容器410，其保持数据信号Xj；开关元件SW1，当扫描信号Yi变为有效时，数据信号Xj被取入保持电容器410；比较器420，将具有水平扫描周期周期的灯信号S与保持在保持电容器410中的数据信号Xj进行比较；和选择电路440，通过该选择电路440，基于比较器420的输出信号，产生脉冲宽度调制信号以提供给液晶元件450。

