

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-130219

(P2014-130219A)

(43) 公開日 平成26年7月10日(2014.7.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 641E	5C080
	G09G 3/20 612F	
	G09G 3/20 622Q	
審査請求 未請求 請求項の数 5 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2012-287534 (P2012-287534)	(71) 出願人	308036402
(22) 出願日	平成24年12月28日 (2012.12.28)		株式会社 JVCケンウッド
			神奈川県横浜市神奈川区守屋町3丁目12番地
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(72) 発明者	樋口 潤
			神奈川県横浜市神奈川区守屋町3丁目12番地
		Fターム(参考)	2H193 ZA04 ZA19 ZB01 ZD25 ZD27 ZJ20
			5C006 AA14 AC21 AC23 AC26 BB16 BC06 BC22 FA41
			最終頁に続く

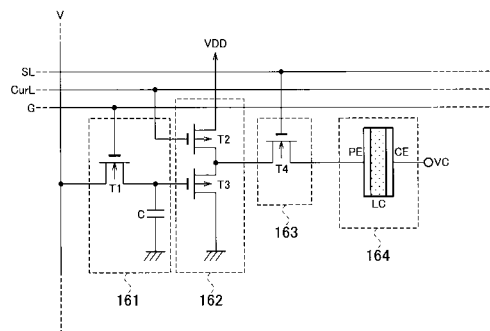
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 構成の小型化を図った液晶表示装置を提供する。

【解決手段】 保持部161は、1本の行走査線Gを介して垂直走査回路12から出力された行選択信号に応じて、1本の列データ線Vを介して階調電圧選択回路14から出力された階調電圧をサンプリングして保持する。出力部162は、保持部161に保持された階調電圧に対応した画素駆動電圧を出力する。画素部164は、出力部161から出力されて画素電極PEに印加される画素駆動電圧と、共通電極CEに印加される電圧との電位差に応じて液晶LCを駆動する。印加制御部163は、画素電極に画素駆動電圧を選択的に印加制御する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数本の列データ線と複数本の行走査線とが交差する複数の交差部のそれぞれに画素回路が配置され、各フレームを1フレーム期間より短時間である表示期間をもつ複数のサブフレームにより構成し、それぞれのサブフレームを表示すべき階調に応じて複数の画素駆動電圧により前記画素回路が駆動され、1フレームの画像を表示すべき階調に応じたサブフレームの組み合わせで表示を行う表示部と、

前記複数本の行走査線を選択する行選択信号を順次出力する垂直走査回路と、

前記複数本の列データ線のそれぞれに対応した階調電圧を選択する階調電圧選択信号を出力する水平走査回路と、

前記水平走査回路から出力された階調電圧選択信号に基づいて、複数の階調電圧を一括的に選択し、選択した階調電圧をそれぞれ対応した前記列データ線に出力する階調電圧選択回路と、を備え、

前記画素回路は、

対応する行走査線を介して前記垂直走査回路から出力された行選択信号に応じて、対応する列データ線を介して前記階調電圧選択回路から出力された階調電圧をサンプリングして保持する保持部と、

前記保持部に保持された階調電圧に対応した画素駆動電圧を出力する出力部と、

前記出力部から出力されて画素電極に印加される画素駆動電圧と、共通電極に印加される電圧との電位差に応じて液晶を駆動する画素部と、

前記画素電極に画素駆動電圧を選択的に印加制御する印加制御部と、を備える

ことを特徴とする液晶表示装置。

【請求項 2】

前記保持部は、ゲート端子が前記行走査線に接続され、ドレイン端子が前記列データ線に接続された第1トランジスタと、前記第1トランジスタのソース端子に接続されて階調電圧を保持する容量とで構成され、

前記出力部は、ゲート端子が前記容量の一端に接続され、前記ゲート端子に与えられる階調電圧に応じた画素駆動電圧をソース端子から出力する第3トランジスタと、ドレイン端子が前記第3トランジスタのソース端子に接続され、ゲート端子に与えられる定電流設定信号にしたがって前記第3トランジスタに定電流を供給する第2トランジスタとを備えたソースフォロワ回路で構成され、

前記印加制御部は、対応する印加制御信号線を介してゲート端子に与えられる印加制御信号にしたがって、画素駆動電圧を前記画素電極に印加制御する第4トランジスタで構成される

ことを特徴とする請求項1に記載の液晶表示装置。

【請求項 3】

前記ソースフォロワ回路は、前記ソースフォロワ回路の入出力特性に応じて、前記複数の階調電圧に応じて出力される複数の画素駆動電圧が線形となるように、前記複数の階調電圧が設定される

ことを特徴とする請求項1または2に記載の液晶表示装置。

【請求項 4】

前記画素回路は、表示部を構成するすべての画素回路に階調電圧が保持されて書き込まれた後、画素回路の液晶は、1行毎に駆動されて表示され、または2以上の複数行が一括して同時に駆動されて表示される

ことを特徴とする請求項1～3のいずれか1項に記載の液晶表示装置。

【請求項 5】

前記階調電圧は、電圧値の異なる3以上の電圧で構成される

ことを特徴とする請求項1～4のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は、液晶素子を交流駆動して画像表示を行う液晶表示装置に関する。

【背景技術】

【0002】

従来、この種の技術としては、例えば以下に示す特許文献1に記載されたものが知られている。この文献には、画素駆動電極に正極性の画素信号と負極性の画素信号とを交互に書き込む動作と、書き込んだ画素信号を読み出す(表示)動作とを繰り返すことで、液晶素子を交流駆動する液晶表示装置が記載されている。この装置は、1つの液晶素子に対して、2系統のデータ線を備える。また、この装置は、2系統のデータ線に対応して画素信号を書き込む2系統の書き込み回路、ならびに2系統の読み出し回路を備える。

10

【0003】

正極性の画素信号は、一方の系統のデータ線ならびに書き込み回路を用いて液晶素子に書き込まれる。書き込まれた画素信号は、一方の系統の読み出し回路により液晶素子に読み出されて表示される。負極性の画素信号は、他方の系統のデータ線ならびに書き込み回路を用いて液晶素子に書き込まれる。書き込まれた画素信号は、他方の系統の読み出し回路により液晶素子に読み出されて表示される。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-223289号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記従来技術では、液晶素子を交流駆動するために、1つの液晶素子に対して2系統のデータ線と、2系統の書き込み回路ならびに読み出し回路を必要としていた。このため、構成が大型化するという不具合を招いていた。

【0006】

本発明の目的は、構成の小型化を図った液晶表示装置を提供することである。

【課題を解決するための手段】

30

【0007】

本発明は、複数本の列データ線(V)と複数本の行走査線(G)とが交差する複数の交差部のそれぞれに画素回路(16)が配置され、各フレームを1フレーム期間より短時間である表示期間をもつ複数のサブフレームにより構成し、それぞれのサブフレームを表示すべき階調に応じて複数の画素駆動電圧により前記画素回路が駆動され、1フレームの画像を表示すべき階調に応じたサブフレームの組み合わせで表示を行う表示部(11)と、前記複数本の行走査線を選択する行選択信号を順次出力する垂直走査回路(12)と、前記複数本の列データ線のそれぞれに対応した階調電圧を選択する階調電圧選択信号を出力する水平走査回路(13)と、前記水平走査回路から出力された階調電圧選択信号に基づいて、複数の階調電圧を択一的に選択し、選択した階調電圧をそれぞれ対応した前記列データ線に出力する階調電圧選択回路(14)とを備え、前記画素回路は、対応する行走査線を介して前記垂直走査回路から出力された行選択信号に応じて、対応する列データ線を介して前記階調電圧選択回路から出力された階調電圧をサンプリングして保持する保持部(161)と、前記保持部に保持された階調電圧に対応した画素駆動電圧を出力する出力部(162)と、前記出力部から出力されて画素電極(PE)に印加される画素駆動電圧と、共通電極(CE)に印加される電圧との電位差に応じて液晶を駆動する画素部(164)と、前記画素電極に画素駆動電圧を選択的に印加制御する印加制御部(163)とを備えることを特徴とする液晶表示装置を提供する。

40

【発明の効果】

【0008】

50

本発明の液晶表示装置によれば、画素回路を小型にして装置全体を小型化することができる。

【図面の簡単な説明】

【0009】

【図1】本発明の第1実施形態に係る液晶表示装置の全体構成を示す図である。

【図2】画素回路の一回路構成を示す図である。

【図3】ソースフォロワ回路の入出力特性を示す図である。

【図4】本発明の第1実施形態に係る液晶表示装置の駆動方法の一例を説明するためのタイミングチャートである。

【図5】図4(b), (c), (d)の詳細なタイミングを示すタイミングチャートである。

10

【発明を実施するための形態】

【0010】

以下、図面を用いて本発明を実施するための実施形態を説明する。

【0011】

(第1実施形態)

図1を参照して、本発明の第1実施形態に係る液晶表示装置の構成を説明する。図1において、液晶表示装置は、表示部11、垂直走査回路12、水平走査回路13、階調電圧選択回路14、制御信号生成回路15ならびに画素回路16を備える。

【0012】

20

表示部11は、m本の列データ線V(V1~Vm)とn本の行走査線G(G1~Gn)との各交差部にマトリクス状に配置された複数(m×n個)の画素回路16を備える。表示部11は、表示する画像信号の各フレームを、1フレーム期間より短時間である表示期間をもつ複数のサブフレームにより構成する。それぞれのサブフレームは、前半部と後半部とで構成される。

【0013】

表示部11は、それぞれのサブフレームを表示すべき階調に応じて、複数の画素駆動電圧により画素回路16を駆動する。これにより、1フレームの画像を表示すべき階調に応じたサブフレームの組み合わせで画像を表示する。

【0014】

30

垂直走査回路12は、それぞれの行走査線G1~Gnに接続されている。垂直走査回路12は、垂直走査スタート信号ならびに垂直走査クロック信号に基づいて、行走査線G1~Gnに対して、例えば行走査線G1からGnに順次行選択信号を供給し、行走査線G1~Gnを順次選択する。

【0015】

水平走査回路13は、それぞれの列データ線V1~Vmに接続されている。水平走査回路13は、それぞれの列データ線V1~Vmに対応して、階調電圧を選択する階調電圧選択信号SV(SV1~SVm)を出力する。

【0016】

水平走査回路13は、シフトレジスタ回路131、ラッチ回路132ならびにデコーダ133を備える。

40

【0017】

シフトレジスタ回路131は、シフトクロック信号に基づいて、選択データを順次シフトして入力する。選択データは、4つの階調電圧Vp(Vp1~Vp4)を選択する2ビットのデータで構成され、それぞれの列データ線V1~Vmに対応して設けられている。シフトレジスタ回路131は、各列データ線V1~Vmのそれぞれに対応した2ビットの選択データをm本の列データ線V1~Vm分入力する。すなわち、シフトレジスタ回路131は、1回のシフト入力において、1本の行走査線Gに接続されたm個の画素回路16のそれぞれに対応した選択データを入力する。

【0018】

50

ラッチ回路 132 は、ラッチ信号に基づいて、シフトレジスタ回路 131 に入力された選択データを一括してラッチして保持する。

【0019】

デコーダ 133 は、ラッチ回路 132 にラッチされた、2 ビットの選択データをそれぞれデコードし、それぞれの列データ線 $V_1 \sim V_m$ に対応した階調電圧選択信号 SV を生成する。デコーダ 133 は、生成した階調電圧選択信号 SV を階調電圧選択回路 14 に出力する。

【0020】

階調電圧選択回路 14 は、複数のスイッチ回路 SW ($SW_1 \sim SW_m$) を備える。スイッチ回路 $SW_1 \sim SW_m$ は、列データ線 $V_1 \sim V_m$ に一対一に対応して設けられている。各スイッチ回路 SW には、それぞれ異なる電圧値の 4 つの階調電圧 V_p ($V_{p1} \sim V_{p4}$) が外部から入力される。4 つの階調電圧 $V_{p1} \sim V_{p4}$ の電圧の大小関係は、例えば $0 < V_{p1} < V_{p2} < V_{p3} < V_{p4} < V_{DD}$ (電源電圧) となるように設定される。各スイッチ回路 SW は、対応する階調電圧選択信号 SV に基づいて、4 つの階調電圧 V_p のいずれか 1 つの階調電圧 V_p を選択する。各スイッチ回路 SW は、選択した階調電圧 V_p を対応する列データ線 V に出力する。

10

【0021】

各スイッチ回路 SW のうち、例えばスイッチ回路 SW_1 を代表すると、スイッチ回路 SW_1 は、入力に 4 つの階調電圧 $V_{p1} \sim V_{p4}$ が与えられ、出力が列データ線 V_1 に接続されている。スイッチ回路 SW_1 は、階調電圧選択信号 SV_1 に基づいて、4 つの階調電圧 $V_{p1} \sim V_{p4}$ のうちいずれか 1 つの階調電圧 V_p を選択し、選択した階調電圧 V_p を列データ線 V_1 に出力する。

20

【0022】

例えば、2 ビットの選択データが「00」では階調電圧 V_{p1} が選択される。また、選択データが「01」では階調電圧 V_{p2} が選択され、選択データが「10」では階調電圧 V_{p3} が選択され、選択データが「11」では階調電圧 V_{p4} が選択される。

【0023】

制御信号生成回路 15 は、 n 本の印加制御信号線 SL ($SL_1 \sim SL_n$) と n 本の定電流設定信号線 $CurL$ ($CurL_1 \sim CurL_n$) に接続されている。

【0024】

n 本の印加制御信号線 $SL_1 \sim SL_n$ は、 n 本の行走査線 $G_1 \sim G_n$ に一対一に対応して設けられている。各印加制御信号線 $SL_1 \sim SL_n$ は、対応する行走査線 $G_1 \sim G_n$ に接続された m 個の画素回路 16 に共通に接続されている。例えば印加制御信号線 SL_1 は、行走査線 G_1 に接続された m 個の画素回路 16 に共通に接続されている。

30

【0025】

n 本の定電流設定信号線 $CurL_1 \sim CurL_n$ は、 n 本の行走査線 $G_1 \sim G_n$ に一対一に対応して設けられている。各定電流設定信号線 $CurL_1 \sim CurL_n$ は、対応する行走査線 $G_1 \sim G_n$ に接続された m 個の画素回路 16 に共通に接続されている。例えば定電流設定信号線 $CurL_1$ は、行走査線 G_1 に接続された m 個の画素回路 16 に共通に接続されている。

40

【0026】

制御信号生成回路 15 は、生成用スタート信号、生成用クロック信号、定電流指令信号ならびに駆動画素選択信号を入力し、これらの諸入力に基づいて印加制御信号 S と定電流設定信号 Cur を生成して出力する。

【0027】

印加制御信号 S は、画素回路 16 の後述する画素電極 PE に画素駆動電圧を印加するかどうかを制御する信号である。定電流設定信号 Cur は、画素回路 16 の後述するソースフォロワ回路に流れる定電流値を決める信号である。駆動画素選択信号は、表示部 11 を構成する n 行の画素回路 16 のうち同時に駆動する画素回路 16 の行数を設定する信号である。

50

【0028】

制御信号生成回路15は、生成用スタート信号ならびに生成用クロック信号に基づいて、印加制御信号Sを生成し、生成した印加制御信号Sを印加制御信号線SLに出力する。制御信号生成回路15は、生成用スタート信号、生成用クロック信号ならびに定電流指令信号に基づいて、定電流設定信号Curを生成し、生成した定電流設定信号Curを定電流設定信号線Curlに出力する。印加制御信号Sと定電流設定信号Curとは、常に対になって出力される。

【0029】

制御信号生成回路15は、生成した印加制御信号Sを、駆動画素選択信号に基づいて、n本の印加制御信号線SLに一括して同時に、もしくは1本ずつ順次出力する。あるいは、制御信号生成回路15は、生成した印加制御信号Sを、駆動画素選択信号に基づいて、k(1<k<n)本の一群の印加制御信号線SLに一括して同時に出力し、k本の印加制御信号線SLの群毎に順次出力する。

10

【0030】

制御信号生成回路15は、生成した定電流設定信号Curを、駆動画素選択信号に基づいて、n本の定電流設定信号線Curlに一括して同時に、もしくは1本ずつ順次出力する。あるいは、制御信号生成回路15は、生成した定電流設定信号Curを、駆動画素選択信号に基づいて、k(1<k<n)本の一群の定電流設定信号線Curlに一括して同時に出力し、k本の定電流設定信号線Curlの群毎に順次出力する。

20

【0031】

印加制御信号Sならびに定電流設定信号Curが、それぞれ対応する信号線に一括して出力されると、表示部11を構成するすべての画素回路16は同時に駆動される。印加制御信号Sならびに定電流設定信号Curが、それぞれ対応する信号線に1本ずつ順次出力されると、表示部11を構成する画素回路16は各信号に同期して1行ずつ順次駆動される。印加制御信号Sならびに定電流設定信号Curが、それぞれ対応する信号線にk本ずつ群毎に順次出力されると、表示部11を構成する画素回路16は各信号に同期してk行ずつ順次駆動される。

【0032】

図2に回路構成示す画素回路16を、マトリックス状に配置された複数の画素回路16の代表としてその構成を説明する。図2に示す画素回路16は、列データ線V1~Vmのうちの任意の1本の列データ線Vと、行走査線G1~Gnのうちの任意の1本の行走査線Gとの交差部に配置された一画素回路とする。画素回路16は、保持部161、出力部162、印加制御部163ならびに画素部164を備える。

30

【0033】

保持部161は、行走査線Gを介して垂直走査回路12から出力された行選択信号に応じて、列データ線Vを介して階調電圧選択回路14から出力された階調電圧をサンプリングして保持する。保持部161は、第1トランジスタT1、容量Cを備える。第1トランジスタT1は、Nチャネルの電界効果トランジスタの例えばMOS型で構成され、ゲート端子が行走査線Gに接続され、ドレイン端子が列データ線Vに接続される。容量Cは、一端が第1トランジスタT1のソース端子に接続され、他端が接地されている。

40

【0034】

保持部161は、ハイレベルの行選択信号が第1トランジスタT1のゲート端子に与えられると、第1トランジスタT1が導通状態となる。保持部161は、第1トランジスタT1が導通状態になると、第1トランジスタT1を介して列データ線Vに与えられた階調電圧を取り込む。保持部161は、取り込んだ階調電圧を容量Cに保持する。

【0035】

出力部162は、保持部161に保持された階調電圧Vp(Vp1~Vp4)に対応した画素駆動電圧Vo(Vo1~Vo4)を出力する。出力部162は、第2トランジスタT2、第3トランジスタT3を備える。第2トランジスタT2は、Pチャネルの電界効果トランジスタの例えばMOS型で構成され、ゲート端子が定電流設定信号線Curlに接

50

続され、ソース端子に電源電圧 V_{DD} が与えられる。第3トランジスタ T_3 は、Pチャネルの電界効果トランジスタの例えばMOS型で構成される。第3トランジスタ T_3 は、ゲート端子が第1トランジスタ T_1 のソース端子に接続され、ソース端子が第2トランジスタ T_2 のドレイン端子に接続され、ドレイン端子が接地されている。

【0036】

出力部162は、第2トランジスタ T_2 と第3トランジスタ T_3 とでソースフォロワ回路を構成する。ソースフォロワ回路において、第2トランジスタ T_2 は定電流源を構成し、第3トランジスタ T_3 は駆動回路を構成する。

【0037】

第2トランジスタ T_2 は、定電流設定信号線 C_{urL} を介してゲート端子に与えられる定電流設定信号 C_{ur} に応じた定電流を第3トランジスタ T_3 に供給する。第3トランジスタ T_3 に供給する定電流の値は、例えば液晶表示装置の仕様に応じて適宜設定することができる。

10

【0038】

第3トランジスタ T_3 は、容量 C に保持されて、入力電圧としてゲート端子に与えられる階調電圧 V_p に応じた画素駆動電圧 V_o をソース端子から出力する。画素駆動電圧 V_o は、概ね階調電圧 V_p に第3トランジスタ T_3 のしきい値電圧の絶対値を加えた値となる。

【0039】

したがって、画素駆動電圧 $V_{o1} \sim V_{o4}$ の電圧の大小関係は、例えば $0 < V_{o1} < V_{o2} < V_{o3} < V_{o4} < V_{DD}$ (電源電圧) となる。

20

【0040】

なお、ソースフォロワ回路の入出力特性は、図3に実線で示すように、入力電圧 $V_{p1} \sim V_{p4}$ が高くなるにしたがって出力電圧 $V_{o1} \sim V_{o4}$ が飽和して非線形性となる。このため、出力電圧 $V_{o1} \sim V_{o4}$ を線形に変化させる場合には、ソースフォロワ回路の入出力特性に応じて入力電圧を設定する必要がある。

【0041】

例えば、図3において、入力電圧が V_{p3} よりも高い場合を破線で示す入出力特性を有する場合には、入力電圧に対して出力電圧は飽和することなく入力電圧と出力電圧との変化は概ね線形性が保たれる。しかしながら、実際の入出力特性は、図3に実線で示すように、入力電圧が高くなると出力電圧は飽和する。したがって、出力電圧 $V_{o1} \sim V_{o4}$ を線形に変化させるには、出力電圧 V_{o4} に対応する入力電圧を図3の破線で示す入出力特性の入力電圧に比べて高く設定する必要がある。

30

【0042】

出力部162を構成するソースフォロワ回路は、この第1実施形態ではPチャネルのトランジスタを用いて構成したが、Pチャネルのトランジスタに代えてNチャネルのトランジスタで構成することができる。この場合に、Nチャネルの第2トランジスタ T_2 のゲート端子は第1トランジスタ T_1 のソース端子に接続され、Nチャネルの第3トランジスタのゲート端子は定電流設定信号線 C_{urL} に接続される。

【0043】

図2に戻って、印加制御部163は、画素部164の画素電極 PE に画素駆動電圧 V_o を選択的に印加制御する。印加制御部163は、第4トランジスタ T_4 で構成される。第4トランジスタ T_4 は、Nチャネルの電界効果トランジスタの例えばMOS型で構成される。

40

【0044】

第4トランジスタ T_4 は、ゲート端子が印加制御信号線 S_L に接続され、ドレイン端子がソースフォロワ回路の出力、すなわち第3トランジスタ T_3 のソース端子に接続され、ソース端子が画素部164の画素電極 PE に接続されている。印加制御部163は、ハイレベルの印加制御信号 S が第4トランジスタ T_4 のゲート端子に与えられて第4トランジスタ T_4 が導通状態になると、出力部162から出力された画素駆動電圧 V_o を画素電極

50

PEに与える。

【0045】

画素部164は、サブフレーム毎に、出力部162から出力された画素駆動電圧 V_o と共通画素電圧 V_C との電位差の絶対値に応じて駆動されて階調表示を行う。画素部164は、第4トランジスタ T_4 のソース端子に接続された画素電極PEと、画素電極PEに離間して対向配置された共通電極CEと、液晶LCとを備える。液晶LCは、画素電極PEと共通電極CEとの間に充填封止される。画素駆動電圧 V_o は画素電極PEに印加され、共通画素電圧 V_C は共通電極CEに印加される。

【0046】

次に、この第1実施形態に係る液晶表示装置の画素回路16の書き込み動作及び読み出し(表示)動作を含む駆動方法の一例を、図4ならびに図5のタイミングチャートを参照して説明する。

10

【0047】

図4において、同図(a)は、表示部11のすべての画素回路16に対する書き込みと読み出し(表示)を模式的に示しており、斜線部分が書き込みを示し、斜線部分に続く下の横線部分が読み出し(表示)を示す。

【0048】

図4(a)の B_0, B_1, B_2, B_3, B_4 はサブフレームをそれぞれ示し、5つのサブフレーム B_0, B_1, B_2, B_3, B_4 により1フレームが構成される。それぞれのサブフレーム B_0, B_1, B_2, B_3, B_4 は、それぞれ前半部のサブフレーム $bB_0, bB_1, bB_2, bB_3, bB_4$ と、後半部のサブフレーム $nB_0, nB_1, nB_2, nB_3, nB_4$ とに分かれる。それぞれのサブフレーム $B_0 \sim B_4$ の期間は同一であり、それぞれのサブフレーム $B_0 \sim B_4$ の前半部のサブフレームと後半部のサブフレームとの期間は、同一である。

20

【0049】

図4(a)の横線部分に付された $TbB_0, TbB_1, TbB_2, TbB_3, TbB_4$ は、前半部のサブフレーム $bB_0, bB_1, bB_2, bB_3, bB_4$ の表示期間をそれぞれ示す。図4(a)の横線部分に付された $TnB_0, TnB_1, TnB_2, TnB_3, TnB_4$ は、後半部のサブフレーム $nB_0, nB_1, nB_2, nB_3, nB_4$ の表示期間をそれぞれ示す。

30

【0050】

まず、サブフレーム B_0 から順にサブフレーム B_1, B_2, B_3, B_4 における書き込み動作ならびに読み出し動作について説明する。以下の説明においては、 n 本の行走査線 $G_1 \sim G_n$ を行走査線 G_1 から G_n に向かって順次走査するものとする。なお、行走査線 G_n から G_1 に向かって順次走査するようにしても、同様の動作を行うことができる。

【0051】

サブフレーム B_0 の書き込みは、先ず前半部のサブフレーム bB_0 で行われた後、続いて後半部のサブフレーム nB_0 で行われる。前半部のサブフレーム bB_0 では、行走査線 G_1 に接続された各画素回路16の階調電圧 V_p を選択する選択データがシフトレジスタ回路131に入力されてラッチ回路132にラッチされる。ラッチ回路132にラッチされた選択データは、デコーダ133でデコードされ、階調電圧選択信号 SV が生成される。

40

【0052】

生成された階調電圧選択信号 SV は、階調電圧選択回路14の対応するスイッチ回路 SW に与えられる。これにより、各スイッチ回路 SW では、階調電圧選択信号 SV に基づいて4つの階調電圧 $V_{p1} \sim V_{p4}$ のうちいずれか1つの階調電圧 V_p が選択される。選択されたそれぞれの階調電圧 V_p は、階調電圧 V_p を選択したスイッチ回路 SW に接続された列データ線 V にそれぞれ与えられる。

【0053】

それぞれの列データ線 $V_1 \sim V_m$ に与えられた階調電圧 V_p は、図4(b)ならびに図

50

5 (a) に示すタイミングとなる。すなわち、図 5 の時刻 t_1 において、それぞれの列データ線 $V_1 \sim V_m$ に対して、階調電圧選択信号 S_V に応じて選択された階調電圧 $V_{p1} \sim V_{p4}$ のいずれかの 1 つの階調電圧 V_p が与えられる。

【 0 0 5 4 】

その後、図 4 (c) ならびに図 5 (b) に示すように、時刻 t_1 後の時刻 t_2 から時刻 t_3 までの期間、垂直走査回路 1 2 から行走査線 G_1 を介してハイレベル (例えば電源電圧 V_{DD}) の行選択信号が出力される。この行選択信号は、行走査線 G_1 に接続された m 個の画素回路 1 6 に共通に供給され、それらの画素回路 1 6 が選択される。

【 0 0 5 5 】

これにより、画素回路 1 6 は、第 1 トランジスタ T_1 がオン状態となる。列データ線 V から供給された階調電圧 V_p は、導通状態の第 1 トランジスタ T_1 を介して容量 C に与えられる。この後、図 5 (b) に示すように、行選択信号が時刻 t_3 でハイレベルからローレベルに移行して第 1 トランジスタ T_1 がオフ状態になると、階調電圧 V_p は容量 C で保持される。行走査線 G_1 に対する階調電圧 V_p の書き込み動作は、行走査線 G_1 に接続された m 個の画素回路 1 6 で同時に行われる。

【 0 0 5 6 】

行走査線 G_1 に接続された m 個の画素回路 1 6 に対して階調電圧 V_p の書き込み動作が終了すると、引き続いて行走査線 G_2 に接続された m 個の画素回路 1 6 に対して階調電圧 V_p の書き込み動作を行う。この書き込み動作は、行走査線 G_2 に接続された各画素回路 1 6 に書き込まれる階調電圧 V_p を選択する選択データを入力し、行走査線 G_2 を選択する他は、行走査線 G_1 に接続された画素回路 1 6 に対する書き込み動作と同様にして行われる。

【 0 0 5 7 】

このようにして、 n 本すべての行走査線 $G_1 \sim G_n$ に接続された各画素回路 1 6 に対して階調電圧 V_p の書き込み動作を行う。これにより、表示部 1 1 のすべての画素回路 1 6 にサブフレーム B_0 の前半部のサブフレーム b_{B0} に応じた階調電圧 V_p が書き込まれて保持される。すなわち、表示部 1 1 のすべての画素回路 1 6 において、それぞれ個別にかつ独立して 4 つの階調電圧 $V_{p1} \sim V_{p4}$ のうちいずれか 1 つの階調電圧 V_p が書き込まれる。

【 0 0 5 8 】

次に、前半部のサブフレーム b_{B0} における読み出し (表示) 動作へ移行する。以下の説明においては、表示部 1 1 のすべての画素回路 1 6 から一括して同時に読み出し動作を行うものとする。なお、印加制御信号 S ならびに定電流設定信号 C_{ur} の説明の際にも触れたように、1 本の行走査線 G に接続された 1 行の画素回路 1 6 毎に、あるいは複数本の行走査線 G に接続された複数行の画素回路 1 6 毎に順次読み出し動作を行うこともできる。

【 0 0 5 9 】

読み出し動作では、先ず図 4 (d) ならびに図 5 (c) に示すように、時刻 t_4 から時刻 t_5 の期間、ハイレベル (例えば電源電圧 V_{DD}) の印加制御信号 S が、印加制御信号線 S_L に出力される。また、図 4 (d) ならびに図 5 (d) に示すように、時刻 t_4 から時刻 t_5 の期間、定電流設定信号 C_{ur} が、定電流設定信号線 C_{urL} に出力される。

【 0 0 6 0 】

定電流設定信号 C_{ur} の電圧値は、画素回路 1 6 の第 2 トランジスタ T_2 が予め設定された定電流を供給できるように、第 2 トランジスタ T_2 の特性やサイズに応じて設定される。第 2 トランジスタ T_2 は、 P チャネルで構成されているので、定電流設定信号 C_{ur} の電圧値は、電源電圧 V_{DD} から P チャネルのトランジスタのしきい値 V_t の絶対値を差し引いた値よりも低い値に設定される。

【 0 0 6 1 】

印加制御信号線 S_L に出力された印加制御信号 S は、画素回路 1 6 の第 4 トランジスタ T_4 のゲート端子に印加されて、第 4 トランジスタ T_4 は導通状態となる。これと同時に

10

20

30

40

50

、定電流設定信号線 C_{urL} に出力された定電流設定信号 C_{ur} は、画素回路 16 の第 2 トランジスタ T_2 のゲート端子に印加される。これにより、第 2 トランジスタ T_2 は、印加された定電流設定信号 C_{ur} の電圧値に応じた定電流を第 2 トランジスタ T_2 に供給する。

【0062】

この結果、出力部 162 のソースフォロワ回路は駆動状態となる。これにより、画素回路 16 の容量 C に保持された階調電圧 V_p に応じた電圧値となる、画素駆動電圧 V_o がソースフォロワ回路から出力される。ソースフォロワ回路から出力された画素駆動電圧 V_o は、導通状態の第 4 トランジスタ T_4 を介して画素部 164 の画素電極 PE に印加される。

10

【0063】

その後、図 5 (c) , (d) に示すように、時刻 t_5 において、印加制御信号 S はローレベル (例えば接地電位) に移行し、定電流設定信号 C_{ur} は電源電圧 V_{DD} に移行する。これにより、ソースフォロワ回路は非駆動状態となり、第 4 トランジスタ T_4 は非導通状態となる。

【0064】

一方、画素部 164 の共通電極 CE には、サブフレームの前半部と後半部とで極性が逆となる共通画素電圧 V_C (V_{Cc} , V_{Cd}) が交互に印加される。図 4 (f) に示すように、前半部のサブフレーム bB_0 の表示期間 (図 4 (a) の T_{bB_0} で示す横線部分の期間) では、共通画素電圧 V_{Cc} が印加される。また、図 4 (f) に示すように、各サブフレーム $B_1 \sim B_4$ の各前半部のサブフレーム $bB_1 \sim bB_4$ の表示期間においても同様である。

20

【0065】

これに対して、図 4 (f) に示すように、後半部のサブフレーム nB_0 の表示期間 (図 4 (a) の T_{nB_0} で示す横線部分の期間) では、共通画素電圧 V_{Cd} が印加される。また、図 4 (f) に示すように、各サブフレーム $B_1 \sim B_4$ の各後半部のサブフレーム $nB_1 \sim nB_4$ の表示期間においても同様である。

【0066】

ここで、画素駆動電圧 $V_{o1} \sim V_{o4}$ と共通画素電圧 V_{Cc} , V_{Cd} との関係、ならびに液晶 LC の表示色について説明する。

30

【0067】

画素駆動電圧 $V_{o1} \sim V_{o4}$ の大小関係は、 $V_{o1} < V_{o2} < V_{o3} < V_{o4}$ に設定される。共通画素電圧 V_{Cc} , V_{Cd} の大小関係は、 $V_{Cc} < V_{Cd}$ に設定される。このような大小関係において、共通画素電圧 V_{Cc} は、画素駆動電圧 V_{o1} と概ね同一に設定される。したがって、画素駆動電圧 V_{o1} が画素電極 PE に印加され、かつ共通画素電圧 V_{Cc} が共通電極 CE に印加されたときには、液晶 LC の両端には概ね電位差が生じず、液晶 LC は黒を表示する。

【0068】

共通画素電圧 V_{Cd} は、画素駆動電圧 V_{o4} と概ね同一に設定される。したがって、画素駆動電圧 V_{o4} が画素電極 PE に印加され、かつ共通画素電圧 V_{Cd} が共通電極 CE に印加されたときには、上述したように液晶 LC は黒を表示する。

40

【0069】

また、画素駆動電圧 V_{o4} と共通画素電圧 V_{Cc} と、もしくは画素駆動電圧 V_{o1} と共通画素電圧 V_{Cd} とが液晶 LC の両端に印加されたときには、液晶 LC は白を表示する。したがって、画素駆動電圧 V_{o1} と V_{o4} との電圧差は、双方の電圧が液晶 LC に印加されたときに液晶 LC に白が表示されるように設定される。

【0070】

画素駆動電圧 V_{o2} と共通画素電圧 V_{Cc} との差の絶対値と、画素駆動電圧 V_{o3} と共通画素電圧 V_{Cd} との差の絶対値とは、概ね同一となるように設定される。これにより、画素駆動電圧 V_{o2} と共通画素電圧 V_{Cd} との差の絶対値と、画素駆動電圧 V_{o3} と共通

50

画素電圧 V_{Cc} との差の絶対値とは、概ね同一となる。また、画素駆動電圧 V_{o2} と共通画素電圧 V_{Cc} との差の絶対値 (= 画素駆動電圧 V_{o3} と共通画素電圧 V_{Cd} との差の絶対値) < 画素駆動電圧 V_{o2} と共通画素電圧 V_{Cd} との差の絶対値 (= 画素駆動電圧 V_{o3} と共通画素電圧 V_{Cc} との差の絶対値) の関係となる。

【0071】

このような電圧の大小関係から、液晶 LC の両端に、画素駆動電圧 V_{o2} と共通画素電圧 V_{Cc} との差の絶対値の電位差が与えられたときには、液晶 LC は白と黒との間の黒側に近い濃いグレーを表示する。同様に、液晶 LC の両端に、画素駆動電圧 V_{o3} と共通画素電圧 V_{Cd} との差の絶対値の電位差が与えられたときには、液晶 LC は濃いグレーを表示する。

10

【0072】

一方、液晶 LC の両端に、画素駆動電圧 V_{o2} と共通画素電圧 V_{Cd} との差の絶対値の電位差が与えられたときには、液晶 LC は白と黒との間の白側に近い薄いグレーを表示する。同様に、液晶 LC の両端に、画素駆動電圧 V_{o3} と共通画素電圧 V_{Cc} との差の絶対値の電位差が与えられたときには、液晶 LC は薄いグレーを表示する。

【0073】

このように、画素部 164 は、液晶 LC の両端にかかる画素電極 PE の画素駆動電圧と共通電極 CE の共通画素電圧 V_C との電位差の絶対値に応じた階調で表示を行う。

【0074】

ここで、階調表示の一例を説明するにあたって、図 4 (b), (c) に示すように、例えば列データ線 $V_i (1 \leq i \leq m)$ と行走査線 $G_j (1 \leq j \leq m)$ に接続された画素回路 16 を注目する画素回路とする。サブフレーム B0 の前半部のサブフレーム $bB0$ において、この注目画素回路 16 の画素電極 PE には、図 4 (e) に示すように、例えば画素駆動電圧 V_{o4} が印加されたものとする。一方、共通電極 CE には、上述したように共通画素電圧 V_{Cc} が印加される。

20

【0075】

これにより、サブフレーム B0 の前半部のサブフレーム $bB0$ では、液晶 LC の両端には、図 4 (g) に示すように、画素駆動電圧 V_{o4} と共通画素電圧 V_{Cc} との差電圧 ($V_{o4} - V_{Cc}$) の絶対値の電位差が印加される。この結果、注目する画素回路 16 は、上述したように白を表示する。

30

【0076】

このようにして、サブフレーム B0 の前半部のサブフレーム $bB0$ において、表示部 11 のすべての画素回路 16 に対して書き込み動作ならびに読み出し動作が行われ、それぞれの画素回路 16 において階調表示が行われる。

【0077】

続いて、サブフレーム B0 の後半部のサブフレーム $nB0$ の書き込み動作と読み出し (表示) 動作が順次行われる。後半部のサブフレーム $nB0$ の書き込み動作は、前半部のサブフレーム $bB0$ の書き込み動作と同様に行われる。後半部のサブフレーム $nB0$ の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 Cur がハイレベルに移行した後、前半部のサブフレーム $bB0$ の表示期間 T_{bB0} 内で行われる。

40

【0078】

サブフレーム B0 の後半部のサブフレーム $nB0$ における読み出し動作は、前半部のサブフレーム $bB0$ の読み出し動作と同様に行われる。サブフレーム $nB0$ における読み出し動作では、上記注目する画素回路 16 の画素電極 PE には、図 4 (e) に示すように、画素駆動電圧 V_{o1} が印加される。一方、共通電極 CE には、上述したように共通画素電圧 V_{Cd} が印加される。

【0079】

これにより、後半部のサブフレーム $nB0$ では、液晶 LC の両端には、図 4 (g) に示すように、画素駆動電圧 V_{o1} と共通画素電圧 V_{Cd} との差電圧 ($V_{o1} - V_{Cd}$) の絶対値の電位差が印加される。この結果、注目する画素回路 16 は、後半部のサブフレーム

50

n B 0では、上述したように白を表示する。

【0080】

したがって、サブフレーム B 0では、注目する画素回路 1 6 は白を表示することになる。

【0081】

また、液晶 LC に印加される電圧の高低は、図 4 (g) に示すように、前半部のサブフレーム b B 0 と後半部のサブフレーム n B 0 とで逆となる。すなわち、前半部では画素電極 P E 側の方が高くなる一方、後半部では共通電極 C E 側の方が高くなる。これにより、サブフレーム B 0 では液晶 LC は交流駆動され、液晶 LC の焼き付きを抑制することができる。

【0082】

次に、サブフレーム B 1 の前半部のサブフレーム b B 1 の書き込み動作と読み出し (表示) 動作が順次行われる。前半部のサブフレーム b B 1 の書き込み動作は、先のサブフレーム B 0 の後半部のサブフレーム n B 0 の書き込み動作と同様に行われる。前半部のサブフレーム b B 1 の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 C u r がハイレベルに移行した後、先のサブフレーム B 0 の後半部のサブフレーム n B 0 の表示期間 T n B 0 内で行われる。

【0083】

サブフレーム B 1 の前半部のサブフレーム b B 1 における読み出し動作は、先のサブフレーム B 0 の後半部のサブフレーム n B 0 の読み出し動作と同様に行われる。サブフレーム b B 1 における読み出し動作では、上記注目する画素回路 1 6 の画素電極 P E には、図 4 (e) に示すように、例えば画素駆動電圧 V o 2 が印加されたものとする。一方、共通電極 C E には、上述したように共通画素電圧 V C c が印加される。

【0084】

これにより、前半部のサブフレーム b B 1 では、液晶 LC の両端には、図 4 (g) に示すように、画素駆動電圧 V o 2 と共通画素電圧 V C c との差電圧 (V o 2 - V C c) の絶対値の電位差が印加される。この結果、注目する画素回路 1 6 は、前半部のサブフレーム b B 1 では、上述したように濃いグレーを表示する。

【0085】

続いて、サブフレーム B 1 の後半部のサブフレーム n B 1 の書き込み動作と読み出し (表示) 動作が順次行われる。後半部のサブフレーム n B 1 の書き込み動作は、上述したように先の前半部の書き込み動作と同様に行われる。サブフレーム n B 1 の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 C u r がハイレベルに移行した後、前半部のサブフレーム b B 1 の表示期間 T b B 1 内で行われる。

【0086】

サブフレーム B 1 の後半部のサブフレーム n B 1 における読み出し動作は、先の前半部のサブフレーム b B 1 の読み出し動作と同様に行われる。サブフレーム n B 1 における読み出し動作では、上記注目する画素回路 1 6 の画素電極 P E には、図 4 (e) に示すように、画素駆動電圧 V o 3 が印加される。一方、共通電極 C E には、上述したように共通画素電圧 V C d が印加される。

【0087】

これにより、後半部のサブフレーム b B 1 では、液晶 LC の両端には、図 4 (g) に示すように、画素駆動電圧 V o 3 と共通画素電圧 V C d との差電圧 (V o 3 - V C d) の絶対値の電位差が印加される。この結果、注目する画素回路 1 6 は、後半部のサブフレーム n B 1 では、上述したように濃いグレーを表示する。

【0088】

したがって、サブフレーム B 1 では、注目する画素回路 1 6 は濃いグレーを表示することになる。

【0089】

また、液晶 LC に印加される電圧の高低は、図 4 (g) に示すように、前半部のサブフ

10

20

30

40

50

レーン b B 1 と後半部のサブフレーム n B 1 とで逆となる。すなわち、前半部では画素電極 P E 側の方が高くなる一方、後半部では共通電極 C E 側の方が高くなる。これにより、サブフレーム B 1 では液晶 L C は交流駆動され、液晶 L C の焼き付きを抑制することができる。

【 0 0 9 0 】

次に、サブフレーム B 2 の前半部のサブフレーム b B 2 の書き込み動作と読み出し（表示）動作が順次行われる。前半部のサブフレーム b B 2 の書き込み動作は、先のサブフレーム B 1 の後半部のサブフレーム n B 1 の書き込み動作と同様にして行われる。サブフレーム b B 2 の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 C u r がハイレベルに移行した後、先のサブフレーム B 1 の後半部のサブフレーム n B 1 の表示期間 T n B 1 内で行われる。

10

【 0 0 9 1 】

サブフレーム B 2 の前半部のサブフレーム b B 2 における読み出し動作は、先のサブフレーム B 1 の後半部のサブフレーム n B 1 の読み出し動作と同様にして行われる。サブフレーム b B 2 における読み出し動作では、上記注目する画素回路 1 6 の画素電極 P E には、図 4 (e) に示すように、例えば画素駆動電圧 V o 3 が印加されたものとする。一方、共通電極 C E には、上述したように共通画素電圧 V C c が印加される。

【 0 0 9 2 】

これにより、前半部のサブフレーム b B 2 では、液晶 L C の両端には、図 4 (g) に示すように、画素駆動電圧 V o 3 と共通画素電圧 V C c との差電圧 (V o 3 - V C c) の絶対値の電位差が印加される。この結果、注目する画素回路 1 6 は、前半部のサブフレーム b B 2 では、上述したように薄いグレーを表示する。

20

【 0 0 9 3 】

続いて、サブフレーム B 2 の後半部のサブフレーム n B 2 の書き込み動作と読み出し（表示）動作が順次行われる。後半部のサブフレーム n B 2 の書き込み動作は、上述したように先の前半部の書き込み動作と同様にして行われる。サブフレーム n B 2 の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 C u r がハイレベルに移行した後、前半部のサブフレーム b B 2 の表示期間 T b B 2 内で行われる。

【 0 0 9 4 】

サブフレーム B 2 の後半部のサブフレーム n B 2 における読み出し動作は、先のサブフレーム B 2 の前半部のサブフレーム b B 2 の読み出し動作と同様にして行われる。サブフレーム n B 2 における読み出し動作では、上記注目する画素回路 1 6 の画素電極 P E には、図 4 (e) に示すように、画素駆動電圧 V o 2 が印加される。一方、共通電極 C E には、上述したように共通画素電圧 V C d が印加される。

30

【 0 0 9 5 】

これにより、後半部のサブフレーム n B 2 では、液晶 L C の両端には、図 4 (g) に示すように、画素駆動電圧 V o 2 と共通画素電圧 V C d との差電圧 (V o 2 - V C d) の絶対値の電位差が印加される。この結果、注目する画素回路 1 6 は、後半部のサブフレーム n B 2 では、上述したように薄いグレーを表示する。

【 0 0 9 6 】

したがって、サブフレーム B 2 では、注目する画素回路 1 6 は薄いグレーを表示することになる。

40

【 0 0 9 7 】

また、液晶 L C に印加される電圧の高低は、図 4 (g) に示すように、前半部のサブフレーム b B 2 と後半部のサブフレーム n B 2 とで逆となる。すなわち、前半部では画素電極 P E 側の方が高くなる一方、後半部では共通電極 C E 側の方が高くなる。これにより、サブフレーム B 2 では液晶 L C は交流駆動され、液晶 L C の焼き付きを抑制することができる。

【 0 0 9 8 】

次に、サブフレーム B 3 の前半部のサブフレーム b B 3 の書き込み動作と読み出し（表

50

示)動作が順次行われる。前半部のサブフレーム b B 3 の書き込み動作は、先のサブフレーム B 2 の後半部のサブフレーム n B 2 の書き込み動作と同様に行われる。前半部のサブフレーム b B 3 の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 C u r がハイレベルに移行した後、先のサブフレーム B 2 の後半部のサブフレーム n B 2 の表示期間 T n B 2 内で行われる。

【 0 0 9 9 】

サブフレーム B 3 の前半部のサブフレーム b B 3 における読み出し動作は、先のサブフレーム B 2 の後半部のサブフレーム n B 2 の読み出し動作と同様に行われる。サブフレーム b B 3 における読み出し動作では、上記注目する画素回路 1 6 の画素電極 P E には、図 4 (e) に示すように、例えば画素駆動電圧 V o 1 が印加されたものとする。一方、共通電極 C E には、上述したように共通画素電圧 V C c が印加される。

10

【 0 1 0 0 】

これにより、前半部のサブフレーム b B 3 では、液晶 L C の両端には、図 4 (g) に示すように、画素駆動電圧 V o 1 と共通画素電圧 V C c との差電圧 (V o 1 - V C c) の絶対値の電位差が印加される。この結果、注目する画素回路 1 6 は、前半部のサブフレーム b B 3 では、上述したように黒を表示する。

【 0 1 0 1 】

続いて、サブフレーム B 3 の後半部のサブフレーム n B 3 の書き込み動作と読み出し (表示) 動作が順次行われる。後半部のサブフレーム n B 3 の書き込み動作は、上述したように先の前半部の書き込み動作と同様に行われる。サブフレーム n B 3 の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 C u r がハイレベルに移行した後、前半部のサブフレーム b B 3 の表示期間 T b B 3 内で行われる。

20

【 0 1 0 2 】

サブフレーム B 3 の後半部のサブフレーム n B 3 における読み出し動作は、先のサブフレーム B 3 の前半部のサブフレーム b B 3 の読み出し動作と同様に行われる。サブフレーム n B 3 における読み出し動作では、上記注目する画素回路 1 6 の画素電極 P E には、図 4 (e) に示すように、画素駆動電圧 V o 4 が印加される。一方、共通電極 C E には、上述したように共通画素電圧 V C d が印加される。

【 0 1 0 3 】

これにより、後半部のサブフレーム n B 3 では、液晶 L C の両端には、図 4 (g) に示すように、画素駆動電圧 V o 4 と共通画素電圧 V C d との差電圧 (V o 4 - V C d) の絶対値の電位差が印加される。この結果、注目する画素回路 1 6 は、後半部のサブフレーム n B 3 では、上述したように黒を表示する。

30

【 0 1 0 4 】

したがって、サブフレーム B 3 では、注目する画素回路 1 6 は黒を表示することになる。

【 0 1 0 5 】

また、液晶 L C に印加される電圧の高低は、図 4 (g) に示すように、前半部のサブフレーム b B 3 と後半部のサブフレーム n B 3 とで逆となる。すなわち、前半部では画素電極 P E 側の方が高くなる一方、後半部では共通電極 C E 側の方が高くなる。これにより、サブフレーム B 3 では液晶 L C は交流駆動され、液晶 L C の焼き付きを抑制することができる。

40

【 0 1 0 6 】

次に、サブフレーム B 4 の前半部のサブフレーム b B 4 の書き込み動作と読み出し (表示) 動作が順次行われる。前半部のサブフレーム b B 4 の書き込み動作は、先のサブフレーム B 3 の後半部のサブフレーム n B 3 の書き込み動作と同様に行われる。前半部のサブフレーム b B 4 の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 C u r がハイレベルに移行した後、先のサブフレーム B 3 の後半部のサブフレーム n B 3 の表示期間 T n B 3 内で行われる。

【 0 1 0 7 】

50

サブフレーム B 4 の前半部のサブフレーム b B 4 における読み出し動作は、先のサブフレーム B 3 の後半部のサブフレーム n B 3 の読み出し動作と同様に行われる。サブフレーム b B 4 における読み出し動作では、上記注目する画素回路 1 6 の画素電極 P E には、図 4 (e) に示すように、例えば画素駆動電圧 V o 2 が印加されたものとする。一方、共通電極 C E には、上述したように共通画素電圧 V C c が印加される。

【 0 1 0 8 】

これにより、前半部のサブフレーム b B 4 では、液晶 L C の両端には、図 4 (g) に示すように、画素駆動電圧 V o 2 と共通画素電圧 V C c との差電圧 (V o 2 - V C c) の絶対値の電位差が印加される。この結果、注目する画素回路 1 6 は、前半部のサブフレーム b B 4 では、上述したように濃いグレーを表示する。

10

【 0 1 0 9 】

続いて、サブフレーム B 4 の後半部のサブフレーム n B 4 の書き込み動作と読み出し (表示) 動作が順次行われる。後半部のサブフレーム n B 4 の書き込み動作は、上述したように先の前半部の書き込み動作と同様に行われる。サブフレーム n B 4 の書き込み動作は、印加制御信号 S がローレベル、定電流設定信号 C u r がハイレベルに移行した後、前半部のサブフレーム b B 4 の表示期間 T b B 4 内で行われる。

【 0 1 1 0 】

サブフレーム B 4 の後半部のサブフレーム n B 4 における読み出し動作は、先のサブフレーム B 4 の前半部のサブフレーム b B 4 の読み出し動作と同様に行われる。サブフレーム n B 4 における読み出し動作では、上記注目する画素回路 1 6 の画素電極 P E には、図 4 (e) に示すように、画素駆動電圧 V o 3 が印加される。一方、共通電極 C E には、上述したように共通画素電圧 V C d が印加される。

20

【 0 1 1 1 】

これにより、後半部のサブフレーム n B 4 では、液晶 L C の両端には、図 4 (g) に示すように、画素駆動電圧 V o 3 と共通画素電圧 V C d との差電圧 (V o 3 - V C d) の絶対値の電位差が印加される。この結果、注目する画素回路 1 6 は、後半部のサブフレーム n B 4 では、上述したように濃いグレーを表示する。

【 0 1 1 2 】

したがって、サブフレーム B 4 では、注目する画素回路 1 6 は濃いグレーを表示することになる。

30

【 0 1 1 3 】

また、液晶 L C に印加される電圧の高低は、図 4 (g) に示すように、前半部のサブフレーム b B 4 と後半部のサブフレーム n B 4 とで逆となる。すなわち、前半部では画素電極 P E 側の方が高くなる一方、後半部では共通電極 C E 側の方が高くなる。これにより、サブフレーム B 3 では液晶 L C は交流駆動され、液晶 L C の焼き付きを抑制することができる。

【 0 1 1 4 】

上述したようにして、サブフレーム B 0 ~ B 4 の書き込み動作と読み出し動作が順次行われ、5つのサブフレームから構成される1フレームの画像が表示される。また、上記注目する画素回路 1 6 では、1フレームの表示期間において、5つのサブフレームにより白、濃いグレー、薄いグレー、黒、濃いグレーを表示する。この結果、これらの表示色を組み合わせた混色の表示色により1フレームの1つの画素が階調表示される。

40

【 0 1 1 5 】

したがって、液晶表示装置は、表示部 1 1 を構成するすべての画素回路 1 6 において、それぞれ独立して個別に白、黒、濃いグレー、薄いグレーのうちのいずれか1つの表示色を5つのサブフレーム毎に表示する。これにより、液晶表示装置は、1フレームの画像を階調表示することができる。

【 0 1 1 6 】

なお、1フレームを構成するサブフレームの数は、上記第1実施形態で採用した5つに限ることはなく、適宜任意に設定することができる。1フレームを構成する各サブフレー

50

△B0～B4の期間は、上記第1実施形態で採用したすべて同等に限ることはなく、例えば各サブフレームB0～B4で異なるようにしてもよい。

【0117】

階調電圧V_pの数は、上記第1実施形態で採用した4つに限ることはなく、適宜任意に設定することができ、例えば電圧値が異なる3以上の電圧で構成することができる。したがって、階調電圧V_pを選択する選択データのビット数は、階調電圧V_pに応じて適宜設定される。

【0118】

以上説明したように、本発明に係るこの第1実施形態では、画素回路16は、1本の行走査線Gと1本の列データ線Vとに接続され、1組の保持部161と出力部162とを備える。このような構成を採用することで、この第1実施形態の液晶表示装置は、2本の列データ線に接続されて2組の保持部と出力部を有する従来の構成に比べて、画素回路を小型化することが可能となる。

10

【0119】

これにより、多数の画素回路16を有する表示部11の面積を縮小して、装置全体を小型化することができる。例えば装置を集積化して構成した場合には、表示部11を微細化してチップ面積を縮小することが可能となる。

【0120】

画素回路16は、1本の行走査線Gならびに列データ線Vと、4つのトランジスタ、1つの容量ならびに液晶LCで構成される。このような構成を採用することで、2本の列データ線に接続されて2組の保持部と出力部を有する従来の構成に比べて、画素回路16の構成を半分程度にまで縮小することが可能となる。この結果、この第1実施形態の画素回路16は、従来の構成に比べて格段に小型化することができる。

20

【0121】

出力部162を構成するソースフォロワ回路は、出力の画素駆動電圧V_oが線形となるように、ソースフォロワ回路の入出力特性に応じて階調電圧V_pを設定する。これにより、階調電圧V_pに忠実に階調表示を行うことが可能となり、精度の良好な階調表示を行うことができる。

【0122】

表示部11を構成するすべての画素回路16に階調電圧を保持して書き込んだ後、液晶LCを1行毎に画素回路16によって駆動して表示する。このような構成を採用することで、表示部11のすべての画素回路16の液晶LCを一括して駆動して表示する場合に比べて、一度に活性化される回路を抑制することが可能となる。この結果、装置の消費電力を削減することができる。

30

【0123】

これに対して、表示部11を構成するすべての画素回路16に階調電圧を保持して書き込んだ後、表示部11のすべての画素回路16の液晶LCを一括して同時に駆動して表示する。このような構成を採用することで、液晶LCを1行毎に駆動して表示する場合に比べて、表示速度を高速化することが可能となる。

【0124】

また、この第1実施形態の装置を、本発明を平面状のスクリーンに立体視を視認者に提供する、所謂3D(三次元)映像を表示する液晶表示装置に適用した場合に、表示画像の明るさを良好にすることが可能となる。

40

【0125】

3Dの液晶表示装置において、液晶を1行毎に駆動して表示するラインスキャン方式では、一般的に4倍速の速度で液晶を駆動する必要がある。この4倍速の表示では、表示部の画面に左眼用の画像を表示した後画面に一度黒を表示し、その後右眼用の画像を表示して再度黒を表示する。

【0126】

一方、黒の画像を挟まない場合には、1フレームの画像に左眼用の画像と右眼用の画像

50

が混在して同時に表示され、3D表示におけるクロストークの原因となるおそれがある。これを回避するために黒の画像を表示する。しかし、黒の画像を表示することで、表示画像の明るさが半分に低下して、表示画像の明るさを十分に確保することが困難となる。

【0127】

これに対して、上述したこの実施形態1で採用した技術では、1フレームの画像に左眼用の画像と右眼用の画像が混在するのは、表示画像が次のフレームに移行した後の最初の読み出し動作の期間のみとなる。すなわち、1フレームの画像に左眼用の画像と右眼用の画像が混在するのは、ごく僅かな時間となる。このため、左眼用の画像と右眼用の画像との間に黒の画像を挟まなくとも、3D表示におけるクロストークを招くおそれはなくなる。

10

【0128】

この結果、左眼用の画像と右眼用の画像とを交互に表示することが可能となり、表示画面の明るさを十分に確保して良好にすることができる。これにより、この第1実施形態の液晶表示装置は、表示画像の明るさを低下させることなく、3D映像を表示する液晶表示装置に適用することができる。

【0129】

また、単板方式で赤(R)、緑(R)、青(B)と順に表示を切り替えてカラー画像を表示する場合には、1フレームの表示画像に赤(R)と緑(R)、緑(R)と青(B)、ならびに青(B)と赤(B)との混在が発生することは回避される。これにより、この第1実施形態の液晶表示装置を単板方式のカラーの液晶表示装置に適用した場合には、混色の少ない良好なカラー画像を得ることができる。

20

【0130】

この第1実施形態の液晶表示装置は、3以上の複数の電圧値が異なる階調電圧に応じた画素駆動電圧で液晶LCを駆動表示する。これにより、正極性と負極性の2つの電圧で液晶を駆動表示する従来の構成に比べて、同様な階調表示を行う場合に書き込み動作ならびに読み出し動作の回数、ならびにサブフレームの数を削減することが可能となる。この結果、消費電力を削減することができる。

【符号の説明】

【0131】

- 1 1 ... 表示部
- 1 2 ... 垂直走査回路
- 1 3 ... 水平走査回路
- 1 4 ... 階調電圧選択回路
- 1 5 ... 制御信号生成回路
- 1 6 ... 画素回路
- 1 3 1 ... シフトレジスタ回路
- 1 3 2 ... ラッチ回路
- 1 3 3 ... デコーダ
- 1 6 1 ... 保持部
- 1 6 1 ... 出力部
- 1 6 2 ... 出力部
- 1 6 3 ... 印加制御部
- 1 6 4 ... 画素部
- G (G 1 ~ G n) ... 行走査線
- V (V 1 ~ V m) ... 列データ線
- SW (SW 1 ~ SW m) ... スイッチ回路
- T 1 ... 第1トランジスタ
- T 2 ... 第2トランジスタ
- T 3 ... 第3トランジスタ
- T 4 ... 第4トランジスタ

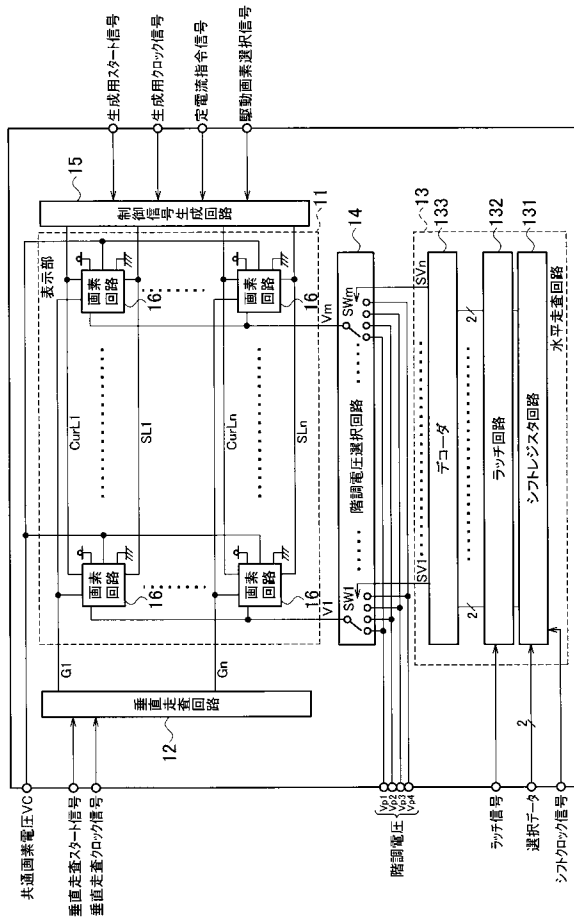
30

40

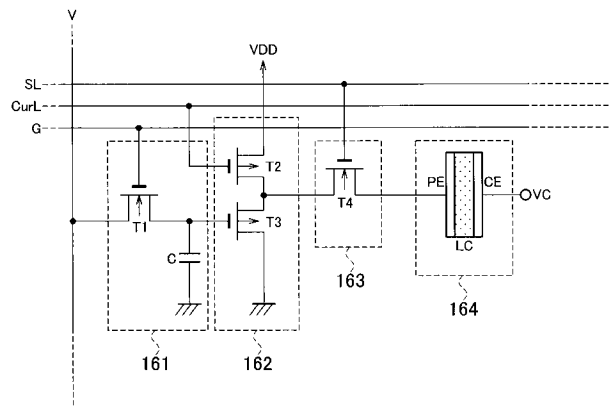
50

L C ... 液晶
 P E ... 画素電極
 C E ... 共通電極
 C ... 容量

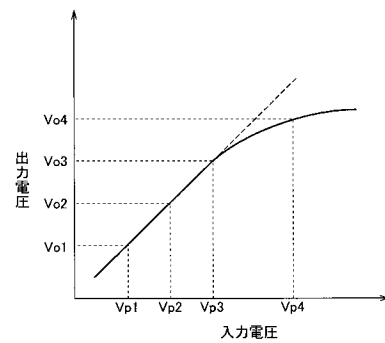
【 図 1 】



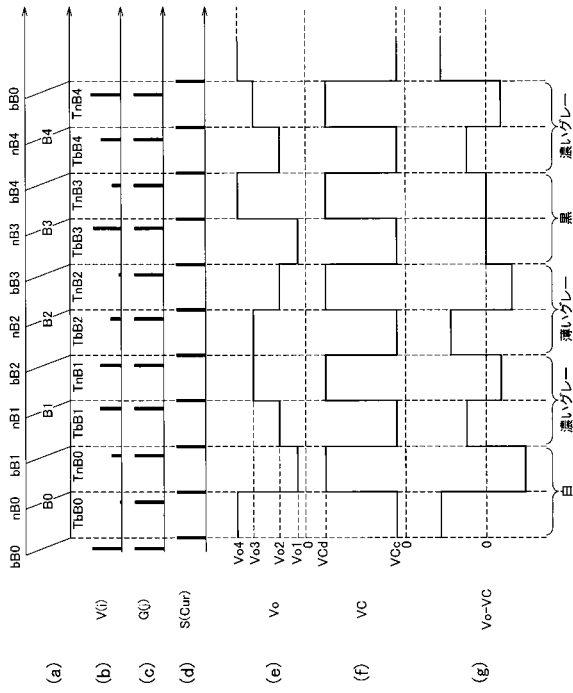
【 図 2 】



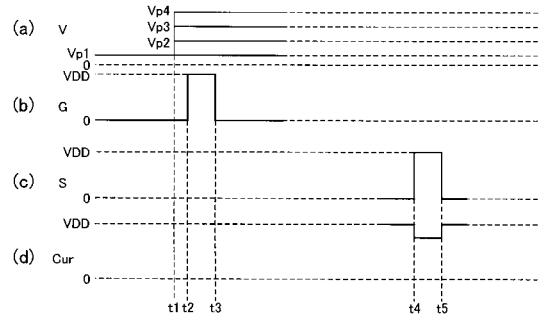
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 C
G 0 2 F	1/133	5 5 0

Fターム(参考) 5C080 AA10 BB05 DD22 FF07 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014130219A	公开(公告)日	2014-07-10
申请号	JP2012287534	申请日	2012-12-28
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	樋口潤		
发明人	樋口潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.641.E G09G3/20.612.F G09G3/20.622.Q G09G3/20.621.B G09G3/20.622.D G09G3/20.623.C G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA19 2H193/ZB01 2H193/ZD25 2H193/ZD27 2H193/ZJ20 5C006/AA14 5C006/AC21 5C006/AC23 5C006/AC26 5C006/BB16 5C006/BC06 5C006/BC22 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	三好秀 高桥俊		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种尺寸减小的液晶显示装置。解决方案：该液晶显示装置包括：保持部161，其对从灰度电压选择电路14经由列数据线输出的灰度电压进行采样并保持。V，根据从垂直扫描电路12经由行扫描线G输出的行选择信号；输出部162根据保持部161保持的灰度电压输出像素驱动电压。像素部分164根据从输出部分162输出并施加到像素电极PE的像素驱动电压和施加到公共电极CE的电压之间的电势差驱动液晶LC。施加控制部163，其将像素驱动电压选择性地施加至像素电极并进行控制。

