

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5781463号
(P5781463)

(45) 発行日 平成27年9月24日 (2015. 9. 24)

(24) 登録日 平成27年7月24日 (2015. 7. 24)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

G09G 3/36
G09G 3/20 621F
G09G 3/20 641C
G09G 3/20 641P
G02F 1/133 570

請求項の数 15 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2012-77273 (P2012-77273)
(22) 出願日 平成24年3月29日 (2012. 3. 29)
(62) 分割の表示 特願2001-28541 (P2001-28541)
の分割
原出願日 平成13年2月5日 (2001. 2. 5)
(65) 公開番号 特開2012-137782 (P2012-137782A)
(43) 公開日 平成24年7月19日 (2012. 7. 19)
審査請求日 平成24年3月29日 (2012. 3. 29)
(31) 優先権主張番号 2000-5442
(32) 優先日 平成12年2月3日 (2000. 2. 3)
(33) 優先権主張国 韓国 (KR)
(31) 優先権主張番号 2000-43509
(32) 優先日 平成12年7月27日 (2000. 7. 27)
(33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
三星ディスプレイ株式会社
Samsung Display Co.,
Ltd.
大韓民国京畿道龍仁市器興区三星二路95
95, Samsung 2 Ro, Giheung-Gu, Yongin-City,
Gyeonggi-Do, Korea
(74) 代理人 100121382
弁理士 山下 託嗣
(72) 発明者 李 白 雲
大韓民国京畿道龍仁市器興邑農書里山24
番地

審査官 山崎 仁之

最終頁に続く

(54) 【発明の名称】 液晶表示装置とその駆動方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

データ階調信号ソースから階調信号を受信し、現在のフレームの階調信号と以前のフレームの階調信号とを考慮して補正階調信号を出力するデータ階調信号補正部と；

前記データ階調信号補正部から出力される前記補正階調信号に対応するデータ電圧に変えて画像信号を出力するデータドライバー部と；

走査信号を順次 to 供給するゲートドライバー部と；

前記走査信号を伝達する多数のゲートラインと、前記画像信号を伝達し、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及び前記データラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示パネルとを含み、

前記データ階調信号補正部は、

前記データ階調信号ソースから r、g、b に対する x ビットの階調データを受信して補正階調データを出力し、

前記データ階調信号補正部は、

以前の画像データと現在の画像データとの x ビットのデータの MSB から y ビットのデータ各々の提供を受けて動画像補正のための変数 (f、a、b) を出力するルックアップテーブルと；

以前の画像データと現在の画像データとの x ビットのデータの LSB から z ビットのデータ各々の提供を受け、前記変数 (f、a、b) の提供を受けて補正されたグレーデータ

を出力する演算部とを含み、

前記補正されたグレーデータ (G_n') は、

$$G_n' = f([G_n]_z, [G_{n-1}]_z) + a([G_n]_z, [G_{n-1}]_z) \times_y [G_n] / 2^z - b([G_n]_z, [G_{n-1}]_z) \times_y [G_n] / 2^z$$

(ここで、 z は $x - y$ 、 $[G_n]_z$ は G_n の LSB から z ビットを全て 0 で満たした値、 $[G_{n-1}]_z$ は G_{n-1} の LSB から z ビットを全て 0 で満たした値、 $y [G_n]$ は G_n の MSB から y ビットを全て 0 で満たした値、 $a([G_n]_z, [G_{n-1}]_z)$ と $b([G_n]_z, [G_{n-1}]_z)$ は全て正の整数) に基づいて算出され、

$f(G_n, G_{n-1})$ はルックアップテーブルによるマッピングにより与えられる値であり、
 $f([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z, [G_{n-1}]_z)$ であり、 $a([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z + 2^z, [G_{n-1}]_z) - G_n'([G_n]_z, [G_{n-1}]_z)$ であり、 $b([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z, [G_{n-1}]_z + 2^z) - G_n'([G_n]_z, [G_{n-1}]_z)$ であることを特徴とする液晶表示装置。

10

【請求項 2】

データ階調信号ソースから階調信号を受信し、現在のフレームの階調信号と以前のフレームの階調信号とを考慮して補正階調信号を出力するデータ階調信号補正部と；

前記データ階調信号補正部から出力される前記補正階調信号に対応するデータ電圧に変えて画像信号を出力するデータドライバー部と；

走査信号を順次に供給するゲートドライバー部と；

前記走査信号を伝達する多数のゲートラインと、前記画像信号を伝達し、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及び前記データラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示パネルとを含み、

20

前記データ階調信号補正部は、

前記データ階調信号ソースから r 、 g 、 b に対する x ビットの階調データを受信して補正階調データを出力し、

前記データ階調信号補正部は、

以前の画像データと現在の画像データとの x ビットのデータの MSB から y ビットのデータ各々の提供を受けて動画像補正のための変数 (f 、 a 、 b) を出力するルックアップテーブルと；

30

以前の画像データと現在の画像データとの x ビットのデータの LSB から z ビットのデータ各々の提供を受け、前記変数 (f 、 a 、 b) の提供を受けて補正されたグレーデータを出力する演算部とを含み、

前記補正されたグレーデータ (G_n') は、

【数 1】

$$G_n' = f' + [G_n]_4 + a''([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16}$$

f' はルックアップテーブルによるマッピングにより与えられる値であり、

(ここで、 $f' = f([G_n]_4, [G_{n-1}]_4) - [G_n]_4$ 、 $[G_n]_4$ は G_n の LSB から 4 ビットを全て 0 で満たした値、 $[G_{n-1}]_4$ は G_{n-1} の LSB から 4 ビットを全て 0 で満たした値、 $4[G_n]$ は G_n の MSB から 4 ビットを全て 0 で満たした値、 $a''([G_n]_4, [G_{n-1}]_4)$ と $b([G_n]_4, [G_{n-1}]_4)$ は全て正の整数) に基づいて算出されることを特徴とする液晶表示装置。

40

【請求項 3】

データ階調信号ソースから階調信号を受信し、現在のフレームの階調信号と以前のフレームの階調信号とを考慮して補正階調信号を出力するデータ階調信号補正部と；

前記データ階調信号補正部から出力される前記補正階調信号に対応するデータ電圧に変えて画像信号を出力するデータドライバー部と；

走査信号を順次に供給するゲートドライバー部と；

50

前記走査信号を伝達する多数のゲートラインと、前記画像信号を伝達し、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及び前記データラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示パネルとを含み、

前記データ階調信号補正部は、

前記データ階調信号ソースから r 、 g 、 b に対する x ビットの階調データを受信して補正階調データを出力し、

前記データ階調信号補正部は、

以前の画像データと現在の画像データとの x ビットのデータの MSB から y ビットのデータ各々の提供を受けて動画像補正のための変数 (f 、 a 、 b) を出力するルックアップテーブルと；

10

以前の画像データと現在の画像データとの x ビットのデータの LSB から z ビットのデータ各々の提供を受け、前記変数 (f 、 a 、 b) の提供を受けて補正されたグレーデータを出力する演算部とを含み、

前記補正されたグレーデータ (G_n') は、

【数 2】

$$G_n' = f' + G_n + a'([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16}$$

f' はルックアップテーブルによるマッピングにより与えられる値であり、

20

(ここで、 $f' = f - G_n$ 、 $[G_n]_4$ は G_n の LSB から 4 ビットを全て 0 で満たした値、 $[G_{n-1}]_4$ は G_{n-1} の LSB から 4 ビットを全て 0 で満たした値、 $4[G_n]$ は G_n の MSB から 4 ビットを全て 0 で満たした値、 $a'([G_n]_4, [G_{n-1}]_4)$ は整数であり、 $b([G_n]_4, [G_{n-1}]_4)$ は正の整数) に基づいて算出されることを特徴とする液晶表示装置。

【請求項 4】

前記 $[G_n]_z = [G_{n-1}]_z$ である場合、 $G_n' = G_{n-1}$ の条件を満たすためには $a - b = 16$ でなければならないことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記 $[G_n]_z = [G_{n-1}]_z$ である場合には、 $G_n' = G_{n-1}$ の条件を満たすためには $a' - b = 0$ でなければならないことを特徴とする請求項 3 に記載の液晶表示装置。

30

【請求項 6】

多数のゲートラインと、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及びデータラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示装置の駆動方法において、

(a) 前記ゲートラインに走査信号を順次に供給する段階と；

(b) 外部の画像信号ソースから x ビットの画像階調データを受信する段階と；

(c) 前記受信された画像階調データを一つのフレーム遅延させる段階と；

(d) 以前の画像データと現在の画像データとの x ビットのデータの MSB から y ビットのデータ各々の提供を受けてルックアップテーブルから動画像補正のための変数 (f 、 a 、 b) を出力する段階と；

40

(e) 以前の画像データと現在の画像データとの x ビットのデータの LSB から z ビットのデータ各々の提供を受け、前記変数 (f 、 a 、 b) の提供を受けて補正されたグレーデータを生成する段階と；

(f) 生成された前記補正されたグレーデータに対応するデータ電圧を前記データラインに供給する段階とを含み、

前記補正されたグレーデータ (G_n') は、

$$G_n' = f([G_n]_z, [G_{n-1}]_z) + a([G_n]_z, [G_{n-1}]_z) \times y[G_n] / 2^z - b([G_n]_z, [G_{n-1}]_z) \times y[G_n] / 2^z$$

50

(ここで、 z は $x - y$ 、 $[G_n]_z$ は G_n の $L S B$ から z ビットを全て 0 で満たした値、 $[G_{n-1}]_z$ は G_{n-1} の $L S B$ から z ビットを全て 0 で満たした値、 ${}_y[G_n]$ は G_n の $M S B$ から y ビットを全て 0 で満たした値、 $a([G_n]_z, [G_{n-1}]_z)$ と $b([G_n]_z, [G_{n-1}]_z)$ は全て正の整数)に基づいて算出され、 $f(G_n, G_{n-1})$ はルックアップテーブルによるマッピングにより与えられる値であり、 $f([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z, [G_{n-1}]_z)$ であり、 $a([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z + 2^z, [G_{n-1}]_z) - G_n'([G_n]_z, [G_{n-1}]_z)$ であり、 $b([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z, [G_{n-1}]_z) - G_n'([G_n]_z, [G_{n-1}]_z + 2^z)$ であることを特徴とする液晶表示装置の駆動方法。

【請求項 7】

10

多数のゲートラインと、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及びデータラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示装置の駆動方法において、

- (a) 前記ゲートラインに走査信号を順次に供給する段階と；
- (b) 外部の画像信号ソースから x ビットの画像階調データを受信する段階と；
- (c) 前記受信された画像階調データを一つのフレーム遅延させる段階と；
- (d) 以前の画像データと現在の画像データとの x ビットのデータの $M S B$ から y ビットのデータ各々の提供を受けてルックアップテーブルから動画像補正のための変数 (f 、 a 、 b) を出力する段階と；
- (e) 以前の画像データと現在の画像データとの x ビットのデータの $L S B$ から z ビットのデータ各々の提供を受け、前記変数 (f 、 a 、 b) の提供を受けて補正されたグレーデータを生成する段階と；
- (f) 生成された前記補正されたグレーデータに対応するデータ電圧を前記データラインに供給する段階とを含み、

前記補正されたグレーデータ (G_n') は、

【数 3】

$$G_n' = f' + [G_n]_4 + a''([G_n]_4, [G_{n-1}]_4) \times \frac{{}_4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{{}_4[G_n]}{16}$$

30

f' はルックアップテーブルによるマッピングにより与えられる値であり、

(ここで、 $f' = f([G_n]_4, [G_{n-1}]_4) - [G_n]_4$ 、 $[G_n]_4$ は G_n の $L S B$ から 4 ビットを全て 0 で満たした値、 $[G_{n-1}]_4$ は G_{n-1} の $L S B$ から 4 ビットを全て 0 で満たした値、 ${}_4[G_n]$ は G_n の $M S B$ から 4 ビットを全て 0 で満たした値、 $a''([G_n]_4, [G_{n-1}]_4)$ と $b([G_n]_4, [G_{n-1}]_4)$ は全て正の整数)に基づいて算出されることを特徴とする液晶表示装置の駆動方法。

【請求項 8】

多数のゲートラインと、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及びデータラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示装置の駆動方法において

40

- (a) 前記ゲートラインに走査信号を順次に供給する段階と；
- (b) 外部の画像信号ソースから x ビットの画像階調データを受信する段階と；
- (c) 前記受信された画像階調データを一つのフレーム遅延させる段階と；
- (d) 以前の画像データと現在の画像データとの x ビットのデータの $M S B$ から y ビットのデータ各々の提供を受けてルックアップテーブルから動画像補正のための変数 (f 、 a 、 b) を出力する段階と；
- (e) 以前の画像データと現在の画像データとの x ビットのデータの $L S B$ から z ビットのデータ各々の提供を受け、前記変数 (f 、 a 、 b) の提供を受けて補正されたグレーデータを生成する段階と；

50

(f) 生成された前記補正されたグレーデータに対応するデータ電圧を前記データラインに供給する段階とを含み、

前記補正されたグレーデータ (G_n') は、

【数 4】

$$G_n' = f' + G_n + a'([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16}$$

f' はルックアップテーブルによるマッピングにより与えられる値であり、

(ここで、 $f' = f - G_n$ 、 $[G_n]_4$ は G_n の L S B から 4 ビットを全て 0 で満たした値、 $[G_{n-1}]_4$ は G_{n-1} の L S B から 4 ビットを全て 0 で満たした値、 $4[G_n]$ は G_n の M S B から 4 ビットを全て 0 で満たした値、 $a'([G_n]_4, [G_{n-1}]_4)$ は整数であり、 $b([G_n]_4, [G_{n-1}]_4)$ は正の整数) に基づいて算出されることを特徴とする液晶表示装置の駆動方法。

10

【請求項 9】

前記 $[G_n]_z = [G_{n-1}]_z$ である場合、 $G_n' = G_{n-1}$ の条件を満たすためには $a - b = 16$ でなければならないことを特徴とする請求項 6 に記載の液晶表示装置の駆動方法。

【請求項 10】

前記 $[G_n]_z = [G_{n-1}]_z$ である場合、 $G_n' = G_{n-1}$ の条件を満たすためには $a' - b = 0$ でなければならないことを特徴とする請求項 8 に記載の液晶表示装置の駆動方法。

20

【請求項 11】

多数のゲートラインと、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及びデータラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素を含む液晶表示装置の駆動装置において、

データ階調信号ソースから r 、 g 、 b に対する x ビット階調データを受信して補正階調データを出力するデータ階調信号補正部と；

前記データ階調信号補正部から出力される前記補正階調データに対応するデータ電圧に変えて画像信号を前記データラインに出力するデータドライバー部と；

前記ゲートラインに走査信号を順次供給するゲートドライバー部とを含み、

前記データ階調信号補正部は、

30

以前の画像データと現在の画像データとの x ビットのデータの M S B から y ビットのデータ各々の提供を受けて動画像補正のための変数 (f 、 a 、 b) を出力するルックアップテーブルと；

以前の画像データと現在の画像データとの x ビットのデータの L S B から z ビットのデータ各々の提供を受け、前記変数 (f 、 a 、 b) の提供を受けて補正されたグレーデータを出力する演算部とを含み、

前記補正されたグレーデータ (G_n') は、

$$G_n' = f([G_n]_z, [G_{n-1}]_z) + a([G_n]_z, [G_{n-1}]_z) \times_y [G_n] / 2^z - b([G_n]_z, [G_{n-1}]_z) \times_y [G_n] / 2^z$$

(ここで、 z は $x - y$ 、 $[G_n]_z$ は G_n の L S B から z ビットを全て 0 で満たした値、 $[G_{n-1}]_z$ は G_{n-1} の L S B から z ビットを全て 0 で満たした値、 $_y [G_n]$ は G_n の M S B から y ビットを全て 0 で満たした値、 $a([G_n]_z, [G_{n-1}]_z)$ と $b([G_n]_z, [G_{n-1}]_z)$ は全て正の整数) に基づいて算出され、

40

$f(G_n, G_{n-1})$ はルックアップテーブルによるマッピングにより与えられる値であり、 $f([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z, [G_{n-1}]_z)$ であり、 $a([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z + 2^z, [G_{n-1}]_z) - G_n'([G_n]_z, [G_{n-1}]_z)$ であり、 $b([G_n]_z, [G_{n-1}]_z) = G_n'([G_n]_z, [G_{n-1}]_z) - G_n'([G_n]_z, [G_{n-1}]_z + 2^z)$ である液晶表示装置の駆動装置。

【請求項 12】

多数のゲートラインと、前記ゲートラインと絶縁して交差する多数のデータラインと、

50

それぞれ前記ゲートライン及びデータラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示装置の駆動装置において、

データ階調信号ソースから r、g、b に対する x ビット階調データを受信して補正階調データを出力するデータ階調信号補正部と；

前記データ階調信号補正部から出力される前記補正階調データに対応するデータ電圧に変えて画像信号を前記データラインに出力するデータドライバー部と；

前記ゲートラインに走査信号を順次に供給するゲートドライバー部とを含み、

前記データ階調信号補正部は、

以前のフレームの画像データと現在のフレームの画像データとの x ビットのデータの M S B から y ビットのデータ各々の提供を受けて、動画像補正のための変数 (f、a、b) を出力するルックアップテーブルと；

以前の画像データと現在の画像データの x ビットのデータの L S B から z ビットのデータ各々の提供を受け、前記変数 (f、a、b) の提供を受けて補正されたグレーデータを出力する演算部とを含み、

前記補正されたグレーデータ (G_n') は、

【数 5】

$$G_n' = f' + [G_n]_4 + a''([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16}$$

f' はルックアップテーブルによるマッピングにより与えられる値であり、

(ここで、 $f' = f([G_n]_4, [G_{n-1}]_4) - [G_n]_4$ 、 $[G_n]_4$ は G_n の L S B から 4 ビットを全て 0 で満たした値、 $[G_{n-1}]_4$ は G_{n-1} の L S B から 4 ビットを全て 0 で満たした値、 $4[G_n]$ は G_n の M S B から 4 ビットを全て 0 で満たした値、 $a''([G_n]_4, [G_{n-1}]_4)$ と $b([G_n]_4, [G_{n-1}]_4)$ は全て正の整数) に基づいて算出されることを特徴とする液晶表示装置の駆動装置。

【請求項 13】

多数のゲートラインと、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及びデータラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示装置の駆動装置において、

データ階調信号ソースから r、g、b に対する x ビット階調データを受信して補正階調データを出力するデータ階調信号補正部と；

前記データ階調信号補正部から出力される前記補正階調データに対応するデータ電圧に変えて画像信号を前記データラインに出力するデータドライバー部と；

前記ゲートラインに走査信号を順次に供給するゲートドライバー部とを含み、

前記データ階調信号補正部は、

以前のフレームの画像データと現在のフレームの画像データとの x ビットのデータの M S B から y ビットのデータ各々の提供を受けて、動画像補正のための変数 (f、a、b) を出力するルックアップテーブルと；

以前の画像データと現在の画像データの x ビットのデータの L S B から z ビットのデータ各々の提供を受け、前記変数 (f、a、b) の提供を受けて補正されたグレーデータを出力する演算部とを含み、

前記補正されたグレーデータ (G_n') は、

【数 6】

$$G_n' = f' + G_n + a'([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16}$$

10

20

30

40

50

f' はルックアップテーブルによるマッピングにより与えられる値であり、
 (ここで、 $f' = f - G_n$ 、 $[G_n]_4$ は G_n の L S B から 4 ビットを全て 0 で満たした値、
 $[G_{n-1}]_4$ は G_{n-1} の L S B から 4 ビットを全て 0 で満たした値、 ${}_4[G_n]$ は G_n の M S
 B から 4 ビットを全て 0 で満たした値、 a' ($[G_n]_4$ 、 $[G_{n-1}]_4$) は整数であり、 b
 ($[G_n]_4$ 、 $[G_{n-1}]_4$ は正の整数) に基づいて算出されることを特徴とする液晶表示装
 置の駆動装置。

【請求項 1 4】

前記 $[G_n]_z = [G_{n-1}]_z$ である場合、 $G_n' = G_{n-1}$ の条件を満たすためには $a - b = 16$ でなければならないことを特徴とする請求項 1 1 に記載の液晶表示装置の駆動装置。

【請求項 1 5】

前記 $[G_n]_z = [G_{n-1}]_z$ である場合、 $G_n' = G_{n-1}$ の条件を満たすためには $a' - b = 0$ でなければならないことを特徴とする請求項 1 3 に記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置とその駆動方法及び装置に係わり、特に、動画像具現に適するよう
 に補償されたデータ電圧が印加される液晶表示装置とその駆動方法及び装置に関するも
 のである。

【背景技術】

【0002】

近来、パソコンやテレビなどの軽量化、薄形化によってディスプレイ装置も軽量化、薄
 形化が要求されており、このような要求に従って陰極線管 (cathode ray tube: CRT) の代わりに液晶表示装置 (liquid crystal display: LCD) のようなフラットパネル型ディスプレイが開発されている。

【0003】

LCD は二つの基板の間に注入されている異方性誘電率を有する液晶物質に電界 (electric field) を印加し、この電界の強さを調節して基板に透過する光の量を調節することによって所望の画像信号を得る表示装置である。このような LCD は携帯の簡便なフラットパネル型ディスプレイのうちの代表的なものであり、この中でも薄膜ト
 ランジスタ (thin film transistor: TFT) をスイッチング素子として用いた TFT LCD が主に用いられている。

【0004】

最近、TFT LCD がコンピュータのディスプレイ装置だけでなくテレビのディスプレイ装置として広く用いられるため、動画像を具現する必要がある増加してきた。しかしながら、従来の TFT LCD は応答速度が遅いために動画像を具現するのは難しいという短所があった。このような応答速度の問題を改善するために、従来は、OCB (optically compensated band) モードを用いたり強誘電性液晶 (FLC; ferro-electric liquid crystal) 物質を用いた TFT LCD を用いていた。

【0005】

しかし、このような OCB モードや FLC 物質を用いるためには従来の TFT LCD パネルの構造を変えなければならないという問題点があった。

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が目的とする技術的課題はこのような問題点を解決するためのものであり、本発明の第 1 目的は、TFT LCD のパネルの構造を変える必要なく、液晶の駆動方法を変えることによって液晶の応答速度を改善させるための液晶表示装置を提供することにある。

10

20

30

40

50

【 0 0 0 7 】

また、本発明の第 2 目的は、前記液晶表示装置の駆動方法を提供することにある。

【 0 0 0 8 】

また、本発明の第 3 目的は、前記液晶表示装置の駆動装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

上記課題を解決するために、

データ階調信号ソースから階調信号を受信し、現在のフレームの階調信号と以前のフレームの階調信号とを考慮して補正階調信号を出力するデータ階調信号補正部と；

前記データ階調信号補正部から出力される前記補正階調信号に対応するデータ電圧に変えて画像信号を出力するデータドライバー部と；

走査信号を順次に供給するゲートドライバー部と；

前記走査信号を伝達する多数のゲートラインと、前記画像信号を伝達し、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及び前記データラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示パネルとを含み、

前記データ階調信号補正部は、

前記データ階調信号ソースから r 、 g 、 b に対する x ビットの階調データを受信して、現在のフレームの x ビットの階調データと以前のフレームの x ビットの階調データとから所定の MSB ビットはルックアップテーブルを用いて第 1 補正し、現在のフレームの階調データの残りのビットと以前のフレームの階調データの残りのビットとは所定の演算によって第 2 補正し、前記第 1 補正と第 2 補正とを通じて補正階調データを出力することを特徴とする液晶表示装置を提供する。

【 0 0 1 0 】

また、

多数のゲートラインと、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及びデータラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示装置の駆動方法において、

(a) 前記ゲートラインに走査信号を順次に供給する段階と；

(b) 外部の画像信号ソースから x ビットの画像階調データを受信する段階と；

(c) 前記受信された画像階調データを一つのフレーム遅延させる段階と；

(d) 前記一つのフレーム遅延されたデジタル階調データの $MSBy$ ビットと現在のフレームで受信されるデジタル階調データの $MSBy$ ビットとに基づいてルックアップテーブルから動画像補正のための変数を導く段階と；

(e) 前記一つのフレーム遅延されたデジタル階調データの $LSB(x - y)$ ビットと、前記現在のフレームで受信されるデジタル階調データの $LSB(x - y)$ ビットと、前記段階 (d) で導いた変数とを演算処理して補正されたグレーデータを生成する段階と；

(f) 生成された前記補正されたグレーデータに対応するデータ電圧を前記データラインに供給する段階とを含む液晶表示装置の駆動方法を提供する。

また、

多数のゲートラインと、前記ゲートラインと絶縁して交差する多数のデータラインと、それぞれ前記ゲートライン及びデータラインに連結されているスイッチング素子を有するマトリックスの形態に配列された多数の画素とを含む液晶表示装置の駆動装置において、

データ階調信号ソースから r 、 g 、 b に対する x ビット階調データを受信して、現在のフレームの x ビットの階調データと以前のフレームの x ビットの階調データとから所定の MSB ビットはルックアップテーブルを用いて第 1 補正し、現在のフレームの階調データの残りのビットと以前のフレームの階調データの残りのビットとは所定の演算によって第 2 補正し、前記第 1 補正と第 2 補正とを通じて補正階調データを出力するデータ階調信号補正部と；

前記データ階調信号補正部から出力される前記補正階調データに対応するデータ電圧に

変えて画像信号を前記データラインに出力するデータドライバー部と；

前記ゲートラインに走査信号を順次に供給するゲートドライバー部とを含む液晶表示装置の駆動装置を提供する。

【発明の効果】

【0011】

以上で説明したように、本発明のまた他の実施例によれば、液晶表示装置において、データ電圧を補正し、補正されたデータ電圧を画素に印加することによって画素電圧をすぐに目標電圧レベルに到達するようにすることができる。従って、TFT LCDのパネル構造を変更する必要なく液晶の応答速度を改善させることができる。

【0012】

また、液晶表示装置の駆動時、特に動画像具現時に液晶の応答速度を向上させるための画像信号補正回路において、グレーックアップテーブルの大きさは減らして量子化エラーを除去することができる。

【図面の簡単な説明】

【0013】

【図1】液晶表示装置における各画素の等価回路を示す図である。

【図2】従来の駆動方式で印加されるデータ電圧及び画素電圧を示す図である。

【図3】従来の駆動方式による液晶表示装置の透過率を示す図である。

【図4】液晶表示装置の電圧 - 誘電率の間の関係をモデリングした図である。

【図5】本発明の一実施例によるデータ電圧の印加方法を示す図である。

【図6】本発明の一実施例によってデータ電圧を印加した場合の液晶表示装置の透過率を示す図である。

【図7】本発明の他の実施例によってデータ電圧を印加した場合の液晶表示装置の透過率を示す図である。

【図8】本発明による液晶表示装置を示す図である。

【図9】本発明の一実施例によるデータ階調信号補正部を示す図である。

【図10】本発明の一実施例によるルックアップテーブルを示す図である。

【図11】本発明の他の実施例によるデータ電圧補正部を示す図である。

【図12】前記図11の第1実施例によるデータ電圧補正部の動作を概念的に説明した図である。

【図13】前記図11の第2実施例によるデータ電圧補正部の動作を概念的に説明した図である。

【図14】本発明のまた他の実施例によるデータ階調信号補正部を詳細に説明するための図である。

【図15】(a)本発明のまた他の実施例によって演算される補正されたグレーデータの変換を説明するための図である。(b)本発明のまた他の実施例によって演算される補正されたグレーデータの変換を説明するための図である。(c)本発明のまた他の実施例によって演算される補正されたグレーデータの変換を説明するための図である。

【図16】従来の電圧印加方式と本発明による電圧印加方式とを比較した波形図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施例を詳細に説明する。

【0015】

一般に、LCDは走査信号を伝達する多数のゲートラインと、このゲートラインに交差して形成され、データ電圧を伝達するデータラインとを含む。また、LCDはこのゲートライン及びデータラインによって囲まれた領域に形成され、それぞれゲートライン及びデータラインとスイッチング素子を通じて連結される行列の形態の多数の画素を含む。

【0016】

LCDにおいて各画素は液晶を誘電体として有するキャパシター、つまり液晶キャパシターにモデリングすることができるが、このようなLCDにおける各画素の等価回路は図

10

20

30

40

50

1 のとおりである。

【 0 0 1 7 】

図 1 に示したように、液晶表示装置の各画素は、データライン (D_m) とゲートライン (S_n) にそれぞれソース電極とゲート電極が連結される TFT 10 と、TFT のドレーン電極と共通電圧 (V_{com}) との間に連結される液晶キャパシター (C_l) と、TFT のドレーン電極に連結されるストレージキャパシター (C_{st}) とを含む。

【 0 0 1 8 】

図 1 において、ゲートライン (S_n) にゲートオン信号が印加されて TFT 10 がターンオン (turn on) されると、データラインに供給されたデータ電圧 (V_d) が TFT を通じて各画素電極 (図示せず) に印加される。そうすると、画素電極に印加される画素電圧 (V_p) と共通電圧 (V_{com}) との差に該当する電界が液晶 (図 1 では等価的に液晶キャパシターで示した) に印加され、この電界の強さに対応する透過率で光が透過するようにする。この時、画素電圧 (V_p) は 1 フレームの間維持されなければならないが、図 1 においてストレージキャパシター (C_{st}) は画素電極に印加された画素電圧 (V_p) を維持するために補助として用いられる。

【 0 0 1 9 】

一方、液晶は異方性誘電率を有するため、液晶の方向によって誘電率が異なる特性がある。つまり、電圧が印加されるのに従って液晶の方向子が変わると誘電率も従って変わり、これによって液晶キャパシターのキャパシタンス (以下、これを液晶キャパシタンスという) 値も変わるようになる。一度 TFT がオンされる区間の間液晶キャパシターに電荷を供給した後で TFT がオフ状態となるが、 $Q = CV$ であるので、液晶キャパシタンスが変わると液晶にかかる画素電圧 (V_p) もまた変わるようになる。

【 0 0 2 0 】

ノーマリーホワイトモード (Normally white mode) TN (twisted Nematics) LCD を例に挙げると、画素に供給される画素電圧が 0 V である場合には液晶分子が基板に平行な方向に配列されるので、液晶キャパシタンスは $C(0V) = \epsilon A / d$ になる。ここで、 ϵ は液晶分子が基板に平行な方向に配列された場合、つまり液晶分子が光の方向と垂直な方向に配列された場合の誘電率を示しており、 A と d とは各々 LCD 基板の面積と基板の間の距離を示す。フルブラック (full black) を具現するための電圧が 5 V とすれば、液晶に 5 V が印加される場合には液晶分子が基板に垂直な方向に配列されるので、液晶キャパシタンスは $C(5V) = \epsilon A / d$ になる。TN モードに用いられる液晶の場合には $\epsilon - \epsilon > 0$ であるので、液晶に印加される画素電圧が高くなるほど液晶キャパシタンスがより大きくなる。

【 0 0 2 1 】

n 番目のフレームでフルブラックを具現するために TFT が充電すべき電荷量は $C(5V) \times 5V$ である。しかし、すぐ前のフレームである $n - 1$ 番目のフレームでフルホワイト ($V_{n-1} = 0V$) であったと仮定すれば、TFT のターンオン時間の間には液晶がまだ応答する前であるので液晶キャパシタンスは $C(0V)$ となる。従って、フルブラックを具現するために n 番目のフレームで 5 V のデータ電圧 (V_d) を印加しても実際に画素に充電される電荷量は $C(0V) \times 5V$ となり、 $C(0V) < C(5V)$ であるので液晶に実際に供給される画素電圧 (V_p) は 5 V に及ばない画素電圧 (例えば 3.5 V) が印加されるためフルブラックが具現されない。

【 0 0 2 2 】

また、次のフレームである $n + 1$ 番目のフレームでフルブラックを具現するためにデータ電圧 (V_d) を 5 V で印加した場合には液晶に充電される電荷量は $C(3.5V) \times 5V$ となり、結局液晶に供給される電圧 (V_p) は 3.5 V と 5 V の間となる。このような過程を繰り返せば結局いくつかのフレームの後に画素電圧 (V_p) が所望の電圧に到達するようになる。

【 0 0 2 3 】

つまり、これを階調の観点から説明すると、任意の画素に印加される信号 (画素電圧)

が低い階調から高い階調に（または高い階調から低い階調に）変わる場合、現在のフレームの階調は以前のフレームの階調の影響を受けるのですぐに所望の階調に到達することができず、いくつかのフレームが経過した後にはじめて所望の階調に到達するようになる。同様に、現在のフレームの画素の透過率は以前のフレームの画素の透過率の影響を受けるのでいくつかのフレームが経過した後に所望の透過率を得ることができる。

【0024】

一方、 $n-1$ フレームがフルブラックであり、つまり画素電圧 (V_p) が $5V$ であり、 n フレームでフルブラックを具現するために $5V$ のデータ電圧が印加されたとすると、液晶キャパシタンスは $C(5V)$ であるので画素には $C(5V) \times 5V$ に該当する電荷量が充電され、これによって液晶の画素電圧 (V_p) は $5V$ となる。

10

【0025】

このように、液晶に実際に供給される画素電圧 (V_p) は現在のフレームに供給されるデータ電圧だけでなく、以前のフレームの画素電圧 (V_p) によっても決定される。

【0026】

図2は従来の駆動方式で印加される場合のデータ電圧及び画素電圧を示す図である。

【0027】

図2に示したように、従来は以前のフレームの画素電圧 (V_p) を考慮せずに目標画素電圧 (V_w) に該当するデータ電圧 (V_d) を毎フレームごとに印加した。従って、実際に液晶に印加される画素電圧 (V_p) は先に説明したように以前のフレームの画素電圧に対応する液晶キャパシタンスによって目標画素電圧より低くまたは高くなる。従って、いくつかのフレームが経過した後にはじめて目標画素電圧に到達するようになる。

20

【0028】

図3はこのような従来の駆動方法による液晶表示装置の透過率を示す図である。

【0029】

図3に示したように、従来は先に説明したように実際の画素電圧が目標画素電圧より低くなるため、液晶の応答時間が1フレーム以内である場合にもいくつかのフレームが経過した後にはじめて目標透過率に到達する。

【0030】

本発明の実施例は、現在のフレームの画像信号 (S_n) を以前のフレームの画像信号 (S_{n-1}) と比較して次のような補正信号 (S_n') を生成した後、補正された画像信号 (S_n') を各画素に印加する。ここで、画像信号 (S_n) はアナログ駆動方式である場合にはデータ電圧を意味するが、デジタル駆動方式である場合にはデータ電圧を制御するために二進化された階調信号を用いるので、実際に画素に印加される電圧の補正は階調信号の補正を通じて行われる。

30

【0031】

まず、現在のフレームの画像信号 (階調信号またはデータ電圧) が以前のフレームの画像信号と同一であれば補正を行わない。

【0032】

次に、現在のフレームの階調信号 (またはデータ電圧) が以前のフレームの階調信号 (データ電圧) より高い場合には現在の階調信号 (データ電圧) より高い補正された階調信号 (データ電圧) を出力し、現在のフレームの階調信号 (データ電圧) が以前のフレームの階調信号 (データ電圧) より低い場合には現在の階調信号 (データ電圧) より低い補正された階調信号 (データ電圧) を出力する。この時、補正が行われる程度は現在の階調信号 (データ電圧) と以前のフレームの階調信号 (データ電圧) との差に比例する。

40

【0033】

以下、本発明の実施例によるデータ電圧の補正方法を説明する。

【0034】

図4は液晶表示装置の電圧 - 誘電率間の関係を簡単にモデリングした図である。

【0035】

図4において、横軸は画素電圧であり、縦軸は特定画素電圧 V での誘電率 ($\epsilon(V)$)

50

と液晶が基板に平行な方向に配列された場合、つまり液晶が光の透過方向と垂直な場合の誘電率（ $\varepsilon_{\perp}$ ）との比を示す。

【0036】

図4においては、 $\varepsilon(V)/\varepsilon_{\perp}$ の最大値、つまり $\varepsilon_{\parallel}/\varepsilon_{\perp}$ を3と仮定し、 V_{th} と V_{max} とを各々1V、4Vと仮定した。ここで、 V_{th} と V_{max} とはそれぞれフルホワイト及びフルブラック（またはその反対）に該当する画素電圧を示す。

【0037】

ストレージキャパシタのキャパシタンス（以下、これを‘ストレージキャパシタンス’とする）が液晶キャパシタンスの平均値 C_{st} と同一であるとし、LCD基板の広さ及び基板間の距離を各々Aとdとすると、ストレージキャパシタンス C_{st} は次の数式1で示すことができる。

10

【0038】

【数1】

$$C_{st} = \langle C_l \rangle = 1/3 (\varepsilon_{\parallel} + 2\varepsilon_{\perp}) A/d = 5/3 \varepsilon_{\perp} A/d = 5/3 C_0$$

【0039】

ここで、 $C_0 = \varepsilon_{\perp} A/d$ である。

20

【0040】

図4から、 $\varepsilon(V)/\varepsilon_{\perp}$ は次の数式2で示すことができる。

【0041】

【数2】

$$\varepsilon(V)/\varepsilon_{\perp} = 1/3 (2V+1)$$

【0042】

LCDの総キャパシタンス $C(V)$ は液晶キャパシタンスとストレージキャパシタンスとの合計であるので、LCDの総キャパシタンスは $C(V)$ は数式1及び2から次の数式3で示すことができる。

30

【0043】

【数3】

$$C(V) = C_l + C_{st} = \varepsilon(V) A/d + 5/3 C_0 = 1/3 (2V+1) C_0 + 5/3 C_0 = 2/3 (V+3) C_0$$

【0044】

画素に印加される電荷量Qは保存されるので、次の数式4が成立する。

40

【0045】

【数4】

$$Q = C(V_{n-1}) V_n = C(V_f) V_f$$

【0046】

ここで、 V_n は現在のフレームに印加されるデータ電圧（反転駆動式の場合にはデータ電圧の絶対値）を示し、 $C(V_{n-1})$ は以前のフレーム（n-1フレーム）の画素電圧に

50

対応するキャパシタンスを示し、 $C(V_f)$ は現在のフレーム（ n フレーム）の実際の画素電圧（ V_f ）に対応するキャパシタンスを示す。

【 0 0 4 7 】

数式 3 及び数式 4 から次の数式 5 が導かれる。

【 0 0 4 8 】

【 数 5 】

$$C(V_{n-1}) V_n = C(V_f) V_f = 2/3 (V_{n-1} + 3) V_n = 2/3 (V_f + 3) V_f$$

【 0 0 4 9 】

10

従って、実際の画素電圧 V_f は次の数式 6 で示すことができる。

【 0 0 5 0 】

【 数 6 】

$$V_f = \frac{-3 + \sqrt{9 + 4V_n(V_{n-1} + 3)}}{2}$$

【 0 0 5 1 】

20

前記の数式 6 から明確に分かるように、実際の画素電圧 V_f は現在のフレームに印加されたデータ電圧（ V_n ）と以前のフレームに印加された画素電圧（ V_{n-1} ）とによって決められる。

【 0 0 5 2 】

一方、 n フレームで画素電圧が目標電圧（ V_n ）に到達するようにするために印加されるデータ電圧を V_n' とすれば、 V_n' は数式 5 から次の数式 7 で示すことができる。

【 0 0 5 3 】

【 数 7 】

$$(V_{n-1} + 3) V_n' = (V_n + 3) V_n$$

30

【 0 0 5 4 】

従って、 V_n' は次の数式 8 で示すことができる。

【 0 0 5 5 】

【 数 8 】

$$V_n' = \frac{V_n + 3}{V_{n-1} + 3} V_n = V_n + \frac{V_n - V_{n-1}}{V_{n-1} + 3} V_n$$

40

【 0 0 5 6 】

このように、現在のフレームの目標画素電圧（ V_n ）と以前のフレームの画素電圧（ V_{n-1} ）とを考慮して前記数式 8 により求められるデータ電圧（ V_n' ）を印加すれば、目標とする画素電圧 V_n にすぐ到達することができる。

【 0 0 5 7 】

前記数式 8 は図 4 に示した図及びいくつかの基本仮定から導かれた式であり、一般的な LCD で適用されるデータ電圧 V_n' は次の数式 9 で示すことができる。

【 0 0 5 8 】

【数 9】

$$|V_n'| = |V_n| + f(|V_n| - |V_{n-1}|)$$

【0059】

ここで、関数 f は LCD の特性によって決められる。関数 f は基本的に次の性質を有する。

【0060】

つまり、 V_n と V_{n-1} とが同一である場合に $f = 0$ となり、 V_n が V_{n-1} より大きい場合に f は 0 より大きく、 V_n が V_{n-1} より小さい場合に f は 0 より小さい。 10

【0061】

次に、本発明の実施例によるデータ電圧の印加方法について説明する。

【0062】

図 5 は本発明によるデータ電圧印加方法を示す図である。

【0063】

図 5 に示したように、本発明の第 1 実施例では現在のフレームの目標画素電圧と以前のフレームの画素電圧（データ電圧）とを考慮して補正されたデータ電圧 V_n' を印加して、画素電圧（ V_p ）がすぐ目標電圧に到達するようにする。つまり、本発明の第 1 実施例では現在のフレームの目標電圧と以前のフレームの画素電圧とが異なる場合、現在のフレームの目標電圧より高い電圧（またはさらに低い電圧）を補正されたデータ電圧として印加して第 1 フレームですぐ目標電圧レベルに到達するようにした後、以降のフレームでは目標電圧をデータ電圧として印加する。このようにして、液晶の応答速度を改善することができる。 20

【0064】

この時、補正されたデータ電圧（電荷量）は以前のフレームの画素電圧によって決定される液晶キャパシタンスを考慮して決められる。つまり、本願発明は以前のフレームの画素電圧レベルを考慮して電荷量（ Q ）を供給することにより、第 1 フレームにおいてすぐ目標電圧レベルに到達するようにする。

【0065】

図 6 は本発明の第 1 実施例によってデータ電圧を印加した場合の液晶表示装置の透過率を示す図である。図 6 に示したように本発明の第 1 実施例によれば、補正されたデータ電圧を印加するため、現在のフレームにおいてすぐ目標透過率に到達する。 30

【0066】

一方、本発明の第 2 実施例では目標電圧よりやや高い補正された電圧 V_n' を画素電圧として印加する。このように駆動する場合には、図 7 に示したように液晶の応答時間の約 $1/2$ 以前では透過率が目標値より小さくなるが、それ以後は目標値より過度になり（overcompensate）、平均的な透過率が目標透過率と同一となる。

【0067】

次に、本発明の実施例による液晶表示装置について説明する。 40

【0068】

図 8 は本発明の実施例による液晶表示装置を示す図である。図 8 に示した本発明の実施例による液晶表示装置は、デジタル駆動方法を用いる。

【0069】

図 8 に示したように、本発明の実施例による液晶表示装置は、液晶表示装置パネル 100、ゲートドライバ 200、データドライバ 300 及びデータ階調信号補正部 400 を含む。

【0070】

液晶表示装置パネル 100 には、ゲートオン信号を伝達するための多数のゲートライン（ S_1 、 S_2 、 S_3 、...、 S_n ）が形成されており、補正されたデータ電圧を伝達するための 50

データライン (D_1 、 D_2 、...、 D_m) が形成されている。ゲートライン及びデータラインによって囲まれた領域は各々画素をなし、各画素はゲートライン及びデータラインにそれぞれゲート電極及びソース電極が連結される薄膜トランジスタ 110 と、薄膜トランジスタ 110 のドレーン電極に連結される画素キャパシター (C_1) と、ストレージキャパシター (C_{st}) とを含む。

【0071】

ゲートドライバ 200 はゲートラインに順次にゲートオン電圧を印加して、ゲートオン電圧が印加されたゲートラインにゲート電極が連結される TFT をターンオンさせる。

【0072】

データ階調信号補正部 400 はデータ階調信号ソース (例えば、グラフィック制御器) からデータ階調信号 (G_n) を受信した後、先に説明したように現在のフレームのデータ階調信号と以前のフレームのデータ階調信号とを考慮して補正されたデータ階調信号 (G_n') を出力する。この時、階調信号補正部はスタンドアローン (stand-alone) ユニットとして存在することもでき、グラフィックカードや LCD モジュールに統合されることもできる。

10

【0073】

データドライバ 300 は、データ階調信号補正部 400 から受信された補正された階調信号 (G_n') を該当階調電圧 (データ電圧) に変えて各々データラインに印加する。

【0074】

図 9 は本発明の実施例によるデータ階調信号補正部 400 を詳細に示すブロック図である。

20

【0075】

図 9 に示したように、本発明の実施例によるデータ階調信号補正部 400 は合成器 410、フレームメモリ 420、コントローラ 430、データ階調信号変換器 440 及び分離器 450 を含む。

【0076】

合成器 410 はデータ階調信号ソースから伝送される階調信号 (G_n) を受信して、データ階調信号補正部 400 が処理し得る速度にデータストリームの周波数を変換する。例えば、データ階調信号ソースから 24 ビットのデータが 65 MHz の周波数に同期して受信され、データ階調信号補正部 400 の構成要素の処理速度が 50 MHz が限界であるとすれば、合成器 410 は 24 ビットの階調信号を二個ずつ合わせて 48 ビットの階調信号 (G_m) に合成してフレームメモリ 420 に伝送する。

30

【0077】

フレームメモリ 40 はコントローラ 430 の制御によって所定のアドレスに保存されている以前の階調信号 (G_{m-1}) をデータ階調信号変換器 440 に出力すると同時に、合成器 410 から伝送される階調信号 (G_m) を前記所定のアドレスに保存する。データ階調信号変換器 440 は合成器から出力される現在のフレームの階調信号 (G_m) とフレームメモリ 420 から出力される以前のフレームの階調信号 (G_{m-1}) とを受信し、現在のフレームの階調信号と以前のフレームの階調信号とを考慮して補正された階調信号 G_m' を生成する。

40

【0078】

分離器 450 は、データ階調信号変換器 440 から出力される 48 ビットの補正されたデータ階調信号 (G_m') を分離して 24 ビットの補正された階調信号 (G_n') を出力する。

【0079】

本発明の実施例では、データ階調信号に同期するクロック周波数がフレームメモリにアクセスするクロック周波数と相異なるためデータ階調信号を合成及び分離する合成器 410 及び分離器 450 が必要であったが、データ階調信号に同期するクロック周波数とフレームメモリ 420 にアクセスするクロック周波数とが同一である場合にはこのような合成器と分離器とは必要でなくなる。

50

【0080】

本発明の実施例によるデータ階調信号変換器440としては、先に説明した数式9を満たすデジタル回路を直接製造して使用することができる。

【0081】

また、ルックアップテーブル(Look-up table)を作成してROM(read only memory)に保存した後にアクセスして階調信号を補正することもできる。

【0082】

実際は、補正データ電圧(V_n')は単に以前のフレームのデータ電圧(V_{n-1})と現在のフレームのデータ電圧(V_n)との差にだけ比例するのではなくそれぞれの絶対値にも依存する複雑な関数であるので、このようにルックアップテーブルを構成すれば演算処理に依存するより回路がはるかに簡単になるという長所がある。

10

【0083】

一方、本発明の実施例によってデータ電圧を補正するためには実際に用いられるグレースケールの範囲よりさらに広いダイナミックレンジを有しなければならない、アナログ回路では高電圧IC(integrated circuit)を用いることによって解決することができるが、デジタル方式では分けられる階調の数が限定されている。例えば、6ビット階調の場合に64個の階調レベルのうちの一部は実際の階調表示ではない変調された電圧のために割り当てなければならない。つまり、一部の階調レベルは電圧補正用に割り当てなければならない。従って、表現すべき階調の数が減るようになる。

20

【0084】

一方、階調数の減少を防ぐためには次のようなトランケーション(truncation)の概念が導入され得る。例えば、液晶が1Vから4Vの間で駆動され、補正電圧を考慮して電圧が0Vから8Vまで必要であると仮定してみよう。この時、補正を充実に行うために8Vまでを64個の段階に分けると、実際に表現できる階調は30個程度に過ぎないようになる。従って、電圧幅を1Vから4Vに低くし、計算上矯正された電圧(V_n')が4Vを越す場合には全ての補正電圧を4Vにトランケートすれば階調数の減少を減らすことができる。

【0085】

図10はこのようにトランケーション概念が導入された本発明の実施例によるルックアップテーブルの構成である。

30

【0086】

以上では本発明の実施例について説明したが、本発明は前記実施例にのみ限定されるものではなく、その他の多様な変更や変形が可能である。

【0087】

例えば、本発明の実施例では図8においてはデジタル方式で駆動する液晶表示装置を説明したが、その他にもアナログ方式で駆動する液晶表示装置にも本発明が適用されることができる。

【0088】

この場合、図8で説明したデータ階調信号補正部に対応する役割を果たすデータ階調補正部が必要であり、このデータ階調補正部は数式9を満たすアナログ回路を通じて具現できる。

40

【0089】

以上で説明したように、本発明によれば、データ電圧を補正し、補正されたデータ電圧を画素に印加することによって画素電圧がすぐに目標電圧レベルに到達できるようにする。従って、TFT-LCDのパネル構造を変える必要なく液晶の応答速度を改善することができる。

【0090】

図11は本発明の他の実施例によるデータ階調信号補正部400を詳細に示すブロック図である。

50

【0091】

図11に示したように、本発明の実施例によるデータ階調信号補正部400はフレームメモリ460と、コントローラ(controller)470と、データ階調信号変換器480とを含み、データ階調信号ソースから r (red)、 g (green)、 b (blue)のそれぞれに対する n ビットの階調信号を受信する。従って、データ階調信号補正部440に受信される階調信号は総 $(3 \times n)$ ビットである。ここで、当業者はデータ階調信号ソースから $(3 \times n)$ ビットの階調信号が同時にデータ階調信号変換部480に印加されるようにすることができ、 n ビットの r 、 g 、 b 階調信号の各々が順次に印加されるようにすることもできる。

【0092】

10

図11においてフレームメモリ460は補正される階調信号のビットを決定するが、データ階調信号ソースから受信される r 、 g 、 b に対する n ビットの階調信号のうちの m ビットのみを入力し、これを r 、 g 、 b に対応する所定のアドレスに保存し、一つのフレームの遅延後にデータ階調信号変換器480に出力する。つまり、フレームメモリ460は現在のフレームの m ビットの階調信号(G_n)を受信し、以前のフレームの m ビットの階調信号(G_{n-1})を出力する。

【0093】

データ階調信号変換器480は、データ階調信号ソースから受信される n ビットのうちの補正が行われずにバイパスされる現在のフレーム(G_n)の $(n - m)$ ビットと、補正のために受信される現在のフレーム(G_n)の m ビットと、フレームメモリ460によって遅延された以前のフレーム(G_{n-1})の m ビットとを受信した後、現在及び以前のフレームの m ビットを考慮して補正された階調信号(G_n')を生成する。

20

【0094】

前記の内容を図12を参照してさらに詳細に説明する。

【0095】

図12は本発明の第1実施例によるデータ電圧補正部の動作を概念的に説明した図である。図12でデータ階調信号ソースからデータ電圧補正部400に受信される r 、 g 、 b 階調信号は各々8ビットであると仮定する。

【0096】

データ電圧補正部400で受信される8ビットの r 階調信号のうち、LSBから2ビット(現在のフレームのビット)は補正が行われないビットであって、バイパスされてデータ階調信号変換器480に入力される。そして、現在のフレームの残りの6ビットは補正のためにデータ階調信号変換器480に入力され、同時にフレームメモリ460の所定のアドレスに保存される。

30

【0097】

ここで、フレームメモリ460は現在のフレームのビットを1フレームの間保存して出力するので、データ階調信号変換器480には以前のフレームの6ビット階調信号が出力される。

【0098】

そうすると、データ階調信号変換器480は現在のフレームの6ビットの階調信号と以前のフレームの6ビットの r 階調信号とを受信し、以前のフレームと現在のフレームとの6ビットの r 階調信号を考慮した補正された階調信号を生成する。そして、生成された補正された6ビットの階調信号とLSBである現在のフレームの2ビットの階調信号とを足して、最終補正された8ビットの階調信号(G_n')を出力する。

40

【0099】

同様に、データ階調信号変換器480は、8ビットの g 階調信号と、8ビットの b 階調信号も前記 r 階調信号と同様に6ビットの以前のフレームと現在のフレームの階調信号とを考慮した8ビットの補正された階調信号を出力する。このように出力された8ビットの補正階調信号は、データドライバーによって該当電圧に変換されてデータラインに印加される。

50

【0100】

ここで、フレームメモリ460に保存されるr、g、bの6ビットの階調信号は設定されたアドレスに各々保存される。一方、当業者は一つのフレームメモリ460を用いてr、g、bを担当するアドレス領域を指定する方式を使用することができ、r、g、bを担当する3つのフレームメモリで一つのフレームメモリを用いるような効果を出すように設計することができる。

【0101】

図12を参照した説明から、データ階調信号ソースから8ビットの階調信号が入力される際、従来のフレームメモリのSXGA(1280×1024)の場合には8ビットのr、g、b階調信号を保存しなければならないので最少30Mbのメモリを必要とするが、本発明の実施例によるフレームメモリ460は6ビットの階調信号のみを保存すればいいので従来に比べて少ない容量のメモリを使用することができるという長所がある。

10

【0102】

ここで、フレームメモリ460に保存される階調信号のビットの数が少ないほど、フレームメモリ460の容量は従来に比べてはるかに少なくすることができる。

【0103】

以下、図13を参照して本発明の第2実施例によるデータ電圧補正部の動作を説明する。図13は本発明の第2実施例によるデータ電圧補正部の動作を概念的に説明した図であって、理解を助けるために一つのフレームメモリと一つのデータ階調信号変換器とで設計した場合を例に挙げて説明する。しかし、フレームメモリとデータ階調信号変換器とはLCDパネルの等級、階調信号のビット数、及び設計者の意図によってその使用個数を変えることができる。例えば、フレームメモリとデータ階調信号変換器とを構成するメモリの数を3つにしてr、g、bの各々を担当するようにすることができる。

20

【0104】

そして、当業者は前記フレームメモリをr、g、bの各階調信号に対応してリードとライトを専担する2つの第1及び第2メモリで構成してデータ処理速度を向上させることができる。

【0105】

つまり、階調信号が順次にフレームメモリに入力される時、奇数番目の階調信号を第1メモリに保存し、偶数番目の階調信号を第2メモリに保存し、奇数番目の階調信号が第1メモリに保存される時には第2メモリからリードし、偶数番目の階調信号が第2メモリに保存される時には第1メモリからリードして、データがフレームメモリから迅速にリード及びフレームメモリに迅速にライトされるようにすることができる。

30

【0106】

図13において、データ電圧補正部400は第1実施例によるデータ電圧補正部400とその構成は同一である。しかし、第2実施例によるデータ電圧補正部400は入力される階調信号のビット数に比べて出力する階調信号のビット数を減らす動作を行うことにより、第1実施例とは区別される。第2実施例によるデータ電圧補正部400の動作は以下のようなものである。

【0107】

データ階調電圧ソースからr、g、bに対する8ビットの階調信号が受信されると、8ビットのr階調信号のうちの下位ビットである3ビットは補正されないビットであって点線ラインに沿ってバイパスされ、残りの現在のフレームの5ビットはデータ階調信号変換器430とフレームメモリ410とに入力される。

40

【0108】

フレームメモリ410に入力される現在のフレームの5ビットのr階調信号は所定のアドレスに保存されて次のフレームに出力され、以前のフレームの5ビットのr階調信号がデータ階調信号変換器430に出力される。そうすると、データ階調信号変換器430は現在のフレーム(G_n)の5ビットのr階調信号と以前のフレーム(G_{n-1})の5ビットのr階調信号とを受信するようになり、現在のフレームと以前のフレームとの階調信号の差

50

に比例する補正された階調信号 (G_n') を生成して出力する。この時、出力される補正された r 階調信号 (G_n') は、補正された 5 ビットと補正されていない 3 ビットとが合わせられた 8 ビットである。

【 0 1 0 9 】

そして、8 ビットの G 階調信号は点線ラインに沿って 2 ビットがバイパスされ、残りの 6 ビットの階調信号 (G_n) はデータ階調信号変換器 4 3 0 とフレームメモリ 4 1 0 とに入力される。ここで、フレームメモリ 4 1 0 は、現在のフレームの 6 ビットの g 階調信号を所定のアドレスに保存し、以前のフレーム (G_{n-1}) の 6 ビットの g 階調信号を出力する。従って、データ階調信号変換器 4 3 0 は現在及び以前のフレームの 6 ビットの g 階調信号を用いて補正された階調信号 (G_n') を出力する。この時、補正された g 階調信号 (G_n') は、補正された 6 ビットと補正されていない 2 ビットとが合わせられた 8 ビットである。

10

【 0 1 1 0 】

最後に、8 ビットの b 階調信号は点線ラインに沿って 3 ビットがバイパスされ、残りの 5 ビットの階調信号 (G_n) はデータ階調信号変換器 4 3 0 とフレームメモリ 4 1 0 とに入力される。ここで、フレームメモリ 4 1 0 は、現在のフレームの 5 ビットの g 階調信号を所定のアドレスに保存し、以前のフレーム (G_{n-1}) の 5 ビットの g 階調信号を出力する。従って、データ階調信号変換器 4 3 0 は現在及び以前のフレームの 5 ビットの g 階調信号を用いて補正された階調信号 (G_n') を出力する。この時、補正された g 階調信号 (G_n') は、補正された 5 ビットと補正されていない 3 ビットとが合わせられた 8 ビットである。

20

【 0 1 1 1 】

前記において、8 ビットの r 、 g 、 b 階調信号のうちでバイパスされるビットは $L S B$ から始まるのが好ましく、当業者によってバイパスされるビットの数を異にすることができる。従って、当業者は、構成されるフレームメモリの容量及び個数とデータ階調信号変換器の容量及び個数とを異にすることができる。

【 0 1 1 2 】

本発明の実施例によるデータ階調信号変換器 4 3 0 では、先に説明した数式 9 を満たすデジタル回路を直接製造して使用することができ、ルックアップテーブルを作成して $R O M$ に保存した後でアクセスして階調信号を補正することもできる。

30

【 0 1 1 3 】

実際に、補正データ電圧 (V_n') は単に以前のフレームのデータ電圧 (V_{n-1}) と現在のフレームのデータ電圧 (V_n) との差だけに比例するのではなくそれぞれの絶対値にも依存する複雑な関数であるので、このようにルックアップテーブルを構成すれば演算処理に依存するより回路がはるかに簡単になるという長所がある。

【 0 1 1 4 】

ここで、図 1 2 と図 1 3 を参考にした説明から、本発明は次のような効果が現れる。

【 0 1 1 5 】

例えば、 $L C D$ パネルが $S X G A (1 2 8 0 \times 1 0 2 4)$ 級であり、8 ビットの階調信号が印加される場合について説明する。

40

【 0 1 1 6 】

この場合、従来のフレームメモリは最少 3 0 M b が必要であり、データ階調信号変換器はコントローラ 4 2 0 から出力する制御信号のクロック当り 2 つの r 、 g 、 b ピクセルを処理する場合には 5 1 2 K b $\times$ 6 個、クロック当り一つの r 、 g 、 b ピクセルを処理する場合には 5 1 2 K b $\times$ 3 個のメモリが必要になる。

【 0 1 1 7 】

より詳細に言えば、クロック当り 2 ピクセルを処理する場合、データ階調信号補正部 4 0 0 は 4 8 ビットの入力信号を受けようになるが、メモリのバスサイズは通常、 $\times 4$ 、 $\times 8$ 、 $\times 1 6$ 、 $\times 3 2$ などになっているので、1 6 ビットワイド ($w i d e$) メモリを 3 つ使って 4 8 ビットバスを構成する。

50

【0118】

しかし、本発明の場合には、 n ビット階調信号のうちLSBから i ($i = 1, 2, \dots, n - 1$) 個のビットを補正せずに残りの部分のみを階調補正することにより、フレームメモリとデータ階調信号変換器との容量を減らすことができる。

【0119】

例えば、 $n = 8$ であり、 i が2である場合、MSBs (Most Significant Bits) 6つのみを補正し、残りの2つのLSBsは補正しなくても済むので、フレームメモリは $1280 \times 1024 \times 3 \times 6$ ビット (bits) = 22.5 Mb の容量だけが必要であり、データ階調信号変換器は8ビット階調テーブルメモリ (512 Kb) の代わりに6ビットを用いることができるので、24 Kb (1ピクセル/クロックである場合)、 6×24 Kb (2ピクセル/クロックである場合) のようにサイズが画期的に減るようになる。

10

【0120】

一方、本発明の階調信号の補正において補正ビット数を省略するのは、動画像表現時に人の目は停止画像を見る時ほど敏感ではないためであり、補正ビット数は、動画像表現時に人の目に階調表現が露出されない範囲以内で省略するのが好ましい。

【0121】

そして、 r 、 g 、 b 色に対して人の目はその敏感度が異なるので、該当色の階調信号に対して補正ビット数の省略を異にするのが好ましい。つまり、人の目は g 色に最も敏感であり、 b 色に最も鈍感であるので、補正ビット数 (i) は $g \quad r \quad b$ の順になるのが好ましい。

20

【0122】

以上で説明したように、本発明の他の実施例によれば、 n ビットの階調信号のうち m ($m < n$) ビットのみを用いてデータ電圧を補正し、補正されたデータ電圧を画素に印加することにより、画素電圧がすぐ目標電圧レベルに到達することができるようにする。従って、TFT-LCDのパネルの構造を変える必要なく液晶の応答速度を改善させることができる。

【0123】

また、本発明の他の実施例によれば、 n ビット階調信号のうち m ビットのみを用いることによってデータ電圧補正時に必要とするメモリの個数及び容量を減らすことができるので、パネルの収率を向上させることができ、原価を節減することができる。

30

【0124】

以上で説明したように、液晶の応答速度を向上させるための画像信号補正回路を図9と図11とに示した。

【0125】

特に、前記画像信号補正回路の原価を節減するためにLSBの一部を除いて補正する方法を導入しており、このアルゴリズムは簡単であり適用が容易であるという長所がある。

【0126】

しかし、例えば8ビットグレーを4ビットのみ補正するとすると、量子化による問題が発生し得る。このような問題は大きく2種類であり、次の通りである。

40

【0127】

208 (11010000) グレーレベル (G_{n-1}) から 192 (11000000) グレーレベル (G_n) に変化する時、DCC補正值 168 (10101000) グレーレベル (G_n') を与えてはじめて応答速度が最高値となると仮定する。8ビットを全て補正する時には何ら問題がないが、原価節減のためにMSB4ビットのみを補正すると、まずグレーlookupアップテーブルの中には168という値は入ることができない。従って、これをくり上げて176 (10110000) またはくり下げて160 (10100000) を代わりに入力する。つまり、省略するLSBビットの分の補正誤差が生じるようになる。これは次のような区間ではさらに問題となり得る。

【0128】

50

【表 1】

G _n		G _{n-1}																
		0	1	3	4	6	8	9	11	12	14	16	17	19	20	22	24	25
G _n	3	3	3	3	3	2	2	2	22	20	16	12	9	6	2	0	0	0
G _n	2	3	3	2	0	8	6	4										

【 0 1 2 9 】

この区間は補正が少しずつ順次に行われる部分である。この区間を 4 ビットのみを使って構成すると、下記の表 2 のように変わる。

10

【 0 1 3 0 】

【表 2】

G _n		G _{n-1}																
		0	1	3	4	6	8	9	11	12	14	16	17	19	20	22	24	25
G _n	3	3	3	3	3	3	3	3	16	16	16	16	16	0	0	0	0	0
	2	2	2	2	2	2	2	2										

【 0 1 3 1 】

第 2 の問題は次の通りである。

20

【 0 1 3 2 】

前記の例のように、208 グレーレベルから 192 グレーレベルに変化する時に補正值として 176 グレーレベルを与えると仮定すると、207 グレーレベルから 192 グレーレベルに変化する場合に、最大の液晶応答速度を出すためにはおそらく 176 グレーレベルまたは 175 グレーレベル値を与えなければならない。

【 0 1 3 3 】

しかしながら、4 ビットのみを補正する場合には 207 (1 1 0 0 1 1 1 1) の MSB 4 ビットは 192 (1 1 0 0 0 0 0 0) の MSB 4 ビットと同一であるため補正が行われなくて 192 がそのまま出力される。

【 0 1 3 4 】

30

特に、動画像の場合、208 グレーレベルの程度のユニフォームな画面であっても実際には 209 と 207 グレーレベルなどの階調も多く分布するようになり、208 と 207 グレーの階調の差は 1 に過ぎないが補償される程度は大きな差が出るので、ディスプレイされる若干の染みがより誇張されて現れ得る。

【 0 1 3 5 】

以上で説明したように、液晶の応答速度を向上させるための画像信号補正回路で発生し得る 2 種類はすべて量子化エラーと言えるが、補正を行わずに省略する LSB 数が多くなるほど、量子化エラーはひどくなるという問題点がある。

【 0 1 3 6 】

以下、前記量子化エラーの発生を低減するための液晶表示装置の一例について説明する。

40

【 0 1 3 7 】

図 1 4 は本発明のまた他の実施例によるデータ階調信号補正部を詳細に説明するための図であり、前記図 9 と比較して重なる部分は同一の図面符号を付与し、その説明を省略する。

【 0 1 3 8 】

図 1 4 を参照すると、本発明の他の実施例によるデータ階調信号補正部のデータ階調信号変換器 460 は、ルックアップテーブル 462 と演算器 464 とを含む。

【 0 1 3 9 】

合成器 410 から提供される現在のフレームの階調データ MSB 4 ビット、 $G_m[0 :$

50

3]と以前のフレームの階調データMSB4ビット、 $G_{m-1}[0:3]$ とによってルックアップテーブル(LUT)に保存された値f、a、bは導出され、演算器464に提供される。

【0140】

演算器464は、合成器410から現在のフレームの階調データLSB4ビット $G_m[4:7]$ と、フレームメモリ420から以前のフレームの階調データLSB4ビット $G_{m-1}[4:7]$ との提供を受け、ルックアップテーブルから動画像補正のための変数f、a、b各々の提供を受けて、所定の演算を通じて第1補正されたグレーデータ $G_m'[0:7]$ を分離器450に出力する。

【0141】

分離器450に提供された48ビットの第1補正されたグレーデータはデータ分割されて、24ビットの補正されたグレーデータ(G_n')をデータドライバー部300に出力する。

【0142】

以上では本発明の実施例について説明したが、本発明は前記実施例にのみ限定されるのではなく、その他の多様な変更や変形が可能である。

【0143】

例えば、本発明の実施例の図8においてはデジタル方式で駆動する液晶表示装置を説明したが、その他のアナログ方式で駆動する液晶表示装置にも本発明が適用できることはもちろんである。

【0144】

以下、前記本発明の他の実施例によって低減される量子化エラーの低減の効果をより詳細に説明する。

【0145】

まず、総グレーレベルがxビットであるとする、二重のMSByビットはグレールックアップテーブルを用いて補正し、残りのz(つまり、 $x - y$)ビットは演算によって補正する。

【0146】

以下、 $x = 8$ 、 $y = 4$ である時の例を挙げて説明し、説明の便宜のために次を定義する。

【0147】

$[A]_n$ はAを越えない最も大きい 2^n の倍数である。例えば、 $[207]_4 = [206]_4 = [205]_4 = \dots = [193]_4 = [192]_4 = 192$ のとおりである。

【0148】

つまり、 $[A]_n$ はAのLSBnビットを全て0で満たした値である。反対に $_m[A]$ はAのMSBmビットを全て0で満たした値である。そして、 $_m[A]_n$ はAのMSBmビット、LSBnビットを全て0で満たした値である。補正用グレールックアップテーブルによるマッピングを $f(G_n, G_{n-1})$ とすると、本発明における補正は下記する数式10のとおりである。

【0149】

【数10】

$$G_n' = f([G_n]_4, [G_{n-1}]_4) + a([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16}$$

【0150】

ここで、 $[G_n]_4$ は G_n のLSB4ビットを全て0で満たした値、 $[G_{n-1}]_4$ は G_{n-1} のLSB4ビットを全て0で満たした値、 $_4[G_n]$ は G_n のMSB4ビットを全て0で満たした値、aとbは全て正の整数である。

【0151】

10

20

30

40

50

前記数式 10 によれば、グレースックアップテーブルによるマッピング、つまり $f([G_n]_4, [G_{n-1}]_4)$ とともに第 2 項 $(a([G_n]_4, [G_{n-1}]_4) \times_4 [G_n] / 16)$ と第 3 項 $(-b([G_n]_4, [G_{n-1}]_4) \times_4 [G_n] / 16)$ との演算を通じて量子化エラー (Quantization error) を減らすことができる。

【0152】

前記数式 10 において f 、 a 、 b は基本的に次のように与えられる。

【0153】

つまり、 $f([G_n]_4, [G_{n-1}]_4) = G_n'([G_n]_4, [G_{n-1}]_4)$ であり、

$a([G_n]_4, [G_{n-1}]_4) = G_n'([G_n]_4 + 16, [G_{n-1}]_4) - G_n'([G_n]_4, [G_{n-1}]_4)$ であり、

$b([G_n]_4, [G_{n-1}]_4) = G_n'([G_n]_4, [G_{n-1}]_4) - G_n'([G_n]_4, [G_{n-1}]_4 + 16)$ である。

【0154】

従って、 f 、 a 、 b の値はこの関係を基本として設定される。実測を通じて下記する表 3 のような補正用グレースックアップテーブルが得られたと仮定してみよう。

【0155】

【表 3】

G_n		G_{n-1}	
		64	80
G_n	128	140	136
	144	160	158

【0156】

例えば、 $[G_n]_4 = 128$ 、 $[G_{n-1}]_4 = 64$ とすれば、 $f([G_n]_4, [G_{n-1}]_4) = 140$ 、 $a([G_n]_4, [G_{n-1}]_4) = 160 - 140 = 20$ 、 $b([G_n]_4, [G_{n-1}]_4) = 140 - 136 = 4$ となる。しかしながら、この値は絶対的なものではなく、この 16×16 区間の値が最も誤差の少ない値になるように決められる。

【0157】

例えば、前記値が $G_n = 144$ 、 $G_{n-1} = 80$ である場合を数式 10 によって近似するとすれば、 $G_n' = 140 + 20 \times 16 / 16 - 4 \times 16 / 16 = 156$ となり、実測して得た値である 158 とは差が出るようになる。この程度の誤差は無視しても差支えないが、もしもこの差が大きくなれば、 f 、 a 、 b の値を微細調整することによって 16×16 区間の値の誤差が最も少なく表現されるようにする。

【0158】

反面、例外的に気を使うべき部分は $[G_n]_4 = [G_{n-1}]_4$ のブロックである。この場合は $G_n' = G_n$ が絶対に守られなければならないため $f = [G_n]_4$ に固定され、 a と b との値をそれに合わせて調節しなければならない。前記数式 10 において $G_n = G_{n-1}$ であれば、 $a - b = 16$ になってはじめて $G_n' = G_n$ の条件が満たされる。

【0159】

それでは一つの例を挙げて前記数式 10 によって演算される補正されたグレーデータを説明する。

【0160】

例えば、以前の階調データ (G_{n-1}) が 72 階調レベルであり、現在の階調データ (G_n) が 136 階調レベルである場合、前記表 3 の補正用グレースックアップテーブルには各々の階調データが存在しないため、これを所定の演算を通じて図 12 a に示したように導かなければならない。

【0161】

つまり、 $f([G_n]_4, [G_{n-1}]_4) = f([136]_4, [72]_4)$ であるので $f(128, 64) = 140$ であり、 $a([G_n]_4, [G_{n-1}]_4) = 160 - 140 = 20$ であり、 $b([G_n]_4, [G_{n-1}]_4) = 140 - 136 = 4$ である。

【 0 1 6 2 】

したがって、前記数式 1 0 にこれを代入すると、 $G_n' = 140 + 20 * (136 - 128) / 16 - 4 * (72 - 64) / 16 = 148$ である。

【 0 1 6 3 】

また、ルックアップテーブルに保存されるビット数を減らすための他の方法としては、下記の数式 1 1 を用いてブレイクダウン (b r e a k d o w n) することができる。

【 0 1 6 4 】

【 数 1 1 】

$$G_n' = f' + [G_n]_4 + a([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} \quad 10$$

【 0 1 6 5 】

ここで、 $f' = f([G_n]_4, [G_{n-1}]_4) - [G_n]_4$ 、 $[G_n]_4$ は G_n のLSB 4ビットを全て0で満たした値、 $[G_{n-1}]_4$ は G_{n-1} のLSB 4ビットを全て0で満たした値、 $4[G_n]$ は G_n のMSB 4ビットを全て0で満たした値、 a と b は全て正の整数である。

【 0 1 6 6 】

それでは、前記数式 1 1 によって演算される補正されたグレーデータを一例を挙げて説明する。

20

【 0 1 6 7 】

例えば、以前の階調データ (G_{n-1}) が 7 2 階調レベルであり、現在の階調データ (G_n) が 1 3 6 階調レベルである場合、前記表 3 の補正用グレールックアップテーブルには各々の階調データが存在しないので、これを所定の演算を通じて図 1 2 c に示したように導かなければならない。

【 0 1 6 8 】

つまり、 $f' = f([G_n]_4, [G_{n-1}]_4) - [G_n]_4 = f([136]_4, [72]_4) - 128 = f(128, 64) - 128 = 140 - 128 = 12$ であり、 $a'([G_n]_4, [G_{n-1}]_4) = a'([G_n]_4, [G_{n-1}]_4) + 2^4 = 4 + 16 = 20$ 、 $b([G_n]_4, [G_{n-1}]_4) = 4$ である。

30

【 0 1 6 9 】

したがって、前記数式 1 1 にこれを代入すると、 $G_n' = 128 + 12 + 20 * (136 - 128) / 16 - 4 * (72 - 64) / 16 = 148$ である。

【 0 1 7 0 】

一方、前記図 1 0 に示したルックアップテーブルに保存されるビット数を減らすための一つの方法として、下記の数式 1 2 を用いてブレイクダウン (b r e a k d o w n) することができる。

【 0 1 7 1 】

【 数 1 2 】

40

$$G_n' = f' + G_n + a([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{4[G_n]}{16}$$

【 0 1 7 2 】

ここで、 $f' = f - G_n$ 、 $[G_n]_4$ は G_n のLSB 4ビットを全て0で満たした値、 $[G_{n-1}]_4$ は G_{n-1} のLSB 4ビットを全て0で満たした値、 $4[G_n]$ は G_n のMSB 4ビットを全て0で満たした値、 a' は整数であり、 b は正の整数である。

【 0 1 7 3 】

つまり、 $a'([G_n]_4, [G_{n-1}]_4) = a([G_n]_4, [G_{n-1}]_4) - 2^4$ である。

【 0 1 7 4 】

50

それでは、前記数式 12 によって演算される補正されたグレーデータを一例を挙げてより詳細に説明する。

【0175】

例えば、以前の階調データ (G_{n-1}) が 72 階調レベルであり、現在の階調データ (G_n) が 136 階調レベルである場合、前記表 3 の補正用グレーlookupアップテーブルには各々の階調データが存在しないので、これを所定の演算を通じて図 15 b に示したように導かなければならない。

【0176】

つまり、 $f([G_n]_4, [G_{n-1}]_4) = f([136]_4, [72]_4) = f(128, 64) = 140$ であるので、 $f' = f([G_n]_4, [G_{n-1}]_4) - G_n = 140 - 128 = 12$ 、 $G_n = 136$ 、 $a'([G_n]_4, [G_{n-1}]_4) = a' - 16 = 4$ 、 $b([G_n]_4, [G_{n-1}]_4) = 4$ である。

10

【0177】

したがって、前記数式 12 にこれを代入すると、 $G_n' = 136 + 12 + 4 * (136 - 128) / 16 - 4 * (72 - 64) / 16 = 148$ である。

【0178】

この場合は a' の値も小さくなるので $(-16) a'$ に割り当てるビット数を減らすことができるという利点があるが、区間によって a' が負の数にならない場合が生じるため、サインビット (sign bit) をもう一つ割り当てなければならない。

20

【0179】

以上で説明したように、補正階調データ用lookupアップテーブルの大きさは数式 10、11、12 の順序で小さくなり、ロジックの複雑性はこれと反対に増加する。

【0180】

以上では 8 ビット全てを補正することをその例として説明した。しかし、フレームメモリの大きさをさらに減らさなければならない場合や、i/O ピンの数を減らさなければならないなどの理由で 8 ビットのデータ全部を保存しない場合もあり得る。

【0181】

例えば、DRAM の次元 (dimension) は 4、8、16、32 などのようになり、 r 、 g 、 b それぞれの 24 ビットの色情報を保存するためには 32 を使用しなければならないが、原価負担のために 32 を適用することができない場合もある。従って、32 の代りに 16 を用いて r 5 ビット、 g 6 ビット、 b 5 ビットのみを保存することもできる。この場合の変更は次のように行われる。

30

【0182】

つまり、6 ビットの場合は下記の数式 13 のように補正グレー値を出力する。

【0183】

【数 13】

$$G_n' = f([G_n]_4, [G_{n-1}]_4) + a([G_n]_4, [G_{n-1}]_4) \times \frac{{}_4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{{}_4[G_n] \gg 2}{4}$$

40

【0184】

ここで、 $[G_n]_4$ は G_n の LSB 4 ビットを全て 0 で満たした値、 $[G_{n-1}]_4$ は G_{n-1} の LSB 4 ビットを全て 0 で満たした値、 ${}_4[G_n]$ は G_n の MSB 4 ビットを全て 0 で満たした値、 a と b は全て正の整数であり、 ${}_4[G_n] \gg 2$ は ${}_4[G_n]$ を演算したバイナリデータを 2 ビット右側にシフトさせる機能を行い、結果としては 2^2 で割った効果を有する。

【0185】

また、5 ビットの場合には下記の数式 14 のように補正グレー値を出力する。

【0186】

【数 1 4】

$$G_n' = f([G_n]_4, [G_{n-1}]_4) + a([G_n]_4, [G_{n-1}]_4) \times \frac{{}_4[G_n]}{16} - b([G_n]_4, [G_{n-1}]_4) \times \frac{{}_4[G_n] \gg 3}{2}$$

【0 1 8 7】

ここで、 $[G_n]_4$ は G_n の L S B 4 ビットを全て 0 で満たした値、 $[G_{n-1}]_4$ は G_{n-1} の L S B 4 ビットを全て 0 で満たした値、 ${}_4[G_{n-1}]$ は G_{n-1} の M S B 4 ビットを全て 0 で満たした値、 a と b は全て正の整数であり、 ${}_4[G_{n-1}] \gg 3$ は ${}_4[G_{n-1}]$ を演算したバイナリデータを 3 ビット右側にシフトさせる機能を行い、結果としては 2^3 で割った効果を有する。

10

【0 1 8 8】

また、解像度によってピクセル周波数が高くなって高速演算が難しくなる場合には、現在のフレームの階調データ (G_n) さえも L S B いくつかを省略して補正する方法をとることもできる。 G_n を 6 ビット、 G_{n-1} を 6 ビットのみ補正する場合の変換は下記の数式 15 のとおりである。

【0 1 8 9】

【数 1 5】

$$G_n' = f([G_n]_4, [G_{n-1}]_4) + a([G_n]_4, [G_{n-1}]_4) \times \frac{{}_4[G_n] \gg 2}{4} - b([G_n]_4, [G_{n-1}]_4) \times \frac{{}_4[G_n] \gg 2}{4}$$

20

【0 1 9 0】

以上で説明したように、一般に、 p ビットのグレイックアップテーブルを用いて、 q ビットの G_n 、 r ビットの G_{n-1} のみを補正する場合には、下記の数式 16 で整理することができる ($q, r > p$)。

【0 1 9 1】

【数 1 6】

$$G_n' = f([G_n]_{8-p}, [G_{n-1}]_{8-p}) + a([G_n]_{8-p}, [G_{n-1}]_{8-p}) \cdot \frac{{}_p[G_n]_{8-q} \gg (8-q)}{2^{(q-p)}} - b([G_n]_{8-p}, [G_{n-1}]_{8-p}) \cdot \frac{{}_p[G_{n-1}]_{8-r} \gg (8-r)}{2^{(r-p)}}$$

30

【0 1 9 2】

本発明による動画像補正機能を有する液晶表示装置の動作を簡略に説明すると次の通りである。

【0 1 9 3】

40

前記のように、本発明では動画像具現時の引きずられ現象を除去するために、一つのフレームの画像信号 (G_n) をそれ以前のフレームの画像信号 (G_{n-1}) と下記の数式 17 乃至 20 に基づいて比較して補正する。

【0 1 9 4】

【数 1 7】

$$G_n \frown = G_n, \text{ if } G_n = G_{n-1}$$

【0 1 9 5】

50

【数 18】

$$G_n' > G_n, \text{ if } G_n > G_{n-1}$$

【0196】

【数 19】

$$G_n' < G_n, \text{ if } G_n < G_{n-1}$$

10

【0197】

【数 20】

$$G_n' - G_n \propto G_n - G_{n-1}$$

【0198】

つまり、現在のフレームで印加される画像信号がそれ以前のフレームの画像信号と変わらなければ数式 17 のように補正を行わず、現在の階調（または階調電圧）が以前の階調（または階調電圧）より高くなれば補正回路は数式 18 のように現在の階調（または階調電圧）をさらに高くして出力し、現在の階調（または階調電圧）が以前の階調（または階調電圧）より低くなれば補正回路は数式 19 のように階調（または階調電圧）をさらに低くして出力する。この時の補正が行われる程度は、数式 20 のように現在の階調（または階調電圧）と以前の階調（または階調電圧）との差に比例する関数である。

20

【0199】

このような補正過程を通じて LCD パネルの応答速度は速くなるが、これは次の原理に基づく。

【0200】

まず、窮極的に意図した電圧が加えられるようにする。つまり、液晶セルに 5 V を加えようと意図したとするなら実際にも 5 V が加えられるようにする。液晶が電気場に反応して液晶の方向子の方向が変わると液晶のキャパシタンスも変わるので、実際にはじめに加えられた電圧とは違う電圧が液晶に加えられるようになる。

30

【0201】

つまり、液晶物質自体の応答速度が 1 フレーム（16.7 ms、@60 Hz）以内に入るとしても、現在の AM-LCD 駆動方式では前記メカニズムによる正確な電圧が加えられずにその以前電圧との間の値が加えられるようになるので、LCD パネルにおける実際の応答速度は 1 フレームよりはるかに遅くなる。

【0202】

ここで信号補正を通じて意図していた電圧が実際にも加えられるようにして正確な応答が行われるようにする。この時、過度補償（overcompensate）して液晶が応答する時間の間の透過率誤差を補償することもできる。

40

【0203】

次に、ほとんどの液晶物質は電圧の変化が大きいほど応答速度自体もまた速くなる。例えば、ライジング（rising）の場合、1 V から 2 V に変わる時より 1 V から 3 V に変わる時の応答速度が一般により速く、フォーリング（falling）の場合、3 V から 2 V に変わる時より 3 V から 1 V に変わる時の応答速度がより速い。

【0204】

このような傾向は液晶物質によって、または LCD の動作モードによって多少差があるが、大体は守られている。例えば、ツイストネマチックモード（Twisted Nematic mode）の場合、ライジングは電圧の差が大きくなるのに伴って最高 1.5 倍まで応答速度が速くなり、フォーリングは最高 1.5 倍まで速くなる。

50

【0205】

その次に、液晶物質自体の応答時間が1フレーム(16.7ms)を越える場合には、強制牽引方式によって1フレームに応答時間を短くすることができる。1Vから2Vに変わるまでの応答時間が30msである液晶があると仮定しよう。言い換えれば、2Vに該当する透過率を得るために2Vを加えると30msが所要される。

【0206】

同一な液晶が1Vから3Vまで到達するのにかかる時間も30msであるとすれば(殆ど場合はこれよりは短い)、2Vに該当する透過率は図16に示したように30ms以前に到達する。つまり、2Vに該当する透過率を得るために3Vを加えると、30msより短い時間に2Vに該当する透過率に到達するようになる。

10

【0207】

もちろん、続けて3Vを加えれば液晶は窮極的に3Vの水準に到達するので、2Vの水準に到達した時にこの超過電圧をカット・オフ(cut-off)し、2Vをかければ液晶は2Vの水準に30msより短い時間に到達することができる。カット・オフ(cut-off)をする時点、つまり、電圧を変えて加えることができる時点はフレームが変わる時である。したがって、液晶が1フレーム(16.7ms)後に2Vの水準に到達する電圧、例えば、3Vを加えた後にその次のフレームで元来の2Vに逆戻りをすれば応答時間は16.7msに短くなるわけである。この場合にも過度補償(over compensation)方式を導入して液晶の応答時間(例えば、16.7ms)の間の透過率誤差部分を相殺することができる。

20

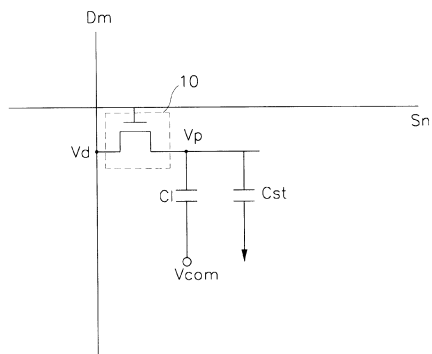
【符号の説明】

【0208】

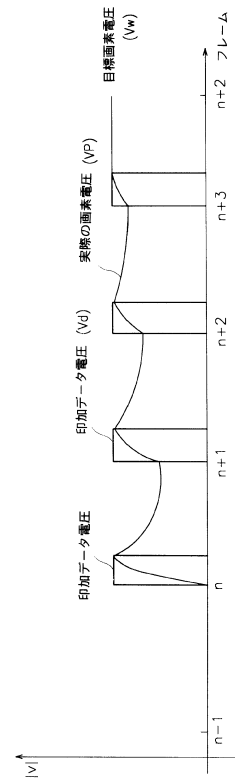
- 100 液晶表示装置パネル
- 110 薄膜トランジスタ
- 200 ゲートドライバー
- 300 データドライバー
- 400 データ階調信号補正部
- 410 合成器
- 420、460 フレームメモリ
- 430、470 コントローラー
- 440、480 データ階調信号変換器
- 450 分離器
- 462 ルックアップテーブル
- 464 演算器

30

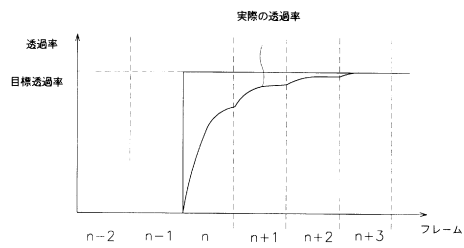
【図 1】



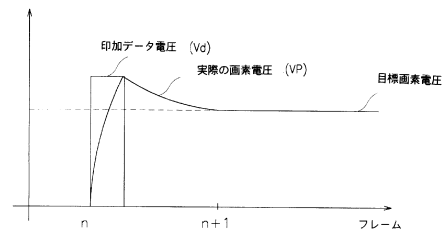
【図 2】



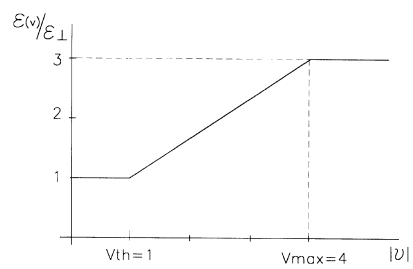
【図 3】



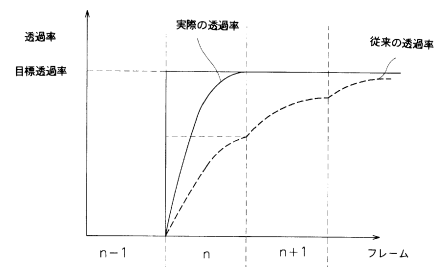
【図 5】



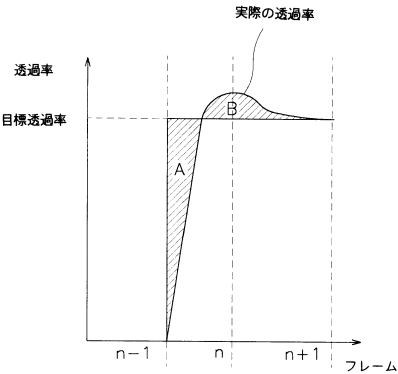
【図 4】



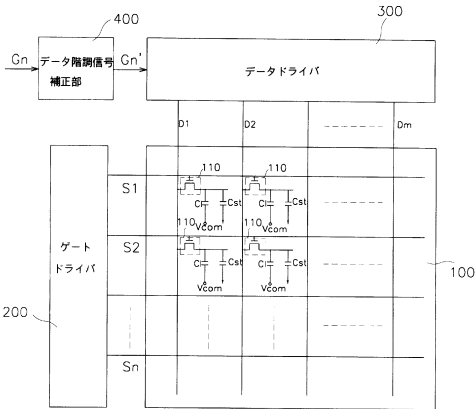
【図 6】



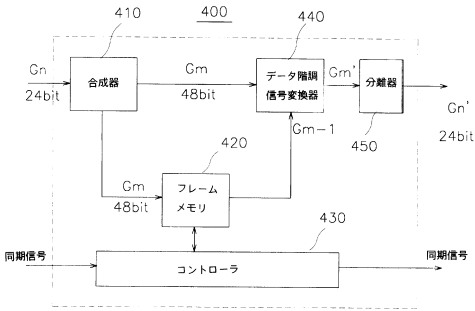
【図 7】



【図 8】



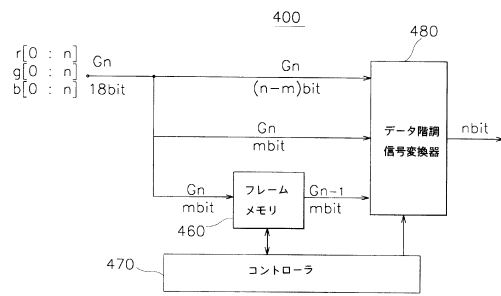
【図 9】



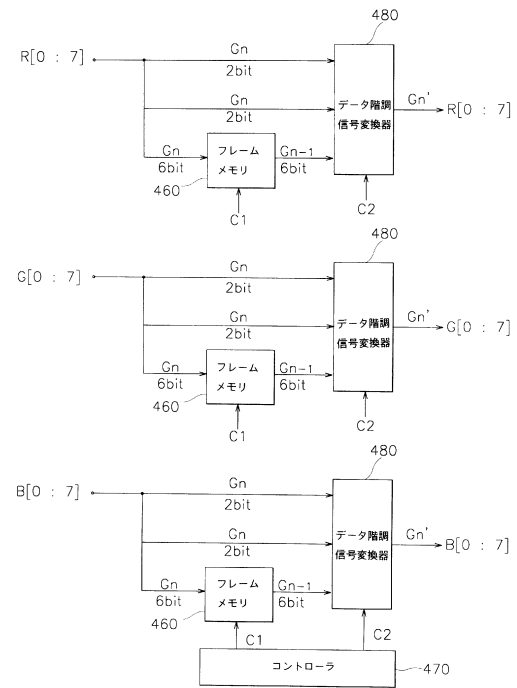
【図 10】

Gn'	Gn							
	0	1	2	2	...	253	254	255
Gn-1	0	0	1	3	5	...	255	255
	1	0	1	3	4	...	255	255
	2	0	1	2	3	...	255	255
	3	0	0	2	3	...	255	255
	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
	253	0	0	0	0	...	253	254
	254	0	0	0	0	...	253	254
	255	0	0	0	0	...	252	253

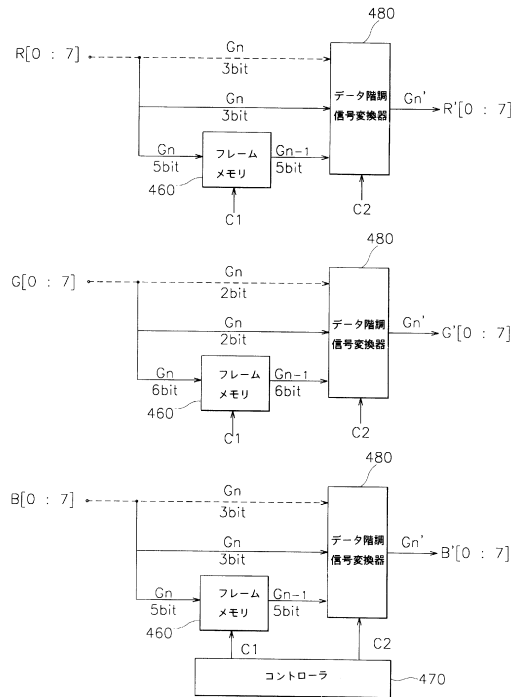
【図 1 1】



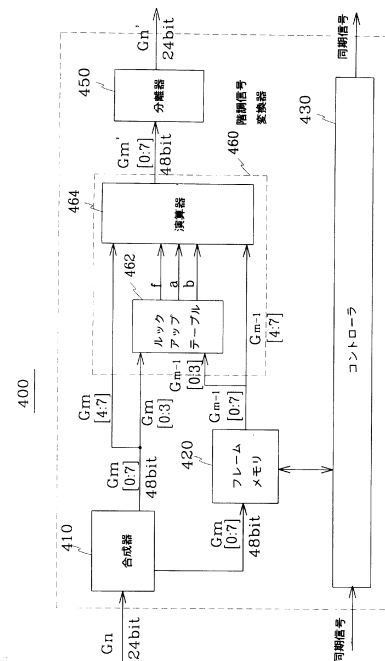
【図 1 2】



【図 1 3】



【図 1 4】



【図 15】

(a)

G_n		G_{n-1}	
		64	80
G_n	128	140 $a=20$ ↓	136 $b=4$ →
	144	160	158

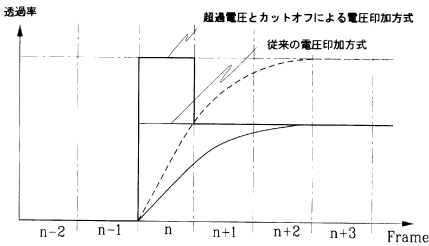
(b)

G_n		G_{n-1}	
		64	80
G_n	128	140 $a=20$ ↓	136 $b=4$ →
	144	160 ↓ 32	158 → 30

(c)

G_n		G_{n-1}	
		64	80
G_n	128	140 $a=4$ ↓	136 $b=4$ →
	144	160 ↓ 16	158 → 14

【図 16】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0

(31)優先権主張番号 2000-73672

(32)優先日 平成12年12月6日(2000.12.6)

(33)優先権主張国 韓国(KR)

(56)参考文献 特開平 1 1 - 1 2 6 0 5 0 (J P , A)

特開平 0 4 - 2 6 8 5 9 9 (J P , A)

特開平 0 3 - 1 7 4 1 8 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 3 6

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

专利名称(译)	液晶显示装置及其驱动方法和装置		
公开(公告)号	JP5781463B2	公开(公告)日	2015-09-24
申请号	JP2012077273	申请日	2012-03-29
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	李白雲		
发明人	李 白 雲		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G5/39		
CPC分类号	G09G3/2011 G09G3/3648 G09G5/39 G09G2320/02 G09G2320/0252 G09G2340/16		
FI分类号	G09G3/36 G09G3/20.621.F G09G3/20.641.C G09G3/20.641.P G02F1/133.570 G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB16 2H193/ZD01 2H193/ZD11 2H193/ZD23 2H193/ZE01 2H193/ZF13 2H193/ZF16 2H193/ZF17 2H193/ZF21 2H193/ZF31 2H193/ZH23 2H193/ZH53 2H193/ZQ06 5C006/AA16 5C006/AA22 5C006/AF01 5C006/AF44 5C006/BF08 5C006/FA14 5C006/FA44 5C080/AA10 5C080/BB05 5C080/CC03 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	山下大沽嗣		
优先权	1020000005442 2000-02-03 KR 1020000043509 2000-07-27 KR 1020000073672 2000-12-06 KR		
其他公开文献	JP2012137782A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，通过改变液晶的驱动方法来改善液晶的响应速度，而不需要改变TFT-LCD面板的结构。解决方案：在液晶显示装置中，在通过同时考虑当前帧的数据电压和前一帧的数据电压产生校正数据电压之后，将产生的校正数据电压施加到数据线。通过将校正数据电压施加到数据线，使像素电压能够立即达到目标电压电平。

(21) 出願番号	特願2012-77273 (P2012-77273)	(73) 特許権者	512187343
(22) 出願日	平成24年3月29日 (2012. 3. 29)		
(62) 分割の表示	特願2001-28541 (P2001-28541) の分割		
原出願日	平成13年2月5日 (2001. 2. 5)		
(65) 公開番号	特開2012-137782 (P2012-137782A)		
(43) 公開日	平成24年7月19日 (2012. 7. 19)		
審査請求日	平成24年3月29日 (2012. 3. 29)		
(31) 優先権主張番号	2000-5442	(74) 代理人	100121382
(32) 優先日	平成12年2月3日 (2000. 2. 3)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(72) 発明者	李 白 雲
(31) 優先権主張番号	2000-43509		大韓民国京畿道龍仁市器興邑農書里山24番地
(32) 優先日	平成12年7月27日 (2000. 7. 27)		
(33) 優先権主張国	韓国 (KR)		
		審査官	山崎 仁之