

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2013-200466
(P2013-200466A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.			F I		テーマコード (参考)	
G09G	3/36	(2006.01)	G09G	3/36	2H193	
G09G	3/20	(2006.01)	G09G	3/20	611A	5C006
G02F	1/133	(2006.01)	G09G	3/20	624B	5C080
			G09G	3/20	641E	
			G09G	3/20	641A	
審査請求 未請求 請求項の数 4 O L (全 20 頁) 最終頁に続く						

(21) 出願番号	特願2012-69153 (P2012-69153)	(71) 出願人	308036402
(22) 出願日	平成24年3月26日 (2012. 3. 26)		株式会社 J V C ケンウッド
			神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(72) 発明者	樋口 潤
			神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地
		F ターム (参考)	2H193 ZA04 ZA19 ZB50 ZD25 ZF21 ZF31
			5C006 AA14 AA15 BB16 BC06 BC12 FA47
			最終頁に続く

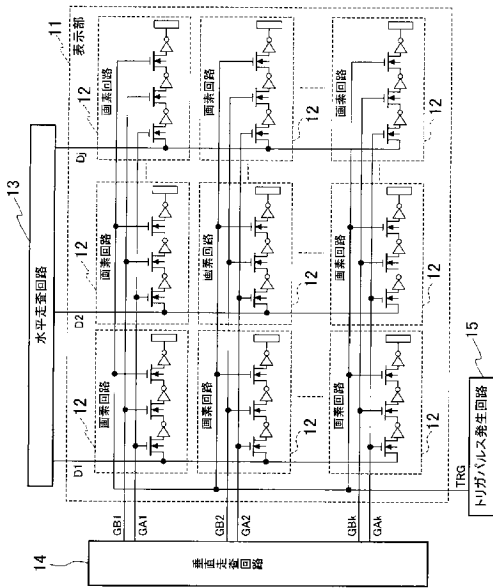
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 デジタル駆動方式において、データ転送回数を低減することができ、消費電力を低減することができる液晶表示装置を提供する。

【解決手段】 画素 1 2 のそれぞれが、1 フレームを構成するサブフレーム毎に、第 1 行走査線 G A を介して供給された第 1 行選択信号に応じて、列データ線 D を介して連続して供給された互いに逆論理値である第 1 及び第 2 データを順次反転して出力する第 1 シフトレジスタ 2 1 と、第 2 行走査線 G B を介して供給された第 2 行選択信号に応じて、第 1 シフトレジスタ 2 1 から出力された第 1 及び第 2 データを順次反転して出力する第 2 シフトレジスタ 2 2 と、共通信号線 T R G を介して供給されたトリガパルスに応じて、第 2 シフトレジスタ 2 2 から出力された第 1 及び第 2 データを順次反転して出力する第 3 シフトレジスタ 2 3 と、第 3 シフトレジスタ 2 3 から出力された第 1 及び第 2 データに応じて諧調表示を行う液晶表示素子 2 4 とを備える。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

複数本の列データ線と、複数本からなり 2 本で一組の第 1 及び第 2 行走査線とが交差する複数の交差部のそれぞれに画素が配置されており、各フレームを 1 フレーム期間より短時間である表示期間をもつ複数のサブフレームにより構成し、当該複数のサブフレームを表示すべき階調に応じて 1 ビットのデジタルデータにより選択的にオン、オフにして 1 フレームの画像を表示すべき階調に応じたサブフレームの組み合わせで前記画素が駆動されて表示を行う表示部と、

前記複数本の第 1 行走査線及び複数本の第 2 行走査線に対して第 1 及び第 2 行選択信号をそれぞれ出力する垂直走査回路と、

前記複数本の列データ線に対して、前記サブフレーム単位で互いに逆論理値である第 1 及び第 2 データを順次出力する水平走査回路と、

前記複数の画素に共通に接続された共通信号線に対してトリガパルスを出力するトリガパルス発生回路とを備え、

前記複数の画素のそれぞれが、

前記第 1 行選択信号に応じて、前記列データ線を介して供給された前記第 1 及び第 2 データを順次反転して出力する第 1 シフトレジスタと、

前記第 2 行選択信号に応じて、前記第 1 シフトレジスタから出力された前記第 1 及び第 2 データを順次反転して出力する第 2 シフトレジスタと、

前記トリガパルスに応じて、前記第 2 シフトレジスタから出力された前記第 1 及び第 2 データを順次反転して出力する第 3 シフトレジスタと、

前記第 3 シフトレジスタから出力された前記第 1 及び第 2 データに応じて諧調表示を行う液晶表示素子

とを備えることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 シフトレジスタが、前記行走査線にゲートが接続され、前記列データ線にドレインが接続された第 1 スイッチングトランジスタと、前記第 1 スイッチングトランジスタのソースに入力端子が接続された第 1 インバータとを備え、

前記第 2 シフトレジスタが、前記第 1 インバータの出力端子にドレインが接続され、行走査線にゲートが接続された第 2 スイッチングトランジスタと、

前記第 2 スイッチングトランジスタのソースに入力端子が接続された第 2 インバータとを備え、

前記第 3 シフトレジスタが、前記共通信号線にゲートが接続され、前記第 2 インバータの出力端子にドレインが接続された第 3 スイッチングトランジスタと、前記第 3 スイッチングトランジスタのソースに入力端子が接続され、前記画素電極に出力端子が接続された第 3 インバータとを備える

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 のシフトレジスタが、前記列データ線に入力端子が接続され、互いに逆論理値の第 1 行選択信号が供給される 2 本の前記第 1 行走査線に制御端子が接続された第 1 トランスファゲートと、前記第 1 トランスファゲートの出力端子に入力端子が接続された第 1 インバータとを備え、

前記第 2 のシフトレジスタが、前記第 1 インバータの出力端子に入力端子が接続され、互いに逆論理値の第 2 行選択信号が供給される 2 本の前記第 2 行走査線に制御端子が接続された第 2 トランスファゲートと、前記第 2 トランスファゲートの出力端子に入力端子が接続された第 2 インバータとを備え、

前記第 3 シフトレジスタが、前記第 2 インバータの出力端子に入力端子が接続され、互いに逆論理値のトリガパルスが供給される 2 本の前記共通信号線に制御端子が接続された第 3 トランスファゲートと、前記第 3 トランスファゲートの出力端子に入力端子が接続され、前記画素電極に出力端子が接続された第 3 インバータとを備える

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

複数本の列データ線と、複数本からなり 2 本で一組の第 1 及び第 2 行走査線とが交差する複数の交差部のそれぞれに画素が配置されており、各フレームを 1 フレーム期間より短時間である表示期間をもつ複数のサブフレームにより構成し、当該複数のサブフレームを表示すべき階調に応じて 1 ビットのデジタルデータにより選択的にオン、オフにして 1 フレームの画像を表示すべき階調に応じたサブフレームの組み合わせで前記画素が駆動されて表示を行う液晶表示装置の駆動方法において、

第 1 シフトレジスタが、前記第 1 行走査線を介して供給された第 1 行選択信号に応じて、前記列データ線を介して前記サブフレーム単位で順次供給された互いに逆論理値である第 1 及び第 2 データを順次反転して出力するステップと、

第 2 シフトレジスタが、前記第 2 行走査線を介して供給された第 2 行選択信号に応じて、前記第 1 シフトレジスタから出力された前記第 1 及び第 2 データを反転して出力するステップと、

第 3 シフトレジスタが、前記複数の画素に共通に接続された共通信号線に応じて、前記第 2 シフトレジスタから出力された前記第 1 及び第 2 データを順次反転して出力するステップと、

液晶表示素子が、前記第 3 シフトレジスタから出力された前記第 1 及び第 2 データに応じて諧調表示を行うステップ

とを含むことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特にデジタル階調信号に基づいて表示を行う反射型液晶プロジェクタ装置等に用いるデジタル駆動方式の液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品として L C O S (Liquid Crystal on Silicon) 型液晶表示装置が多く用いられている。この L C O S 等の液晶表示装置の表示方式には、従来 C M O S (Complementary Metal Oxide Semiconductor) 等の半導体素子へアナログ映像信号を入力し、その信号を画素毎の液晶表示素子の画素電極にそのまま保持して、液晶の配向を変える方式や、デジタル信号によりパルス幅変調 (P W M ; Pulse Width Modulation) した映像信号を液晶表示素子の画素電極に印加して液晶の配向を時間的に切り替えて駆動する方式などがある。この中でデジタル信号によるパルス幅変調方式は、液晶の焼き付きに対して高い耐性を持つという特徴があるので、近年使用実績が高くなっている。

【0003】

一方、液晶表示素子の駆動方式としてアナログ駆動方式とデジタル駆動方式とが知られている。アナログ駆動方式の液晶表示装置では、各画素が、液晶表示素子と、列データ線を介して供給される階調に応じたレベルのアナログ信号である階調信号を画素選択時にサンプリングする第 1 のスイッチング手段と、第 1 のスイッチング手段を介して供給される階調信号を一定期間保持する保持容量と、所定の読み出しタイミングでオンにスイッチングされて保持容量に保持された階調信号を液晶表示素子の画素電極に印加する第 2 のスイッチング手段を備えている構成のものが知られている (例えば、特許文献 1、2 参照。)

【0004】

また、デジタル駆動方式の液晶表示装置では、表示する映像信号の各フレームを、1 フレーム期間より短時間である表示期間をもつ複数のサブフレームにより構成し、それら複数のサブフレームを表示すべき階調に応じてデジタル信号である 1 ビットのサブフレームデータにより選択的にオン、オフにして 1 フレームの画像を表示すべき階調に応じたサブ

10

20

30

40

50

フレームの組み合わせで画素を駆動する。

【 0 0 0 5 】

このデジタル駆動方式の液晶表示装置としては、各画素が、液晶表示素子と、2本で一組の列データ線をそれぞれ介して供給される互いに逆論理値の1ビットのサブフレームデータを画素選択時にサンプリングする第1及び第2のスイッチング手段と、互いの出力端子が他方の入力端子に接続された2つのインバータからなり、第1及び第2のスイッチング手段を介して供給される互いに逆論理値のサブフレームデータを一定期間保持する保持手段と、所定の読み出しタイミングでオンにスイッチングされて保持手段に保持されたサブフレームデータを液晶表示素子の画素電極に印加する第3のスイッチング手段を備えている構成のものが知られている（例えば、特許文献3参照。）。上記第3のスイッチング手段は2つのトランスファゲートからなり、それらトランスファゲートは出力端子が画素電極に共通に接続され、一方のゲート入力端子が保持手段の一方の端子に共通に接続され、他方のゲート入力端子が保持手段の他方の端子に共通に接続された構成である。また、上記2つのトランスファゲートのうち一方のトランスファゲートは第1の電圧が入力端子に供給され、他方のトランスファゲートは第2の電圧が入力端子に供給され、保持手段の保持電圧に応じて2つのトランスファゲートの一方がオンとされて第1の電圧又は第2の電圧を出力端子から画素電極に印加する構成である。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

20

【 特許文献 1 】 特開 2 0 0 1 - 2 7 2 6 5 7 号 公 報

【 特許文献 2 】 特開 2 0 0 1 - 0 7 5 5 3 4 号 公 報

【 特許文献 3 】 特表 2 0 0 2 - 5 1 5 6 0 6 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、デジタル駆動方式はアナログ駆動方式に比べて、電気的な調整が可能であるなどの特長がある反面、デジタル駆動方式の液晶表示装置では、画素の微細化に問題がある。例えば特許文献3に記載のデジタル駆動方式の液晶表示装置では、2つのインバータの各々が2個のトランジスタからなるCMOSインバータで構成され、第1及び第2のスイッチング手段が各1個のトランジスタで構成され、第3のスイッチング手段が2つのトランスファゲートからなる4個のトランジスタで構成されているため、全部で10個のトランジスタを使用しており、画素を構成するトランジスタ数が多いため微細化の妨げになっている。

30

【 0 0 0 8 】

そこで、画素を構成するトランジスタ数を削減するため、デジタル駆動方式の液晶表示装置において、各画素を2段のシフトレジスタと液晶表示素子で構成し、この2段のシフトレジスタを用いてサブフレーム単位で逆論理値とした1ビットのサブフレームデータを転送する方法が検討されている。この方法では、サブフレーム単位で反転させたサブフレームデータを転送するため、データ転送回数が多くなり、消費電力が増大するという問題がある。

40

【 0 0 0 9 】

本発明の目的は、デジタル駆動方式において、データ転送回数を低減することができ、消費電力を低減することができる液晶表示装置及びその駆動方法を提供することである。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明の一態様によれば、複数本の列データ線（D）と、複数本からなり2本で一組の第1及び第2行走査線（GA，GB）とが交差する複数の交差部のそれぞれに画素（12）が配置されており、各フレームを1フレーム期間より短時間である表示期間をもつ複数

50

のサブフレーム（B 0 ～ B 3）により構成し、それら複数のサブフレーム（B 0 ～ B 3）を表示すべき階調に応じて１ビットのデジタルデータにより選択的にオン、オフにして１フレームの画像を表示すべき階調に応じたサブフレーム（B 0 ～ B 3）の組み合わせで画素（１２）が駆動されて表示を行う表示部（１１）と、複数本の第１行走査線（G A）及び複数本の第２行走査線（G B）に対して第１及び第２行選択信号をそれぞれ出力する垂直走査回路（１４）と、複数本の列データ線（D）に対してサブフレーム（B 0 ～ B 3）単位で互いに逆論理値である第１及び第２データを順次出力する水平走査回路（１３）と、複数の画素（１２）に共通に接続された共通信号線（T R G）に対してトリガパルスを出力するトリガパルス発生回路（１５）とを備え、複数の画素（１２）のそれぞれが、第１行選択信号に応じて、列データ線（D）を介して供給された第１及び第２データを順次反転して出力する第１シフトレジスタ（２１）と、第２行選択信号に応じて、第１シフトレジスタ（２１）から出力された第１及び第２データを順次反転して出力する第２シフトレジスタ（２２）と、トリガパルスに応じて、第２シフトレジスタ（２２）から出力された第１及び第２データを順次反転して出力する第３シフトレジスタ（２３）と、第３シフトレジスタ（２３）から出力された第１及び第２データに応じて諧調表示を行う液晶表示素子（２４）とを備える液晶表示装置が提供される。

10

【００１１】

本発明の一態様において、第１シフトレジスタ（２１）が、行走査線にゲートが接続され、列データ線（D）にドレインが接続された第１スイッチングトランジスタ（T r １）と、第１スイッチングトランジスタ（T r １）のソースに入力端子が接続された第１インバータ（I N V １）とを備え、第２シフトレジスタ（２２）が、第１インバータ（I N V １）の出力端子にドレインが接続され、行走査線にゲートが接続された第２スイッチングトランジスタ（T r ２）と、第２スイッチングトランジスタ（T r ２）のソースに入力端子が接続された第２インバータ（I N V ２）とを備え、第３シフトレジスタ（２３）が、共通信号線（T R G）にゲートが接続され、第２インバータ（I N V ２）の出力端子にドレインが接続された第３スイッチングトランジスタ（T r ３）と、第３スイッチングトランジスタ（T r ３）のソースに入力端子が接続され、画素（１２）電極に出力端子が接続された第３インバータ（I N V ３）とを備えていても良い。

20

【００１２】

本発明の一態様において、第１のシフトレジスタ（２１）が、列データ線（D）に入力端子が接続され、互いに逆論理値の第１行選択信号が供給される２本の第１行走査線（G A , N G A）に制御端子が接続された第１トランスファゲート（４１）と、第１トランスファゲート（４１）の出力端子に入力端子が接続された第１インバータ（I N V １）とを備え、第２のシフトレジスタ（２２）が、第１インバータ（I N V １）の出力端子に入力端子が接続され、互いに逆論理値の第２行選択信号が供給される２本の第２行走査線（G B , N G B）に制御端子が接続された第２トランスファゲート（４２）と、第２トランスファゲート（４２）の出力端子に入力端子が接続された第２インバータ（I N V ２）とを備え、第３シフトレジスタ（２３）が、第２インバータ（I N V ２）の出力端子に入力端子が接続され、互いに逆論理値のトリガパルスが供給される２本の共通信号線（T R G , N T R G）に制御端子が接続された第３トランスファゲート（４３）と、第３トランスファゲート（４３）の出力端子に入力端子が接続され、画素（１２）電極に出力端子が接続された第３インバータ（I N V ３）とを備えていてもよい。

30

40

【００１３】

本発明の他の一態様によれば、複数本の列データ線（D）と、複数本からなり２本で一組の第１及び第２行走査線（G A , G B）とが交差する複数の交差部のそれぞれに画素（１２）が配置されており、各フレームを１フレーム期間より短時間である表示期間をもつ複数のサブフレーム（B 0 ～ B 3）により構成し、それら複数のサブフレーム（B 0 ～ B 3）を表示すべき階調に応じて１ビットのデジタルデータにより選択的にオン、オフにして１フレームの画像を表示すべき階調に応じたサブフレーム（B 0 ～ B 3）の組み合わせで画素（１２）が駆動されて表示を行う液晶表示装置の駆動方法において、サブフレーム

50

(B0～B3)毎に、第1シフトレジスタ(21)が、第1行走査線(GA)を介して供給された第1行選択信号に応じて、列データ線(D)を介してサブフレーム(B0～B3)単位で順次供給された互いに逆論理値である第1及び第2データを順次反転して出力するステップと、第2シフトレジスタ(22)が、第2行走査線(GB)を介して供給された第2行選択信号に応じて、第1シフトレジスタ(21)から出力された第1及び第2データを反転して出力するステップと、第3シフトレジスタ(23)が、複数の画素(12)に共通に接続された共通信号線(TRG)に応じて、第2シフトレジスタ(22)から出力された第1及び第2データを順次反転して出力するステップと、液晶表示素子(24)が、第3シフトレジスタ(23)から出力された第1及び第2データに応じて諧調表示を行うステップとを含む液晶表示装置の駆動方法が提供される。

10

【発明の効果】

【0014】

本発明によれば、デジタル駆動方式において、データ転送回数を低減することができ、消費電力を低減することができる液晶表示装置及びその駆動方法を提供することができる。

【図面の簡単な説明】

【0015】

【図1】本発明の実施の形態に係る液晶表示装置の一例を示す回路図である。

【図2】本発明の実施の形態に係る画素の一例を示す回路図である。

【図3】本発明の実施の形態に係る液晶表示装置の駆動方法の一例を説明するためのタイミングチャートである。

20

【図4】図3の一点鎖線の丸で囲んだ部分の詳細の一例を示すタイミングチャートである。

【図5】図3の一点鎖線の丸で囲んだ部分の詳細の他の一例を示すタイミングチャートである。

【図6】比較例に係る画素を示す回路図である。

【図7】比較例に係る液晶表示装置の駆動方法を説明するためのタイミングチャートである。

【図8】比較例に係る書き込み方法を説明するためのタイミングチャートである。

【図9】本発明の実施の形態の変形例に係る画素の一例を示す回路図である。

30

【発明を実施するための形態】

【0016】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

【0017】

また、以下に示す実施の形態は、この発明の技術的思想を具体化するための装置や方法を例示するものであって、この発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。この発明の技術的思想は、特許請求の範囲において、種々の変更を加えることができる。

40

【0018】

(液晶表示装置の構成)

本発明の実施の形態に係る液晶表示装置は、図1に示すように、j本の列データ線D1～Djと複数(2×k)本からなり2本で一組の行走査線GA1～GAk, GB1～GBkとの各交差部にマトリクス状に配置された複数(j×k個)の画素回路(以下、単に「画素」という。)12を有する表示部11と、列データ線D1～Djに接続された水平走査回路13と、行走査線GA1～GAk, GB1～GBkに接続された垂直走査回路14

50

と、各画素 1 2 に共通に接続された共通信号線 T R G に接続されたトリガパルス発生回路 1 5 とを備えるデジタル駆動方式の液晶表示装置である。

【 0 0 1 9 】

表示部 1 1 は、表示する映像信号の各フレームを、1 フレーム期間より短時間である表示期間をもつ複数のサブフレームにより構成し、それら複数のサブフレームを表示すべき階調に応じてデジタル信号であるサブフレームデータにより選択的にオン、オフにして 1 フレームの画像を表示すべき階調に応じたサブフレームの組み合わせで画素 1 2 を駆動する。

【 0 0 2 0 】

水平走査回路 1 3 は、画素 1 2 のそれぞれに対するサブフレーム単位のサブフレームデータとして、互いに逆論理値である 1 ビットの第 1 及び第 2 データを、列データ線 D 1 ~ D j に順次、1 水平走査期間単位で出力する。垂直走査回路 1 4 は、行走査線 G A 1 ~ G A k , G B 1 ~ G B k に対して、所定のタイミングで第 1 及び第 2 行選択信号を 1 水平走査期間単位で供給する。トリガパルス発生回路 1 5 は、表示部 1 1 内の全画素 1 2 に同時に、共通信号線 T R G を介して所定のタイミングで読み出し（表示）のためのトリガパルスを供給する。

10

【 0 0 2 1 】

図 2 に示す画素 1 2 A は、図 1 に示した列データ線 D 1 ~ D j のうちの任意の 1 本の列データ線 D と、一組の行走査線 G A 1 ~ G A k , G B 1 ~ G B k のうち、任意の一組の行走査線 G A , G B との交差部に配置された一画素とする。画素 1 2 A は、第 1 保持部（第 1 シフトレジスタ）2 1、第 2 保持部（第 2 シフトレジスタ）2 2、出力部（第 3 シフトレジスタ）2 3 及び画素部（液晶表示素子）2 4 を備える。

20

【 0 0 2 2 】

第 1 保持部 2 1 は、サブフレーム毎に、行走査線 G A を介して供給された第 1 行選択信号に応じて、列データ線 D を介して供給された第 1 及び第 2 データを順次反転して出力する。第 1 保持部 2 1 は、列データ線 D にドレインが接続され、行走査線 G A にソースが接続された第 1 スイッチングトランジスタ T r 1 と、第 1 スイッチングトランジスタ T r 1 のソースに入力端子が接続された第 1 インバータ I N V 1 を備える。

【 0 0 2 3 】

第 2 保持部 2 2 は、サブフレーム毎に、行走査線 G B を介して供給された第 2 行選択信号に応じて、第 1 保持部 2 1 から出力された第 1 及び第 2 データを順次反転して出力する。第 2 保持部 2 2 は、行走査線 G B にゲートが接続され、第 1 インバータ I N V 1 の出力端子にドレインが接続された第 2 スイッチングトランジスタ T r 2 と、第 2 スイッチングトランジスタ T r 2 のソースに入力端子が接続された第 2 インバータ I N V 2 を備える。

30

【 0 0 2 4 】

出力部 2 3 は、サブフレーム毎に、共通信号線 T R G を介して供給されたトリガパルスに応じて、第 2 保持部 2 2 から出力された第 1 及び第 2 データを順次反転して出力する。出力部 2 3 は、共通信号線 T R G にゲートが接続され、第 2 インバータ I N V 2 の出力端子にドレインが接続された第 3 スイッチングトランジスタ T r 3 と、第 3 スイッチングトランジスタ T r 3 のソースに入力端子が接続された第 3 インバータ I N V 3 を備える。

40

【 0 0 2 5 】

画素部 2 4 は、サブフレーム毎に、出力部 2 3 から出力された第 1 及び第 2 データに応じて諧調表示を順次行う。画素部 2 4 は、第 3 インバータ I N V 3 の出力端子に接続された画素電極 P E と、画素電極 P E に離間対向して配置された共通電極 C E と、画素電極 P E と共通電極 C E との間に充填封止された液晶 L C を備える。

【 0 0 2 6 】

図 2 に示した第 1 ~ 第 3 スイッチングトランジスタ T r 1 ~ T r 3 としては、一例としていずれも n チャンネル M O S 型トランジスタ（以下、「n M O S トランジスタ」という。）が使用可能である。また、第 1 ~ 第 3 インバータ I N V 1 ~ I N V 3 としては、互いのドレイン同士、ゲート同士が接続された p チャンネル M O S 型トランジスタ（以下、「

50

p M O S トランジスタ」という。) と n M O S トランジスタからなる C M O S インバータが使用可能である。

【 0 0 2 7 】

(液晶表示装置の駆動方法)

次に、本発明の実施の形態に係る液晶表示装置の画素 1 2 の書き込み及び読み出し (表示) を含む駆動方法の一例を、図 3 ~ 図 5 のタイミングチャートを参照しながら説明する。図 3 の上部に付された B 0 , B 1 , B 2 , B 3 はサブフレームをそれぞれ示し、4つのサブフレーム B 0 , B 1 , B 2 , B 3 により 1 フレームが構成される。図 3 (a) は、表示部 1 1 内の全画素 1 2 に対する書き込みと読み出し (表示) を模式的に示しており、斜線部分が書き込みを示し、斜線部分の下の横線部分が読み出し (表示) を示す。図 3 (a) の横線部分に付された T b 0 , T n b 0 , T b 1 , T n b 1 , T b 2 , T n b 2 , T b 3 , T n b 3 は、サブフレーム B 0 , B 1 , B 2 , B 3 の第 1 及び第 2 データに対応する表示期間をそれぞれ示す。

10

【 0 0 2 8 】

[書き込み動作]

最初にサブフレーム B 0 における書き込みについて説明する。例えば、画素 1 2 A の画素部 2 4 へ論理値「0」を出力する場合には、図 3 (b) 及び詳細には図 4 (a) に示すように、時刻 t 1 ~ t 4 において、画素 1 2 A に接続された列データ線 D に対して水平走査回路 1 3 から第 1 データとして論理値「1」であるハイレベル (V D D) が供給される。このとき、画素 1 2 A と同じ 1 行の他の画素 1 2 にそれぞれ接続された列データ線にも第 1 データが供給される。その状態で、図 3 (c) 及び図 3 (d)、詳細には図 4 (b) 及び図 4 (c) に示すように、時刻 t 1 の直後の時刻 t 2 から時刻 t 4 の直前の時刻 t 3 までの期間、垂直走査回路 1 4 から一組の行走査線 G A、G B を介してハイレベル (V D D) の行選択信号が、画素 1 2 A を含む 1 行の j 個の画素 1 2 に供給されてそれらの画素 1 2 が選択される。これにより、画素 1 2 A において第 1 スイッチングトランジスタ T r 1 及び第 2 スイッチングトランジスタ T r 2 がオン状態となり、列データ線 D から供給されたハイレベルが第 1 インバータ I N V 1 へ転送され、第 1 インバータ I N V 1 がハイレベルを反転してローレベルを第 2 インバータ I N V 2 へ転送する。

20

【 0 0 2 9 】

次に、画素 1 2 A に接続された列データ線 D に対して水平走査回路 1 3 から第 1 のデータと逆論理値の第 2 データが供給される。ここでは第 1 のデータとして論理値「1」であるハイレベルが供給されたので、図 3 (b) 及び詳細には図 4 (a) に示すように、時刻 t 4 ~ 時刻 t 7 において論理値「0」であるローレベル (0 V) を第 2 データとして供給する。この互いに逆論理値の第 1 及び第 2 データが、サブフレーム B 0 におけるサブフレームデータを構成する。この状態で今度は図 3 (c) 及び詳細には図 4 (b) に示すように、時刻 t 4 の直後の時刻 t 5 から時刻 t 7 の直前の時刻 t 6 まで、行走査線 G A のみにハイレベルの行選択信号が供給される。これにより、画素 1 2 A において第 1 スイッチングトランジスタ T r 1 がオン状態となり、列データ線 D から供給された第 2 データであるローレベルが第 1 インバータ I N V 1 へ転送される。この結果、第 1 インバータ I N V 1 には第 2 データとしてローレベル、第 2 インバータ I N V 2 には第 1 データとしてローレベルがそれぞれ書き込まれ、保持されている。これを全列に行うことで全画素 1 2 に書き込みが行われる。

30

40

【 0 0 3 0 】

一方、画素部 2 4 へ論理値「1」を出力する場合には、図 5 (a) に示すように、時刻 t 1 ~ t 4 において列データ線 D に第 1 データとして論理値「0」であるローレベルが与えられる。その状態で、図 5 (b) 及び図 5 (c) に示すように、選択された一組の行走査線 G A、G B を共に、時刻 t 1 の直後の時刻 t 2 においてローレベルからハイレベルへ変化させ、時刻 t 4 の直前の時刻 t 3 においてローレベルへ変化させる。これにより、第 1 スイッチングトランジスタ T r 1 及び第 2 スイッチングトランジスタ T r 2 がオン状態となり、ローレベルが第 1 インバータ I N V 1 へ転送され、第 1 インバータ I N V 1 がロ

50

ーレベルを反転してハイレベルを第2インバータINV2へ転送する。

【0031】

次に、図5(a)に示すように時刻 $t_4 \sim t_7$ において第1データとは逆の論理値「1」であるハイレベルを第2データとして供給する。この状態で今度は図5(b)に示すように行走査線GAのみを時刻 $t_5 \sim t_6$ においてローレベル、ハイレベル、ローレベルと変化させる。これにより、第1スイッチングトランジスタTr1がオン状態となり、ハイレベルが第1インバータINV1へ転送される。この状態で第1インバータINV1には第2データとしてハイレベル、第2インバータINV2には第1データとしてハイレベルがそれぞれ書き込まれ、保持されている。これを全列に行うことで全画素12に書き込みが行われる。

10

【0032】

[読み出し動作]

次に、読み出し(表示)動作へ移行する。図3(e)に示すように、全画素12への書き込み終了後に時刻 t_8 において共通信号線TRGをハイレベルとすることで、第3スイッチングトランジスタTr3がオン状態となる。第2インバータINV2に第1データとしてローレベルが保持されていた場合には、第2インバータINV2が保持されていたローレベルを反転してハイレベルを第3インバータINV3に転送するとともに、第3インバータINV3がハイレベルを反転してローレベルを画素部24の画素電極PEに印加する。これとは逆に、第2インバータINV2に第1データとしてハイレベルが保持されていた場合には、第2インバータINV2が保持されていたハイレベルを反転してローレベルを第3インバータINV3に転送するとともに、第3インバータINV3がローレベルを反転してハイレベルを画素部24の画素電極PEに印加する。

20

【0033】

したがって、列データ線Dを介して供給される第1データが論理値「0」であるときは、図3(f)に示すように、液晶表示素子24の画素電極PEの電位は第1データとは逆の論理値「1」である正の電圧VDDとなり、列データ線Dを介して供給される第1データが論理値「1」であるときは、図3(g)に示すように、液晶表示素子24の画素電極PEの電位は第1データとは逆の論理値「0」である0Vとなる。

【0034】

一方、液晶表示素子24の共通電極CEには、サブフレームB0内で第1及び第2データの読み出しに併せて反転する共通電極電圧VCが印加される。この共通電極電圧VCは、時刻 t_8 において共通信号線TRGがハイレベルとなると同時に、図3(h)に示すように、ローレベルの電圧cが印加され、サブフレームB0の第1データに対応した表示期間b0においてローレベルの電圧cが維持される。この電圧cは、0V未満のマイナスの電圧であり、例えば液晶LCの閾値電圧をVtt(>0)としたとき、 $-V_{tt}$ である。

30

【0035】

液晶表示素子24は、液晶LCにかかる画素電極PEの電位と共通電極CEの共通電極電圧VCとの電位差の絶対値に応じた階調で表示を行う。ここで、サブフレームB0の第1データが論理値「0」であるときは、図3(i)に示すように、液晶表示素子24の液晶LCに印加される電圧は正の大きな電圧 $V_{1b0} (= V_{DD} - c)$ となり、サブフレームB0の第1データに対応する表示期間Tb0において画素12Aは白を表示する。一方、サブフレームB0の第1データが論理値「1」であるときは、図3(j)に示すように、液晶表示素子24の液晶LCに印加される電圧は正の小さな電圧 $V_{0b0} (= 0 - c)$ となり、サブフレームB0の第1データに対応する表示期間Tb0において画素12Aは黒を表示する。

40

【0036】

次に、時刻 t_8 において共通信号線TRGをローレベルとした後に、時刻 t_9 において図3(d)に示すように行走査線GBのみローレベル、ハイレベル、ローレベルと変化させる。これにより、第2スイッチングトランジスタTr2がオン状態となり、第1インバータINV1から第2データが反転されて第2インバータINV2へ転送される。行走査

50

線 G B の動作は全画素 1 2 同時でも同時でなくとも構わない。次に共通信号線 T R G がハイレベルになる前に全画素 1 2 に置いて終了すれば良い。

【 0 0 3 7 】

次に、時刻 t_{10} において、図 3 (e) に示すように共通信号線 T R G をハイレベルとすることで、第 3 スイッチングトランジスタ $T r_3$ がオン状態となる。第 2 インバータ I N V 2 に第 2 データとしてローレベルが保持されていた場合には、第 2 インバータ I N V 2 に保持されていたローレベルが反転され、ハイレベルが第 3 インバータ I N V 3 に転送される。第 3 インバータ I N V 3 がハイレベルを反転してローレベルを画素部 2 4 の画素電極 P E に印加する。これとは逆に、第 2 インバータ I N V 2 に第 2 データとしてハイレベルが保持されていた場合には、第 2 インバータ I N V 2 が保持されていたハイレベルを反転しローレベルを第 3 インバータ I N V 3 に転送するとともに、第 3 インバータ I N V 3 がローレベルを反転してハイレベルを画素部 2 4 の画素電極 P E に印加する。

10

【 0 0 3 8 】

列データ線 D を介して供給されるサブフレーム B 0 の第 2 データが論理値「 1 」であるときは、図 3 (f) に示すように、液晶表示素子 2 4 の画素電極 P E の電位は第 2 データとは逆の論理値「 0 」である 0 V となり、列データ線 D を介して供給されるサブフレーム B 0 の第 2 データが論理値「 0 」であるときは、図 3 (g) に示すように、液晶表示素子 2 4 の画素電極 P E の電位は第 2 データとは逆の論理値「 1 」である正の電圧 V D D となる。

【 0 0 3 9 】

20

一方、時刻 t_{10} において共通信号線 T R G がハイレベルとなると同時に、液晶表示素子 2 4 の共通電極 C E には、図 3 (h) に示すように、共通電極電圧 V C としてハイレベルの電圧 d が印加され、サブフレーム B 0 の第 2 データに対応する表示期間 T n b 0 においてハイレベルの電圧 d に維持される。この電圧 d は、V D D より大きな所定電圧であり、例えば液晶 L C の飽和電圧 V s a t (> 0) である。この飽和電圧 V s a t は前記閾値電圧 V t t よりも規定電圧 (例えば V D D) 高い電圧である。なお、焼き付きが発生しないように、サブフレーム B 0 の第 2 データに対応する表示期間 T n b 0 は、第 1 データに対応する表示期間 T b 0 と等しい。

【 0 0 4 0 】

サブフレーム B 0 の第 2 データが論理値「 1 」である場合、図 3 (i) に示すように、液晶表示素子 2 4 の液晶 L C に印加される電圧は、画素電極 P E の印加電圧 0 V と共通電極電圧 V C (= d) との差電圧である、 $-V D D$ より負方向に大きな電圧 V 1 n b 0 (= $-d$) となる。一方、サブフレーム B 0 の第 2 データが論理値「 0 」である場合、図 3 (j) に示すように、液晶表示素子 2 4 の液晶 L C に印加される電圧は、画素電極 P E の印加電圧 V D D と共通電極電圧 V C (= d) との差電圧である、負の小さな電圧 V 0 n b 0 (= $V D D - d$) となる。

30

【 0 0 4 1 】

ここで、 $c = -V t t$ 、 $d = V s a t (= V D D + V t t)$ としたとき、図 3 (i) に示す同じ画素 1 2 A のサブフレーム B 0 内の液晶層印加電圧 V 1 b 0 (= $V D D - c = V D D + V t t$) と液晶層印加電圧 V 1 n b 0 (= $0 - d = - (V D D + V t t)$) とは、液晶 L C に対する電圧印加方向が互いに逆となるが絶対値が同じ ($V D D + V t t$) であるので、画素 1 2 A はどちらの表示期間 T b 0 , T n b 0 でも白を表示する。

40

【 0 0 4 2 】

一方、図 3 (j) に示す同じ画素 1 2 A のサブフレーム B 0 内の液晶層印加電圧 V 0 b 0 (= $0 - c = +V t t$) と液晶層印加電圧 V 0 n b 0 (= $V D D - d = -V t t$) とは、液晶 L C に対する電圧印加方向が互いに逆となるが絶対値が同じ V t t であるので、画素 1 2 A はどちらの表示期間 T b 0 , T n b 0 でも黒を表示する。また、液晶 L C に対する電圧印加方向がサブフレーム B 0 内の表示期間 T b 0 , T n b 0 で反転するので、液晶表示素子 2 4 は交流駆動されることになる。

【 0 0 4 3 】

50

続いて、図 3 (a) に示したサブフレーム B 1 , B 2 , B 3 , . . . の順で、図 3 (b) ~ 図 3 (j) に示すようなサブフレーム B 1 , B 2 , B 3 , . . . の各画素行単位の書き込み動作と全画素同時読み出し動作をサブフレーム B 0 と同様に、各サブフレーム B 1 , B 2 , B 3 , . . . の表示を行う。サブフレーム B 1 , B 2 , B 3 , . . . の書き込みは、先のサブフレーム B 0 , B 1 , B 2 , . . . の第 2 データに対応する表示期間 T_{nb0} , T_{nb1} , T_{nb2} , . . . 内で行われる。図 3 (b) ~ 図 3 (j) においては、サブフレーム B 1 , B 2 , B 3 , . . . の第 1 及び第 2 データの論理値の極性が、サブフレーム B 0 の第 1 及び第 2 データの論理値の極性と同様の場合を示すが、特にこれに限定されない。

【 0 0 4 4 】

10

ここで、サブフレーム B 1 , B 2 , B 3 , . . . 毎に、サブフレームデータとして互いに逆論理値の第 1 及び第 2 データが連続して伝送され、画素 1 2 A の書き込み動作及び読み出し動作を行うことにより、サブフレーム B 1 , B 2 , B 3 , . . . のそれぞれにおいて 2 つの表示期間 T_{b0} , T_{nb0} , T_{b1} , T_{nb1} , T_{b2} , T_{nb2} , T_{b3} , T_{nb3} で同じ階調の表示を行うと共に、液晶表示素子 2 4 を交流駆動できるため、液晶表示素子 2 4 の焼き付きを防止することができる。

【 0 0 4 5 】

また、サブフレーム B 0 , B 1 , B 2 , B 3 の書き込み時間はそれぞれ同じである。これに対し、サブフレーム B 0 , B 1 , B 2 , B 3 毎の表示期間 ($T_{b0} + T_{nb0}$) , ($T_{b1} + T_{nb1}$) , ($T_{b2} + T_{nb2}$) , ($T_{b3} + T_{nb3}$) は、

20

$$(T_{B0}+T_{nB0}) : (T_{B1}+T_{nB1}) : (T_{B2}+T_{nB2}) : (T_{B3}+T_{nB3}) = 1 : 2 : 4 : 8$$

となっており、各サブフレーム B 0 , B 1 , B 2 , B 3 のサブフレームデータの値を変えることで、4 ビットの P W M 方式での階調表現が可能となっている。すなわち、1 フレーム期間内の 4 つのサブフレーム B 0 , B 1 , B 2 , B 3 の組み合わせによって所望の階調表示を行うことができる。

【 0 0 4 6 】

このように、本発明の実施の形態の画素 1 2 A によれば、3 段のシフトレジスタ 2 1 ~ 2 3 を用いてサブフレーム B 0 , B 1 , B 2 , B 3 内において逆論理値の第 1 及び第 2 データを転送して階調表示を行うことができるので、2 段のシフトレジスタを用いてサブフレーム単位でサブフレームデータを反転させる場合と比較してデータ転送回数を低減することができ、消費電力を低減することができる。

30

【 0 0 4 7 】

更に、本発明の実施の形態の画素 1 2 A によれば、インバータ I N V 1 ~ I N V 3 をそれぞれ互いのドレイン同士、ゲート同士が接続された 1 個の p M O S トランジスタと 1 個の n M O S トランジスタとからなる C M O S インバータで構成できるので、全部で 9 個のトランジスタで構成することができ、従来のデジタル駆動方式の液晶表示装置の画素のトランジスタ数 1 0 個に比べてトランジスタ数を削減することができる。このため、従来よりも画素ピッチを縮小することができるので、画素の微細化を実現でき、微細画素による高精細化に対応することができる。

【 0 0 4 8 】

40

更に、本発明の実施の形態の画素 1 2 A によれば、シフトレジスタで記憶素子を構成しているので安定な動作が期待できる。また、液晶表示素子 2 4 の画素電極 P E に対して第 2 インバータ I N V 1 が出力するデータを印加するようにしているので、低インピーダンスで液晶表示素子 2 4 を駆動できるので、保持容量が不要である。

【 0 0 4 9 】

(比較例)

次に、比較例に係る画素を説明する。比較例に係る画素 1 2 B は、図 6 に示すように、水平走査回路 (図示せず) に接続された列データ線 D 1 ~ D j のうちの任意の 1 本の列データ線 D と、垂直走査回路 (図示せず) に接続された行走査線 G 1 ~ G k のうちの任意の 1 本の行走査線 G との交差部に配置された一画素で、保持部 3 1 、出力部 3 2 及び液晶表

50

示素子 3 3 より構成されている。

【 0 0 5 0 】

保持部 3 1 は、ドレインが列データ線 D に接続され、ゲートが行走査線に接続された第 1 スイッチングトランジスタ T_{r11} と、第 1 スイッチングトランジスタ T_{r11} のソースに入力端子が接続された第 1 インバータ I_{NV11} とからなり、全体として第 1 のシフトレジスタを構成している。

【 0 0 5 1 】

出力部 3 2 は、ドレインが第 1 インバータ I_{NV11} の出力端子に接続され、ゲートが共通信号線 T_{RG} に接続された第 2 スイッチングトランジスタ T_{r12} と、第 2 スイッチングトランジスタ T_{r12} のソースに入力端子が接続された第 2 インバータ I_{NV12} とからなり、全体として第 2 のシフトレジスタを構成している。

10

【 0 0 5 2 】

液晶表示素子 3 3 は、第 2 インバータ I_{NV12} の出力端子に接続された画素電極 P_E と、画素電極 P_E に離間対向して配置された共通電極 C_E と、画素電極 P_E と共通電極 C_E との間の空間に充填封止された液晶 L_C とからなる。なお、ここでは、第 1 スイッチングトランジスタ T_{r11} と第 2 スイッチングトランジスタ T_{r12} とは、一例としていずれも $nMOS$ トランジスタである。

【 0 0 5 3 】

次に、本実施の形態の画素 1 2 B の書き込みと読み出しの動作について、図 7 及び図 8 のタイミングチャートを併せ参照して説明する。

20

【 0 0 5 4 】

まず、書き込み動作について説明する。図 7 (a) は、表示部 1 1 を構成する全画素 1 2 に対する書き込みと読み出しを模式的に示しており、図 7 (a) の斜線部分が書き込みを示している。いま、画素 1 2 B に接続された列データ線 D に対して水平走査回路 1 3 から図 7 (b) 及び図 8 (a) に示すように、サブフレーム B_0 の 1 ビットのサブフレームデータが時刻 T_1 から時刻 T_4 までの期間出力されたものとする。このときには、画素 1 2 A と同じ 1 行の他の画素 1 2 にそれぞれ接続された列データ線にもサブフレーム B_0 の各 1 ビットのサブフレームデータがそれぞれ出力される。なお、図 8 (a) に示す 1 ビットのサブフレームデータは、説明の便宜上、論理値「 1 」としているが、論理値「 0 」のときは時刻 $T_1 \sim T_4$ の期間ローレベルとされる。

30

【 0 0 5 5 】

続いて、上記の時刻 T_1 の直後の時刻 T_2 から上記の時刻 T_4 の直前の時刻 T_3 までの期間、図 7 (c) 及び図 8 (b) に示すように、垂直走査回路 1 4 から行走査線 G を介してハイレベル (V_{DD}) の行選択信号が、画素 1 2 B を含む 1 行の j 個の画素 1 2 に入力されてそれらの画素 1 2 が選択される。この画素選択状態で画素 1 2 B 内の第 1 スイッチングトランジスタ T_{r11} はオンとされ、この時列データ線 D を介して供給されている図 7 (b) 及び図 8 (a) に示す 1 ビットのサブフレームデータをサンプリングして第 1 インバータ I_{NV11} へ供給する。

【 0 0 5 6 】

第 1 インバータ I_{NV11} は、入力されたサブフレームデータと逆論理値のデータを出力する。ここで、図 8 (c) に示すように共通信号線 T_{RG} には時刻 T_1 から後述する読み出し開始時刻 T_5 までの期間はトリガパルスは入力されず共通信号線 T_{RG} はローレベルとなっているので、第 2 スイッチングトランジスタ T_{r12} はオフ状態とされている。このため、時刻 T_3 で図 8 (b) に示すように行選択信号がローレベルとなり、画素 1 2 B を含む 1 行の j 個の画素 1 2 が非選択状態となっても、第 1 インバータ I_{NV11} は画素選択時に第 1 スイッチングトランジスタ T_{r11} によりサンプリングされたサブフレームデータを保持している。

40

【 0 0 5 7 】

以下、同様にして、表示部 1 1 を構成する全画素 1 2 (これらは図 6 の構成と同じ構成である) に対してサブフレーム B_0 の対応するサブフレームデータが書き込まれ、各画素

50

12内の第1インバータINV11にサブフレームデータが保持される。

【0058】

次に、読み出し動作について説明する。全画素12へのサブフレームデータの書き込み終了後の図8(c)に示す時刻T5から時刻T6までの期間、また図7(d)に模式的に示すように共通信号線TRGを介してハイレベルのトリガパルスが供給され、画素12Aを含む全画素12の第2スイッチングトランジスタTr12がオンとされる。これにより、画素12B内の第1インバータINV11に保持されていた入力サブフレームデータと逆論理値のサブフレームデータが、第2スイッチングトランジスタTr12を通して読み出されて第2インバータINV12に印加される。

【0059】

第2インバータINV12は、入力された逆論理値のサブフレームデータを反転して、列データ線Dのサブフレームデータと同じ論理値としたサブフレームデータを保持すると共に液晶表示素子33の画素電極PEに印加する。

【0060】

液晶表示素子33の画素電極PEの電位は、列データ線Dを介して供給されるサブフレームB0のサブフレームデータが論理値「1」であるときは図7(e)に示すように正の電圧VDDであり、論理値「0」であるときは図7(f)に示すように0Vである。

【0061】

一方、液晶表示素子33は、共通電極CEにサブフレーム期間毎に反転する共通電極電圧VCが印加される。この共通電極電圧VCは、図7(g)に示すように、サブフレームB0の表示期間Tb0はローレベルの電圧cである。この電圧cは、0V未満のマイナスの電圧であり、例えば液晶LCの閾値電圧をVtt(>0)としたとき、-Vttである。

【0062】

液晶表示素子33は、液晶LCにかかる画素電極PEの電位と共通電極CEの共通電極電圧VCとの電位差の絶対値に応じた階調で表示を行う。ここで、液晶表示素子24の液晶LCに印加される電圧は、サブフレームB0のサブフレームデータが論理値「1」であるときは図7(h)に示す正の大きな電圧V1b0(=VDD-c)となり、論理値「0」であるときは図7(i)に示す正の小さな電圧V0b0(=0-c)となる。従って、サブフレームB0ではサブフレームデータが論理値「1」である画素12Bは白を表示し、サブフレームデータが論理値「0」である画素12Bは黒を表示する。

【0063】

サブフレームB0の書き込みと読み出し(表示)が終了すると、続く1サブフレーム期間では、図7(a)に模式的に示すように、サブフレームnB0の書き込みと読み出し(表示)とが順次に行われる。サブフレームnB0の書き込みは、図7(d)及び図8(c)に示す共通信号線TRGのトリガパルスがハイレベルからローレベルに変わった直後に開始される。サブフレームnB0の書き込みは、先に書き込まれたサブフレームB0の表示期間b0内で行われる。

【0064】

このサブフレームnB0の各画素に書き込まれるサブフレームデータは、直前のサブフレームB0の同じ画素に書き込まれたサブフレームデータとは逆論理値の反転データである。すなわち、画素12Bに書き込まれたサブフレームB0のサブフレームデータが論理値「1」であるときは、同じ画素12Bに書き込まれるサブフレームnB0のサブフレームデータは論理値「0」である。また、画素12Bに書き込まれたサブフレームB0のサブフレームデータが論理値「0」であるときは、同じ画素12Bに書き込まれるサブフレームnB0のサブフレームデータは論理値「1」である。

【0065】

画素12BのサブフレームnB0の書き込み動作は、サブフレームB0の書き込み動作と同様であり、表示部11を構成する全画素12Bに対してサブフレームnB0の対応するサブフレームデータが書き込まれ、各画素12B内の第1インバータINV11にサブ

10

20

30

40

50

フレーム $nB0$ のサブフレームデータが保持される。図 7 (a) の $nB0$ における斜線部分が書き込みを示している。

【 0 0 6 6 】

続いて、画素 1 2 B の読み出し動作について説明する。全画素 1 2 へのサブフレームデータの書き込み終了後に、図 7 (d) に模式的に示すように共通信号線 TRG を介してハイレベルのトリガパルスが供給され、画素 1 2 B を含む全画素 1 2 の第 2 スイッチングトランジスタ $Tr12$ がオンとされる。これにより、画素 1 2 B 内の第 1 インバータ $INV11$ に保持されていたサブフレーム $nB0$ のサブフレームデータと逆論理値のサブフレームデータが、第 2 スイッチングトランジスタ $Tr12$ を通して読み出されて第 2 インバータ $INV12$ に印加される。

10

【 0 0 6 7 】

第 2 インバータ $INV12$ は、入力された逆論理値のサブフレームデータを反転して、列データ線 D のサブフレーム $nB0$ のサブフレームデータと同じ論理値としたサブフレームデータを保持すると共に液晶表示素子 3 3 の画素電極 PE に印加する。

【 0 0 6 8 】

液晶表示素子 3 3 の画素電極 PE の電位は、列データ線 D を介して供給されるサブフレーム $nB0$ のサブフレームデータが論理値「 0 」であるときは図 7 (e) に示すように 0 V であり、論理値「 1 」であるときは図 7 (f) に示すように正の電圧 VDD である。

【 0 0 6 9 】

一方、液晶表示素子 3 3 は、共通電極 CE にサブフレーム期間毎に反転する共通電極電圧 VC が印加される。この共通電極電圧 VC は、図 7 (g) に示すように、サブフレーム $nB0$ の表示期間 $Tnb0$ はハイレベルの電圧 d である。この電圧 d は、VDD より大きな所定電圧であり、例えば液晶 LC の飽和電圧 $Vsat (>0)$ である。この飽和電圧 $Vsat$ は前記閾値電圧 Vtt よりも規定電圧 (例えば VDD) 高い電圧である。なお、サブフレーム $nB0$ の表示期間 $Tnb0$ は、サブフレームの B0 の表示期間 $Tb0$ と等しい。

20

【 0 0 7 0 】

液晶表示素子 3 3 の液晶 LC に印加される電圧は、論理値「 1 」のサブフレーム B0 のサブフレームデータが印加された画素 1 2 B では、次のサブフレーム $nB0$ のサブフレームデータは論理値「 0 」であるので、画素電極 PE の印加電圧 0 V と共通電極電圧 VC (= d) との差電圧である、 $-VDD$ より負方向に大きな図 7 (h) に示す電圧 $V1nb0$ (= - d) となる。また、液晶表示素子 3 3 の液晶 LC に印加される電圧は、論理値「 0 」のサブフレーム B0 のサブフレームデータが印加された画素 1 2 B では、次のサブフレーム $nB0$ のサブフレームデータは論理値「 1 」であるので、画素電極 PE の印加電圧 VDD と共通電極電圧 VC (= d) との差電圧である、図 7 (i) に示す負の小さな電圧 $V0nb0$ (= VDD - d) となる。

30

【 0 0 7 1 】

ここで、 $c = -Vtt$ 、 $d = Vsat (= VDD + Vtt)$ としたとき、図 7 (h) に示す同じ画素 1 2 A のサブフレーム B0 の液晶層印加電圧 $V1b0$ (= VDD - c = VDD + Vtt) とサブフレーム $nB0$ の液晶層印加電圧 $V1nb0$ (= 0 - d = - (VDD + Vtt)) とは、液晶 LC に対する電圧印加方向が互いに逆となるが絶対値が同じ (VDD + Vtt) であるので、画素 1 2 B はどちらのサブフレームでも白表示を行う。一方、図 7 (i) に示す同じ画素 1 2 B のサブフレーム B0 の液晶層印加電圧 $V0b0$ (= 0 - c = + Vtt) とサブフレーム $nB0$ の液晶層印加電圧 $V0nb0$ (= VDD - d = - Vtt) とは、液晶 LC に対する電圧印加方向が互いに逆となるが絶対値が同じ Vtt であるので、画素 1 2 B はどちらのサブフレームでも黒表示を行う。また、液晶 LC に対する電圧印加方向がサブフレーム B0 とサブフレーム $nB0$ とで反転するので、液晶表示素子 3 3 は交流駆動されることになる。

40

【 0 0 7 2 】

続いて、図 7 (a) に模式的に示すように、画素 1 2 B はサブフレーム B1、 $nB1$ 、

50

B 2、n B 2、B 3、n B 3・・・の順で、上述と同様の図 7 (b) ~ (i) に示すようなサブフレームの各画素行単位の書き込み動作と全画素同時読み出し動作を行い、各サブフレームの表示を行う。ここで、サブフレーム n B 1、n B 2、n B 3 はサブフレーム B 1、B 2、B 3 のサブフレームデータの反転データを伝送するサブフレームである。このように、隣接する 2 つのサブフレーム単位で、互いに逆論理値のサブフレームデータを伝送して画素 1 2 B が書き込み動作及び読み出し動作を行うことにより、隣接する 2 つのサブフレームでは各画素 1 2 B は画素毎に同じ階調の表示を行うと共に、液晶表示素子 3 3 を交流駆動できるため、液晶表示素子 3 3 の焼き付きを防止することができる。

【 0 0 7 3 】

また、サブフレーム B 0、n B 0、B 1、n B 1、B 2、n B 2、B 3、n B 3 の書き込み時間はそれぞれ同じである。これに対し、表示期間に関しては、サブフレーム B 0、n B 0、B 1、n B 1、B 2、n B 2、B 3、n B 3 の各表示期間をそれぞれ T b 0、T n b 0、T b 1、T n b 1、T b 2、T n b 2、T b 3、T n b 3 とすると、例えば

$$(TB0+TnB0):(TB1+TnB1):(TB2+TnB2):(TB3+TnB3)=1:2:4:8$$

となっており、各サブフレームデータ B 0 ~ B 3 (n B 0 ~ n B 3) の各値を変えることで、4 ビットの P W M 方式での階調表現が可能となっている。すなわち、1 フレーム期間内の 8 つのサブフレーム B 0、n B 0、B 1、n B 1、B 2、n B 2、B 3、n B 3 の組み合わせによって所望の階調表示を行う。

【 0 0 7 4 】

このように、比較例に係る画素 1 2 B によれば、第 1 及び第 2 インバータ I N V 1 1 , I N V 1 2 をそれぞれ互いのドレイン同士、ゲート同士が接続された 1 個の p M O S トランジスタと 1 個の n M O S トランジスタとからなる C M O S インバータで構成できるので、全部で 6 個のトランジスタで構成することができ、従来のデジタル駆動方式の液晶表示装置の画素のトランジスタ数 1 0 個に比べてトランジスタ数を削減することができる。このため、従来よりも画素ピッチを縮小することができるので、画素の微細化を実現でき、微細画素による高精細化に対応することができる。

【 0 0 7 5 】

また、比較例に係る画素 1 2 B によれば、シフトレジスタで記憶素子を構成しているので安定な動作が期待できる。また、液晶表示素子 3 3 の画素電極 P E に対して第 2 インバータ I N V 1 2 が出力するデータを印加するようにしているので、低インピーダンスで液晶表示素子 3 3 を駆動できるので、保持容量が不要である。

【 0 0 7 6 】

ここで、比較例に係る画素 1 2 B を用いた液晶表示装置では、サブフレーム B 0 に対してサブフレーム n B 0、サブフレーム B 1 に対してサブフレーム n B 1、・・・と互いに逆論理値のサブフレームデータについて 2 回ずつ転送する必要があった。このため、データ転送回数が多くなり、消費電力が増大する。これに対して、本発明の実施の形態に係る液晶表示装置及びその駆動方法によれば、図 2 に示すように 3 段のシフトレジスタ 2 1 ~ 2 3 を有する画素 1 2 A を用いることにより、図 3 に示すようにサブフレーム B 0 , B 1 , B 3 のそれぞれにおいて、互いに逆論理値の第 1 及び第 2 データを 1 回 (一括) で転送し、階調表示することが可能となる。したがって、比較例に係る画素 1 2 B を用いた液晶表示装置と比較してデータ転送回数を半分にでき、消費電流を低減することが可能となる。

【 0 0 7 7 】

(変形例)

本発明の実施の形態の変形例として、液晶表示装置の画素の構成が異なる一例を説明する。本発明の実施の形態の変形例に係る画素 1 2 C は、図 9 に示すように、第 1 保持部 2 1、第 2 保持部 2 2 及び出力部 2 3 のそれぞれが、前段に第 1 ~ 第 3 トランスファゲート 4 1 , 4 2 , 4 3 を有する点が、図 2 に示した画素 1 2 A と異なる。

【 0 0 7 8 】

図 9 に示した第 1 保持部 2 1 は、第 1 トランスファゲート 4 1 と、第 1 トランスファゲ

10

20

30

40

50

ート41の出力端子に入力端子が接続された第1インバータINV1とを有し、全体として第1シフトレジスタを構成している。第1トランスファゲート41は、互いにドレイン同士、及びソース同士が接続された1個のnMOSトランジスタNTr1と1個のpMOSトランジスタPTr1とからなる。第1トランスファゲート41の入力端子であるトランジスタNTr1及びPTr1の各ドレインは列データ線Dに接続されている。第1トランスファゲート41の出力端子である各ソースは第1インバータINV1の入力端子に接続されている。また、第1トランスファゲート41の制御端子であるnMOSトランジスタNTr1のゲートとpMOSトランジスタPTr1のゲートとは、2本の行走査線GA, NGAにそれぞれ接続されている。行走査線GA, NGAは、各行の複数の画素単位に接続され、互いに逆論理値の行選択信号が垂直走査回路（図示せず）から供給される。

10

【0079】

第2保持部22は、第2トランスファゲート42と、第2トランスファゲート42の出力端子に入力端子が接続された第2インバータINV2とを有し、全体として第2シフトレジスタを構成している。第2トランスファゲート42は、互いにドレイン同士、及びソース同士が接続された1個のnMOSトランジスタNTr2と1個のpMOSトランジスタPTr2とからなる。第2トランスファゲート42の入力端子であるトランジスタNTr2及びPTr2の各ドレインは第1インバータINV1の出力端子に接続されている。第2トランスファゲート42の出力端子である各ソースは第2インバータINV2の入力端子に接続されている。また、第2トランスファゲート42の制御端子であるnMOSトランジスタNTr2のゲートとpMOSトランジスタPTr2のゲートとは、2本の行走査線GB, NGBにそれぞれ接続されている。行走査線GB, NGBは、各行の複数の画素単位に接続され、互いに逆論理値の行選択信号が垂直走査回路（図示せず）から供給される。

20

【0080】

出力部23は、第3トランスファゲート43と、第3トランスファゲート43の出力端子に入力端子が接続された第3インバータINV3とを有し、全体として第3シフトレジスタを構成している。第3トランスファゲート43は、互いにドレイン同士、及びソース同士が接続された1個のnMOSトランジスタNTr3と1個のpMOSトランジスタPTr3とからなり、第3トランスファゲート43の入力端子であるトランジスタNTr3及びPTr3の各ドレインは第2インバータINV2の出力端子に接続され、第3トランスファゲート43の出力端子である各ソースは第3インバータINV3の入力端子に接続されている。また、第3トランスファゲート43の制御端子であるnMOSトランジスタNTr3のゲートとpMOSトランジスタPTr3のゲートは第1共通信号線TRGと第2共通信号線NTRGにそれぞれ接続されている。第1共通信号線TRG及び第2共通信号線NTRGとは、表示部11を構成する全画素12に共通に接続され、互いに逆論理値のトリガパルスがトリガパルス発生回路（図示せず）から供給される。

30

【0081】

本発明の実施の形態の変形例に係る画素12Cの書き込み動作は、行走査線GA, NGA及び行走査線GB, NGBを介して供給される互いに逆論理値の行選択信号により第1トランスファゲート41及び第2トランスファゲート42をオンする以外は、図3～図5に示した画素12Aの書き込み動作と同様である。また、全画素書き込み終了後の画素12Cの読み出し時動作も、第1共通信号線TRG及び第2共通信号線NTRGを介して供給される互いに逆論理値のトリガパルスにより第3トランスファゲート43をオンし、行走査線GB, NGBを介して供給される互いに逆論理値の行選択信号により第2トランスファゲート42をオンする以外は、図3に示した画素12Aの読み出し動作と同様である。

40

【0082】

本発明の実施の形態の変形例に係る画素12Cは、画素12Aがスイッチング手段を1個のnMOSトランジスタで構成したのに比べて、2個のトランジスタからなるトランスファゲートの構成としたため、画素を構成するトランジスタ数が9個から12個と若干増

50

えるが、比較例に係る画素 1 2 B を用いた液晶表示装置と比較してデータ転送回数を半分にでき、消費電流を低減することが可能となる。

【 0 0 8 3 】

また、本発明の実施の形態の変形例に係る画素 1 2 C によれば、スイッチング手段が 2 個のトランジスタからなるトランスファゲートとしているので、スイッチング手段を通して第 1 ~ 第 3 インバータ I N V 1 ~ 3 に入力される電圧（サブフレームデータ）を V D D まで高くすることができ、動作の安定が見込まれるという効果が得られる。

【 0 0 8 4 】

（その他の実施の形態）

上記のように、本発明は実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

10

【 0 0 8 5 】

例えば、図 2 に示した画素 1 2 A 内の第 1 ~ 第 3 スwitchングトランジスタ T r 1 ~ T r 3 を p M O S トランジスタで構成することもできる。ただし、この場合は列データ線 D のデータや行走査線 G の行選択信号やトリガパルスの極性を実施の形態の場合と反転する必要がある。

【 0 0 8 6 】

また、1 フレーム期間内のサブフレーム数やサブフレーム間の時間関係は図 3 と共に説明した実施の形態のものに限定されるものではなく、システムに応じて適宜変更可能であることは勿論である。

20

【 0 0 8 7 】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 符号の説明 】

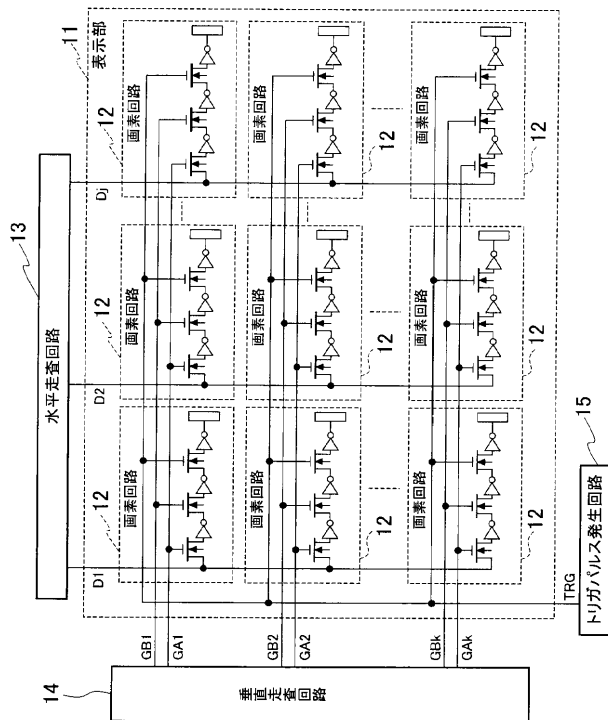
【 0 0 8 8 】

- 1 1 ... 表示部
- 1 2 , 1 2 A , 1 2 B , 1 2 C ... 画素（画素回路）
- 1 3 ... 水平走査回路
- 1 4 ... 垂直走査回路
- 1 5 ... トリガパルス発生回路
- 2 1 ... 第 1 シフトレジスタ（第 1 保持部）
- 2 2 ... 第 2 シフトレジスタ（第 2 保持部）
- 2 3 ... 第 3 シフトレジスタ（出力部）
- 2 4 , 3 3 ... 液晶表示素子（画素部）
- 3 1 ... シフトレジスタ（保持部）
- 3 2 ... シフトレジスタ（出力部）
- 4 1 ... 第 1 トランスファゲート
- 4 2 ... 第 2 トランスファゲート
- 4 3 ... 第 3 トランスファゲート

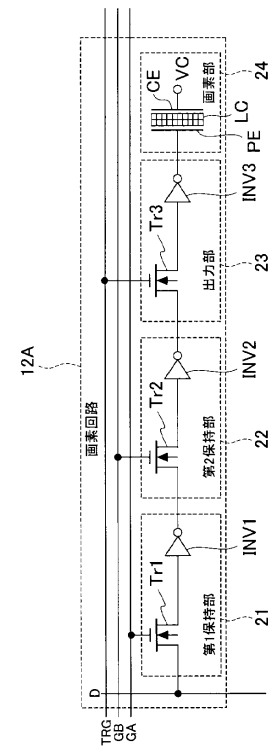
30

40

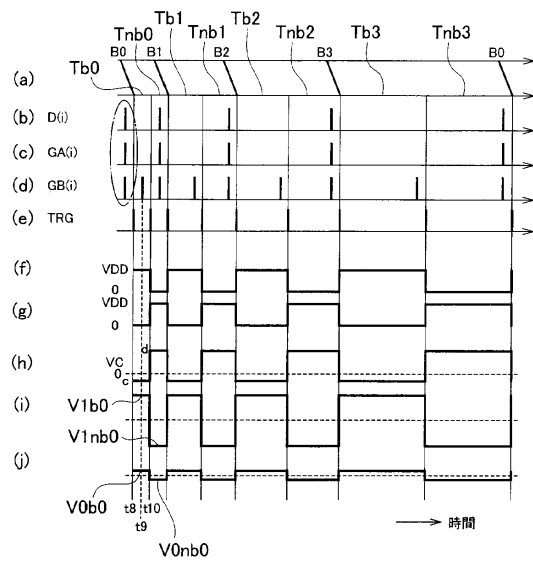
【図 1】



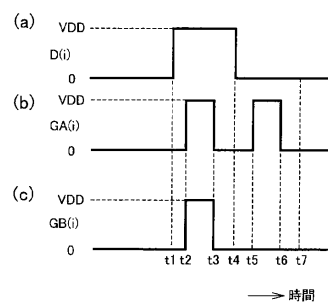
【図 2】



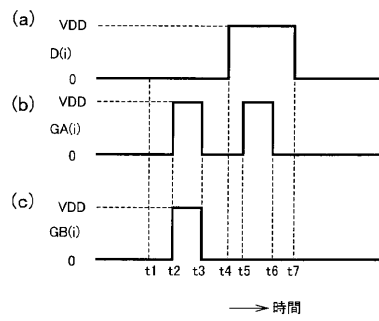
【図 3】



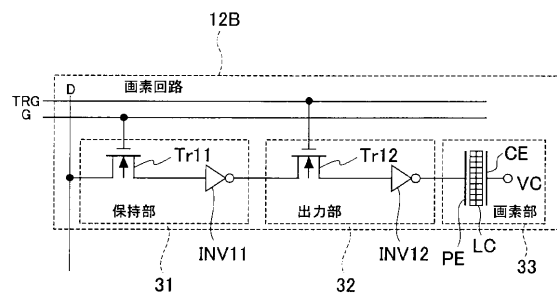
【図 4】



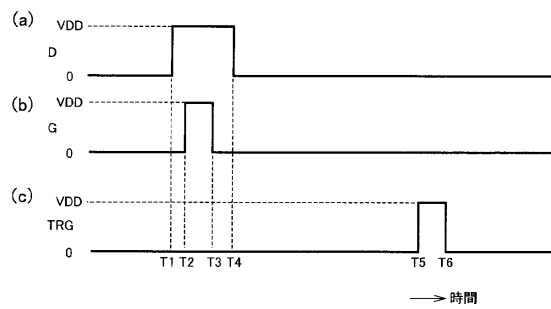
【図 5】



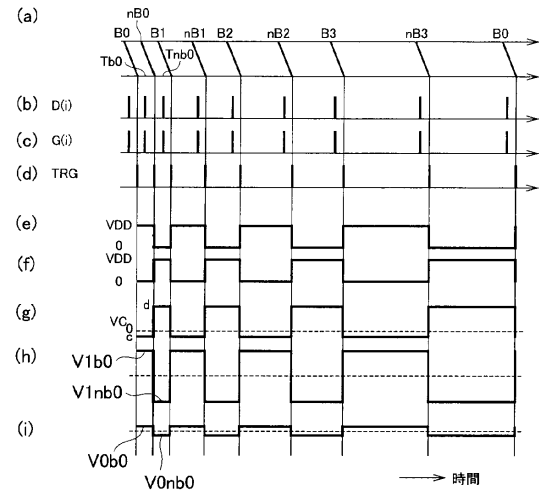
【図 6】



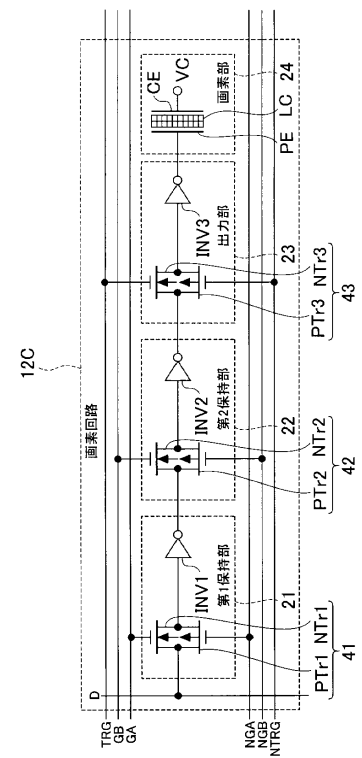
【図 8】



【図 7】



【図 9】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 0 5

F ターム(参考) 5C080 AA10 BB05 DD26 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2013200466A	公开(公告)日	2013-10-03
申请号	JP2012069153	申请日	2012-03-26
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	樋口 潤		
发明人	樋口 潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.624.B G09G3/20.641.E G09G3/20.641.A G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZA19 2H193/ZB50 2H193/ZD25 2H193/ZF21 2H193/ZF31 5C006/AA14 5C006/AA15 5C006/BB16 5C006/BC06 5C006/BC12 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	三好秀 高桥俊		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：提供一种能够降低数据传输频率并降低数字驱动系统功耗的液晶显示器。解决方案：每个像素12包括：第一移位寄存器21，相对于构成一帧的每个子帧，顺序地反转并输出第一和第二数据，它们通过列数据线D连续提供并且是相互反逻辑的值，根据通过第一行扫描线GA提供的第一行选择信号；第二移位寄存器22，根据通过第二行扫描线GB提供的第二行选择信号，顺序地反转并输出从第一移位寄存器21输出的第一和第二数据；第三移位寄存器23，根据通过公共信号线TRG提供的触发脉冲，顺序地反转并输出从第二移位寄存器22输出的第一和第二数据；液晶显示元件24根据从第三移位寄存器23输出的第一和第二数据进行灰度显示。

