

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-64880

(P2011-64880A)

(43) 公開日 平成23年3月31日(2011.3.31)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H088
G02F 1/13 (2006.01)	G02F 1/13 101	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 670Q	5C080
G09F 9/00 (2006.01)	G09G 3/20 641C	5C094

審査請求 未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2009-214462 (P2009-214462)
 (22) 出願日 平成21年9月16日 (2009.9.16)

(71) 出願人 508375398
 ビデオコン グローバル リミテッド
 Videocon Global Limited
 ブリティッシュ ヴァージン アイランド、
 トートラ、ロード タウン、インターナシ
 ョナル トラスト ビルディング、ピー
 オー、ボックス 659
 International Trust
 Building, P. O. Box
 659, Road Town, Ta
 rtola, British Virg
 in Island

(74) 代理人 100133226
 弁理士 竹内 陽一

最終頁に続く

(54) 【発明の名称】 低コスト・高生産性を実現する液晶パネル

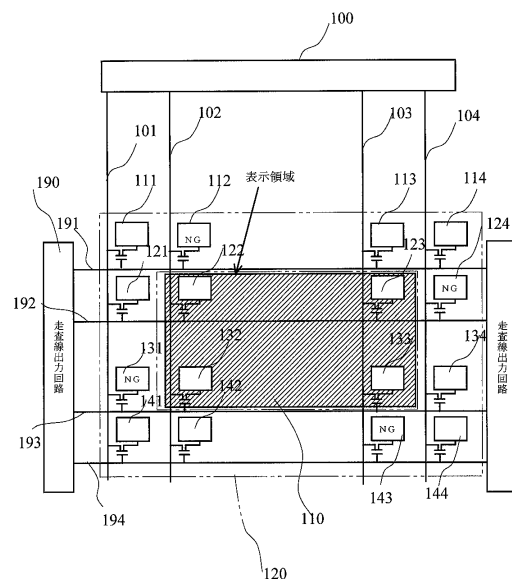
(57) 【要約】

【課題】 NMOSプロセスで作成された基板の場合、誤判定または検査に要する測定時間の増大を回避するために、表示領域近傍にダミー画素領域を設けその中に不良ダミー画素を配置することにより、基板毎に自己検査機能回路 (BISAT) の検査条件の最適化をし得るアレイ基板の提供を目的とする。

【解決手段】

複数の信号線の一方の端に、検査用基準画素と信号線セレクターと走査線セレクターと、比較信号線と、センスアンプとEOR比較器と、OR出力部と、出力ライン部とから構成される自己検査回路 (BISAT) を有効に活用するために、表示領域近傍にダミー画素領域を設けて、該自己検査回路の測定条件を定めるために、前記ダミー画素領域に不良画素を設置し、該不良画素を前記自己検査回路 (BISAT) で検査し、正常に前記不良画素を不良と判定されることを確認して、基板ごとに最適な測定条件を定める。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁基板上に画素電極、前記画素電極に個別に接続される画素スイッチング素子、前記画素スイッチング素子を介して画素電極を駆動する、格子状に配設された複数の走査線及び信号線を有するアレイ基板において、

第 1 自己検査回路部と、表示領域部と、前記表示領域部近傍に設けられたダミー画素領域部と、を備え、

前記第 1 自己検査回路部は、

複数の信号線の一方の端に信号線毎に検査用の検査用基準画素と、

複数の信号線から検査対象の画素に接続されている信号線を選択するための信号線セレクターと、

複数の走査線から検査対象の画素のゲートに接続されている走査線を選択するための走査線セレクターと、

検査の基準とする期待値を送るための比較信号線と、

前記検査用基準画素からのデータと信号線セレクターにより選択された信号線に接続された画素からのデータを検出・増幅するセンス・アンプと、

前記比較信号線からの信号と前記センス・アンプの出力との排他的論理和をとる E O R 比較器と、

前記 E O R 比較器の出力と前記信号線セレクターとの論理和をとる O R 出力部と、

すべての前記 O R 出力部の出力を接続することによりワイヤード・オアを形成する出力ライン部と、を具備し、

前記ダミー画素領域部は、前記表示画素領域の画素が接続している信号線および走査線に加えて、前記表示画素領域内の通常の画素には接続していないダミー走査線および / またはダミー信号線と、を有し、

前記ダミー画素領域部に配置されるダミー画素に対応する信号線は、前記第 1 自己検査回路部を備え、

前記ダミー画素領域部には、正常に動作しないダミー画素を配置し、

前記正常に動作しないダミー画素を前記第 1 自己検査回路部で検査し、正常に動作しない不良画素であることを確認することにより、正常に動作しない不良ダミー画素の検査条件に基づいて、前記第 1 自己検査回路部の基板毎に異なる前記センス・アンプの最適な増幅条件を確認し得ることを特徴とするアレイ基板。

【請求項 2】

絶縁基板上に画素電極、前記画素電極に個別に接続される画素スイッチング素子、前記画素スイッチング素子を介して画素電極を駆動する、格子状に配設された複数の走査線及び信号線を有するアレイ基板において、

第 1 自己検査回路部と、表示領域部と、前記表示領域部近傍に設けられたダミー画素領域部、を備え、

前記第 1 自己検査回路部は、

複数の信号線の一方の端に信号線毎に検査用の検査用基準画素と、

複数の信号線から検査対象の画素に接続されている信号線を選択するための信号線セレクターと、

複数の走査線から検査対象の画素のゲートに接続されている走査線を選択するための走査線セレクターと、

検査の基準とする期待値を送るための比較信号線と、

前記検査用基準画素からのデータと信号線セレクターにより選択された信号線に接続された画素からのデータを検出・増幅するセンス・アンプと、

前記比較信号線からの信号と前記センス・アンプの出力との排他的論理和をとる E O R 比較器と、

前記 E O R 比較器の出力と前記信号線セレクターとの論理和をとる O R 出力部と、

すべての前記 O R 出力部の出力を接続することによりワイヤード・オアを形成する出力

10

20

30

40

50

ライン部と、を具備し、

前記ダミー画素領域部は、前記表示画素領域の画素が接続している信号線および走査線に加えて、前記表示画素領域内の通常の画素には接続していないダミー走査線および/またはダミー信号線と、を有し、

前記ダミー画素領域部内に配置されるダミー画素に対応する信号線は、前記第1自己検査回路部を備え、

前記ダミー画素領域部には、正常に動作しないダミー画素と正常に動作するダミー画素の双方を配置し、

前記正常に動作するダミー画素を前記第1自己検査回路部で検査し、正常に動作する正常画素であることを確認するとともに、前記正常に動作しないダミー画素についても、前記第1自己検査回路部で検査し、正常に動作しない不良画素であることを確認することにより、正常ダミー画素と不良ダミー画素の検査条件に基づいて、前記第1自己検査回路部の基板毎に異なる前記センス・アンプの最適な増幅条件を確認し得ることを特徴とするアレイ基板。

【請求項3】

絶縁基板上に画素電極、前記画素電極に個別に接続される画素スイッチング素子、前記画素スイッチング素子を介して画素電極を駆動する、格子状に配設された複数の走査線及び信号線を有するアレイ基板において、

第2自己検査回路部と、表示領域部と、前記表示領域部近傍に設けられたダミー画素領域部、を備え、

前記第2自己検査回路部は、

前記複数の信号線の一方の端に信号線毎に検査用の検査用基準画素と、

前記検査用基準画素への書き込みを許可または禁止する検査用の検査用画素入力走査線と、

前記検査用基準画素からの出力を許可または禁止する検査用の検査用画素出力走査線と

、前記検査用基準画素の出力と各信号線に接続された画素内のデータを信号線を通じて比較する比較器と、

前記比較器の出力を保持し、シフトレジスタを形成している保持器と、を具備し、

前記ダミー画素領域部は、前記表示画素領域の画素が接続している信号線および走査線に加えて、前記表示画素領域内の通常の画素には接続していないダミー走査線および/またはダミー信号線と、を有し、

前記ダミー画素領域部内のダミー画素に対応する信号線には、前記第2自己検査回路部を備え、

前記ダミー画素領域部には、正常に動作しないダミー画素を配置し、

前記正常に動作しないダミー画素を前記第2自己検査回路部で検査し、正常に動作しない不良画素であることを確認することにより、正常に動作しない不良ダミー画素の検査条件に基づいて、前記第2自己検査回路部の基板毎に最適な検査条件を確認し得ることを特徴とするアレイ基板。

【請求項4】

絶縁基板上に画素電極、前記画素電極に個別に接続される画素スイッチング素子、前記画素スイッチング素子を介して画素電極を駆動する、格子状に配設された複数の走査線及び信号線を有するアレイ基板において、

第2自己検査回路部と、表示領域部と、前記表示領域部近傍に設けられたダミー画素領域部、を備え、

前記第2自己検査回路部は、

前記複数の信号線の一方の端に信号線毎に検査用の検査用基準画素と、

前記検査用基準画素への書き込みを許可または禁止する検査用の検査用画素入力走査線と、

前記検査用基準画素からの出力を許可または禁止する検査用の検査用画素出力走査線と

10

20

30

40

50

、
前記検査用基準画素の出力と各信号線に接続された画素内のデータを信号線を通じて比較する比較器と、

前記比較器の出力を保持し、シフトレジスタを形成している保持器とを具備し、

前記ダミー画素領域部は、前記表示画素領域の画素が接続している信号線および走査線に加えて、前記表示画素領域内の通常の画素には接続していないダミー走査線および/またはダミー信号線と、を有し、

前記ダミー画素領域部内のダミー画素に対応する信号線には、前記第2自己検査回路部を備え、

前記ダミー画素領域部には、正常に動作しないダミー画素と正常に動作するダミー画素の双方を配置し、

前記正常に動作するダミー画素を前記第2自己検査回路部で検査し、正常に動作する正常画素であることを確認するとともに、前記正常に動作しないダミー画素についても、前記第2自己検査回路部で検査し、正常に動作しない不良画素であることを確認することにより、正常ダミー画素と不良ダミー画素の検査条件に基づいて前記第2自己検査回路部の基板毎に異なる最適な検査条件を確認し得ることを特徴とするアレイ基板。

【請求項5】

請求項1乃至4のいずれかに記載されたアレイ基板を有することを特徴とする液晶パネル。

10

20

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低コストで高生産性を実現し得る液晶パネルに関する。

【背景技術】

【0002】

近年、液晶パネルの検査装置の簡易化を目的に、アレイ基板上に自己検査機能を備えるBISAT (Built In self array test) が開発されている。なお、該BISATの構成については、図2、3、4にその概略を開示している。

このBISATにおいては、DRAM技術を利用して、各信号線に比較画素、センスアンプ、XOR回路からなるコンパレータを備え、該信号線に接続された検査対象となる画素と前記比較画素との間で書き込まれた電圧を比較し、その結果から良否情報を生成し、その後、シフトレジスタにより各信号線の全画素良否情報を出力する。しかしながらこのBISAT構成をNMO

40

50

Sプロセスで製造したアレイ基板に適用する場合、以下の点において問題があった。

【先行技術文献】

【非特許文献】

【0003】

【非特許文献1】超LSIメモリ 培風館 伊藤清男 p93

【発明の概要】

【発明が解決しようとする課題】

【0004】

NMOSプロセスで製造したアレイ基板を前記BISATで検査する場合、センスアンプの共通ソース電圧を下げて電圧差を増幅するが、この降圧速度がゆっくりであれば所望の増幅が可能であるが、欠点としては検査時間の増大が問題となる。また、逆に降圧速度が速やかであれば、検査時間の増大を解消できても比較すべき両者の電圧が降下してしまい、所望の増幅ができないために誤判定する可能性が生じてしまう。

10

【0005】

従って、検査時間と増幅性能の両者を満足させるよう、センスアンプの降圧速度を最適化することが重要となる。

【0006】

さらに、ある基板において降圧速度を最適化しても、特性、寸法、膜厚等の仕上がり状態の異なる別の基板で最適とは限らず、基板毎に降圧条件を最適化することが望ましいが、これまでは増幅性能を素早く確認できる手段がなかった。

20

【0007】

そこで本発明は、製品のダミー画素領域に正常に動作しない不良画素を設け、その不良画素をBISAT方法で検査させることで、センスアンプの増幅が満足できるものか、即ち降圧条件の妥当性を基板ごとに確認できるようにし、その結果、より短い時間での検査方法または誤判定の少ない検査方法を実現するものである。

【課題を解決するための手段】

【0008】

請求項1に記載された発明は、絶縁基板上に画素電極、前記画素電極に個別に接続される画素スイッチング素子、前記画素スイッチング素子を介して画素電極を駆動する、格子状に配設された複数の走査線及び信号線を有するアレイ基板において、

30

第1自己検査回路部と、表示領域部と、前記表示領域部近傍に設けられたダミー画素領域部と、を備え、

前記第1自己検査回路部は、

複数の信号線の一方の端に信号線毎に検査用の検査用基準画素と、

複数の信号線から検査対象の画素に接続されている信号線を選択するための信号線セレクターと、

複数の走査線から検査対象の画素のゲートに接続されている走査線を選択するための走査線セレクターと、

検査の基準とする期待値を送るための比較信号線と、

前記検査用基準画素からのデータと信号線セレクターにより選択された信号線に接続された画素からのデータを検出・増幅するセンス・アンプと、

40

前記比較信号線からの信号と前記センス・アンプの出力との排他的論理和をとるEOR比較器と、

前記EOR比較器の出力と前記信号線セレクターとの論理和をとるOR出力部と、

すべての前記OR出力部の出力を接続することによりワイヤード・オアを形成する出力ライン部と、を具備し、

前記ダミー画素領域部は、前記表示画素領域の画素が接続している信号線および走査線に加えて、前記表示画素領域内の通常の画素には接続していないダミー走査線および/またはダミー信号線と、を有し、

前記ダミー画素領域部内のダミー画素に対応する信号線には、前記第1自己検査回路部

50

を備え、

前記ダミー画素領域部には、正常に動作しないダミー画素を配置し、

前記正常に動作しないダミー画素を前記第1自己検査回路部で検査し、正常に動作しない不良画素であることを確認することにより、正常に動作しない不良ダミー画素の検査条件に基づいて前記第1自己検査回路部の基板毎に異なる前記センス・アンプの最適な増幅条件を確認し得ることを特徴とする。

【0009】

請求項2に記載された発明は、絶縁基板上に画素電極、前記画素電極に個別に接続される画素スイッチング素子、前記画素スイッチング素子を介して画素電極を駆動する、格子状に配設された複数の走査線及び信号線を有するアレイ基板において、

10

第1自己検査回路部と、表示領域部と、前記表示領域部近傍に設けられたダミー画素領域部と、を備え、

前記第1自己検査回路部は、

複数の信号線の一方の端に信号線毎に検査用の検査用基準画素と、

複数の信号線から検査対象の画素に接続されている信号線を選択するための信号線セレクターと、

複数の走査線から検査対象の画素のゲートに接続されている走査線を選択するための走査線セレクターと、

検査の基準とする期待値を送るための比較信号線と、

前記検査用基準画素からのデータと信号線セレクターにより選択された信号線に接続された画素からのデータを検出・増幅するセンス・アンプと、

20

前記比較信号線からの信号と前記センス・アンプの出力との排他的論理和をとるEOR比較器と、

前記EOR比較器の出力と前記信号線セレクターとの論理和をとるOR出力部と、

すべての前記OR出力部の出力を接続することによりワイヤード・オアを形成する出力ライン部と、を具備し、

前記ダミー画素領域部は、前記表示画素領域の画素が接続している信号線および走査線に加えて、前記表示画素領域内の通常の画素には接続していないダミー走査線および/またはダミー信号線と、を有し、

前記ダミー画素領域部内のダミー画素に対応する信号線には、前記第1自己検査回路部を備え、

30

前記ダミー画素領域部には、正常に動作しないダミー画素と正常に動作するダミー画素の双方を配置し、

前記正常に動作するダミー画素を前記第1自己検査回路部で検査し、正常に動作する正常画素であることを確認するとともに、前記正常に動作しないダミー画素についても、前記第1自己検査回路部で検査し、正常に動作しない不良画素であることを確認することにより、前記正常ダミー画素と前記不良ダミー画素の検査条件に基づいて前記第1自己検査回路部の基板毎に異なる前記センス・アンプの最適な増幅条件を確認し得ることを特徴とする。

【0010】

40

請求項3に記載された発明は、絶縁基板上に画素電極、前記画素電極に個別に接続される画素スイッチング素子、前記画素スイッチング素子を介して画素電極を駆動する、格子状に配設された複数の走査線及び信号線を有するアレイ基板において、

第2自己検査回路部と、表示領域部と、前記表示領域部近傍に設けられたダミー画素領域部と、を備え、

前記第2自己検査回路部は、

前記複数の信号線の一方の端に信号線毎に検査用の検査用基準画素と、

前記検査用基準画素への書き込みを許可または禁止する検査用の検査用画素入力走査線と、

前記検査用基準画素からの出力を許可または禁止する検査用の検査用画素出力走査線と

50

、
前記検査用基準画素の出力と各信号線に接続された画素内のデータを信号線を通じて比較する比較器と、

前記比較器の出力を保持し、シフトレジスタを形成している保持器と、を具備し、

前記ダミー画素領域部は、前記表示画素領域の画素が接続している信号線および走査線に加えて、前記表示画素領域内の通常の画素には接続していないダミー走査線および/またはダミー信号線と、を有し、

前記ダミー画素領域部内のダミー画素に対応する信号線には、前記第2自己検査回路部を備え、

前記ダミー画素領域部には、正常に動作しないダミー画素を配置し、

前記正常に動作しないダミー画素を前記第2自己検査回路部で検査し、正常に動作しない不良画素であることを確認することにより、正常に動作しない不良ダミー画素の検査条件に基づいて前記第2自己検査回路部の基板毎に最適な検査条件を確認し得ることを特徴とする。

【0011】

請求項4に記載された発明は、絶縁基板上に画素電極、前記画素電極に個別に接続される画素スイッチング素子、前記画素スイッチング素子を介して画素電極を駆動する、格子状に配設された複数の走査線及び信号線を有するアレイ基板において、

第2自己検査回路部と、表示領域部と、前記表示領域部近傍に設けられたダミー画素領域部と、を備え、

前記第2自己検査回路部は、

前記複数の信号線の一方の端に信号線毎に検査用の検査用基準画素と、

前記検査用基準画素への書き込みを許可または禁止する検査用の検査用画素入力走査線と、

前記検査用基準画素からの出力を許可または禁止する検査用の検査用画素出力走査線と

、
前記検査用基準画素の出力と各信号線に接続された画素内のデータを信号線を通じて比較する比較器と、

前記比較器の出力を保持し、シフトレジスタを形成している保持器と、を具備し、

前記ダミー画素領域部は、前記表示画素領域の画素が接続している信号線および走査線に加えて、前記表示画素領域内の通常の画素には接続していないダミー走査線および/またはダミー信号線と、を有し、

前記ダミー画素領域部内のダミー画素に対応する信号線には、前記第2自己検査回路部を備え、

前記ダミー画素領域部には、正常に動作しないダミー画素と正常に動作するダミー画素の双方を配置し、

前記正常に動作するダミー画素を前記第2自己検査回路部で検査し、正常に動作する正常画素であることを確認するとともに、前記正常に動作しないダミー画素についても、前記第2自己検査回路部で検査し、正常に動作しない不良画素であることを確認することにより、前記正常ダミー画素と前記不良ダミー画素の検査条件に基づいて前記第2自己検査回路部の基板毎に異なる最適な検査条件を確認し得ることを特徴とする。

【0012】

請求項5に記載された発明は、液晶パネルについて、請求項1乃至4のいずれかに記載されたアレイ基板を有することを特徴とする。

【発明の効果】

【0013】

NMOSプロセスで製造されたアレイ基板に対して、簡易な自己検査用の回路(BISAT)を適用する際に、基板ごとに検査条件(検査時間と増幅条件)を最適化することにより、検査時間の短縮と誤判定の最小化が可能となる。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 1 4 】

【図 1】本発明の実施の形態 1 に係るアレイ基板と該検査方法の概要を示す説明図である。

【図 2】本発明の実施の形態 1 に係るアレイ基板の第 1 自己検査回路の概要を示す説明図である。

【図 3】本発明の実施の形態 2 に係るアレイ基板の第 2 自己検査回路の概要を示す説明図である。

【図 4】図 1 に示された本発明の実施の形態に係るアレイ基板の回路図を例示的に示した模式図である

【発明を実施するための形態】

10

【 0 0 1 5 】

(実施の形態 1)

以下、図を参照しつつ、本発明を実施するための実施の形態 1 につき説明する。

本発明を実施するための実施の形態 1 は、ダミー画素領域に不良ダミー画素を設けて、該不良ダミー画素を前記第 1 自己検査回路部（本明細書においては「B i s a t」ともいう）に検査させることにより、前記第 1 自己検査回路部で検査させる際のセンスアンプの増幅が満足できるものか、即ち、降圧条件の妥当性を確認し、より短い時間または誤判定の少ない検査を実現するものである。

【 0 0 1 6 】

図 1 は本発明を実施するための実施の形態 1 に係るアレイ基板と該検査方法の概要を示す説明図である。

20

【 0 0 1 7 】

図 1 において、110 は通常の画像が表示される表示領域であり、100 は前記第 1 自己検査回路部（B i s a t）であり、120 は通常の表示領域 110 の近傍に設けられるダミー画素領域である。また、122, 123, 132, 133 は、通常の表示領域 110 内に設置される画素を示す。101, 102, 103, 104 は信号線であり、各信号線の一方の端には、第 1 自己検査回路部（B i s a t）100 が設置されている。ここで 101 と 104 はダミー信号線であるが、不良ダミー画素を、表示領域 110 内の画素に接続される信号線にのみ設けるような場合（例えば、ダミー画素 111, 121, 131, 141 を設けないような場合）には、ダミー信号線（例えばダミー信号線 101）は必須ではない。

30

また、191, 192, 193, 194 は走査線であり、190 は通常の走査線出力回路である。ここで 191 と 194 は、ダミー走査線であるが、ダミー走査線についてもダミー信号線と同様である。

【 0 0 1 8 】

一方、ダミー画素領域 120 には、ダミー画素 111, 112, 113, 114, 121, 131, 141, 142, 143, 124, 134, 144 がそれぞれの位置に設置されている。ダミー画素のうちには不良の画素が含まれ、112, 124, 131, 143 はダミー領域 120 に設置される不良画素を示す。なお図 1 ではダミー画素領域に設置される不良画素は 4 個であるが、4 個に限定されるわけではなく、少なくとも 1 個設置されればよい。ダミー画素領域 120 のそれぞれのダミー画素は、信号線と走査線出力回路から延在する走査線を有し、該信号線の一方の端には第 1 自己検査回路部（B i s a t）100 が設けられている。

40

【 0 0 1 9 】

NMOS プロセスで製造したアレイ基板を、前記第 1 自己検査回路部（B i s a t）で検査させる際にはセンスアンプの共通ソース電圧を下げて電圧差を増幅するが、この降圧速度がゆっくりであれば所望の増幅が可能であるが欠点としては検査時間の増大が問題となる。

【 0 0 2 0 】

逆に、降圧速度が速やかであれば、検査時間の増大を解消できても比較すべき両者の電

50

圧が低下してしまい、所望の増幅ができないために誤判定する可能性が生じてしまう。

【 0 0 2 1 】

従って、検査時間と増幅性能の両者を満足させるよう、センスアンプの降圧速度を最適化することが重要な課題となる。

【 0 0 2 2 】

さらに、ある基板において降圧速度を最適化しても、特性、寸法、膜厚等の仕上がり状態の異なる別の基板で最適とは限らず、基板毎に降圧条件を最適化することが望ましいが、これまでは増幅性能を素早く確認できる手段がなかった。そこで、ダミー画素領域に予め不良画素と分かっている不良画素 1 1 0 を設けて、基板毎に異なる降圧条件を最適化することが本発明の特徴である。

10

【 0 0 2 3 】

次に、前記第 1 自己検査回路部 (B i s a t) の概略について説明する。図 2 はシフトセレクターを使用した前記第 1 自己検査回路部 (B i s a t) の概略を示す回路図である。

【 0 0 2 4 】

図 2 において、1 1 0 は通常の画像が表示される画素マトリックスである。2 0 0 は第 1 自己検査回路部 (B i s a t) の概略を示している (図 1 では第 1 自己検査回路部 1 0 0 に相当する) 。図 2 においては理解の容易のために、通常の画像の表示領域 1 1 0 は、4 x 4 の画素マトリックスとして図示しているが、実際にはこの数字には限定されない。

20

2 3 1 乃至 2 3 4 は検査用基準画素である。

2 9 0 は画素マトリックス内の信号線を選択する 信号線セレクターである。2 2 8 は画素マトリックス内の走査線を選択する 走査線セレクターである。

【 0 0 2 5 】

2 0 1 は信号線であり、2 0 2 も信号線であり、2 0 3 も信号線であり、2 0 4 も信号線である。2 9 1 は走査線であり、2 9 2 も走査線であり、2 9 3 も走査線であり、2 9 4 も走査線である。2 5 1 乃至 2 5 4 はセンスアンプである。

【 0 0 2 6 】

センスアンプ 2 5 1 は、信号線 2 0 1 を通じて、走査線 2 9 1 乃至 2 9 4 の内から選択された走査線に接続された画素のデータをセンスして増幅する。センスアンプ 2 5 2 乃至 2 5 4 についても、それぞれ同様である。

30

【 0 0 2 7 】

2 6 1 乃至 2 6 4 は E O R (排他的論理和) 比較回路である。2 8 0 は比較信号線である。2 7 1 乃至 2 7 4 は O R (論理和) 出力回路である。2 8 1 は出力ラインであり、O R (論理和) 出力回路の出力が接続されワイアードオア (論理和) を形成している。

【 0 0 2 8 】

本発明は図 2 に示される第 1 自己検査回路部 (B i s a t) 2 0 0 に、図 1 に示されるダミー画素領域 1 2 0 を設け、該ダミー領域内にダミーの不良画素および / またはダミーの正常画素、並びに、ダミー信号線とダミー走査線を設けて、該ダミー不良画素および / またはダミーの正常画素を第 1 自己検査回路部 (B i s a t) 2 0 0 によって検査をすることにより、基板毎に異なるセンスアンプの降圧速度を最適化することが本発明の特徴である。

40

【 0 0 2 9 】

また、図 4 は図 2 に示された第 1 自己検査回路部 (B i s a t) の回路図を例示的に示した模式図である。

図 4 において、2 3 1 は検査用基準画素 (図 2 の 2 3 1 に 対応する検査用基準画素) である。2 5 1 はセンスアンプであり、2 6 1 は E O R (排他的論理和) 比較回路である。2 9 9 は検査対象の画素である。2 8 1 は出力ラインであり、ワイアード・オアを形成している。

【 0 0 3 0 】

50

ただし、図 4 に示した回路は本発明を実現するための例示的な回路であり、同様の機能を果たす回路であれば、他の回路であっても良い。

【 0 0 3 1 】

(実施の形態 2)

以下、図 3 を参照しつつ、本発明を実施するための実施の形態 2 につき説明する。

図 3 は、シフトレジスタを使用した第 2 自己検査回路部 (B i s a t) の概略を示す回路図である。

【 0 0 3 2 】

本発明を実施するための実施の形態 2 は、本発明を実施するための実施の形態 1 における前記第 1 自己検査回路部におけるシフトセレクターを、シフトレジスタにしたものである。3 2 7 は信号線シフトレジスタであり、3 2 8 は走査線シフトレジスタである。

10

【 0 0 3 3 】

尚、3 2 6 は、隣り合う信号線の短絡を検査するショートリング検査回路であり、本発明と直接的な関係はない。

その他は、本発明を実施するための実施の形態 1 と同じであるので説明は省略する

【産業上の利用可能性】

【 0 0 3 4 】

NMOS プロセスで製造したアレイ基板を、基板毎に最適な測定条件により効果的に検査でき、製造コストを低減できる。

20

【符号の説明】

【 0 0 3 5 】

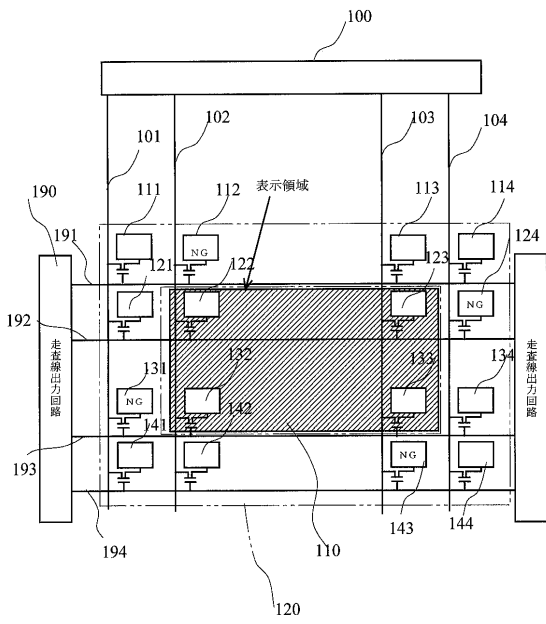
1 0 0	第 1 自己検査回路部 (B i s a t)
1 1 0	通常 of 画像が表示される表示領域
1 2 0	ダミー画素領域
1 0 1	ダミー信号線
1 0 2	信号線
1 0 3	信号線
1 0 4	ダミー信号線
1 1 1	ダミー画素
1 1 2	ダミー不良画素
1 1 3	ダミー画素
1 1 4	ダミー画素
1 2 1	ダミー画素
1 2 2	画素
1 2 3	画素
1 2 4	ダミー不良画素
1 3 1	ダミー不良画素
1 3 2	画素
1 3 3	画素
1 3 4	ダミー画素
1 4 1	ダミー画素
1 4 2	ダミー画素
1 4 3	ダミー不良画素
1 4 4	ダミー画素
1 9 0	走査線出力回路
1 9 1	ダミー走査線
1 9 2	走査線
1 9 3	走査線
1 9 4	ダミー走査線

30

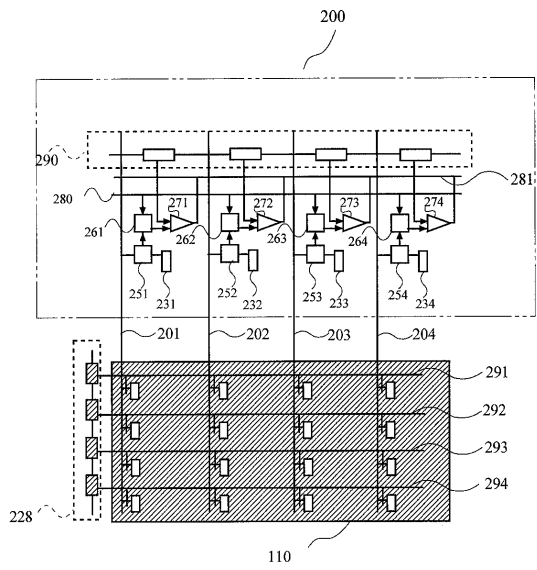
40

50

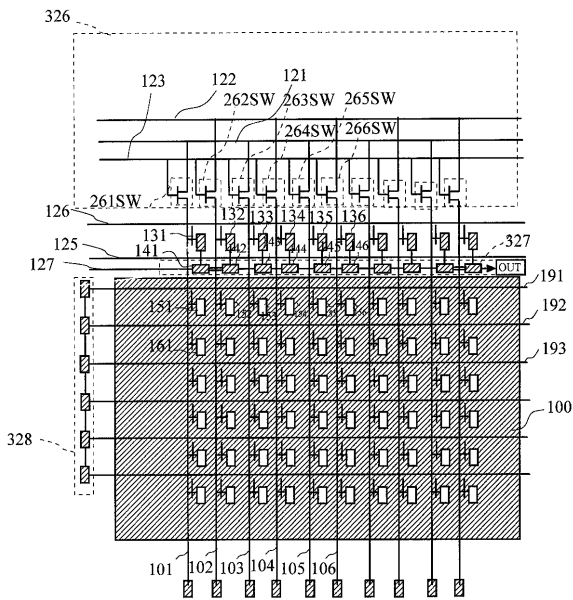
【 図 1 】



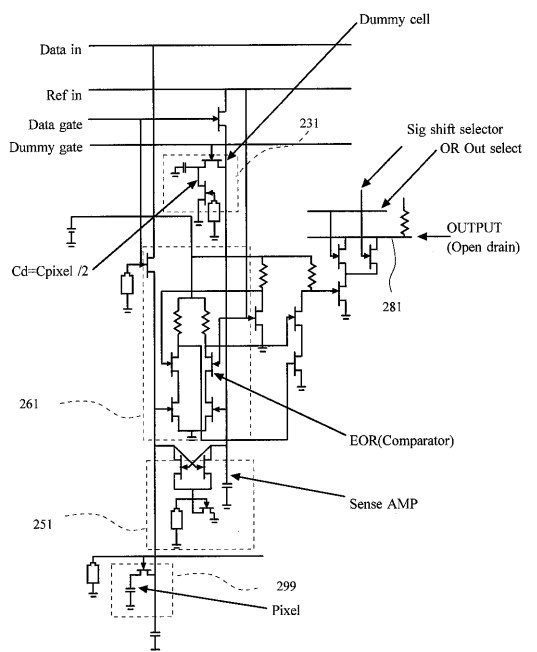
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
G 0 9 F	9/30	(2006.01)	G 0 9 G 3/20 6 8 0 H	5 G 4 3 5
			G 0 9 F 9/00 3 5 2	
			G 0 9 F 9/30 3 3 8	

(72)発明者 鴨志田 健太

神奈川県川崎市高津区 板戸 3 - 2 - 1 ビデオコン・ディスプレイズ・リサーチ株式会社内

(72)発明者 永山 和由

神奈川県川崎市高津区 板戸 3 - 2 - 1 ビデオコン・ディスプレイズ・リサーチ株式会社内

Fターム(参考) 2H088 FA12 FA13 HA02 HA08 MA20
 2H193 ZA04 ZK03 ZK08 ZK14 ZK17 ZK22
 5C006 AA16 BB16 BB27 EB01 EB04 FA51
 5C080 AA10 BB05 DD15 FF11 JJ02 JJ03
 5C094 AA43 AA53 AA55 BA03 BA43 CA19 DB01 EA01 EA03 EA04
 FA04 FB12 FB14 GA10
 5G435 AA17 BB12 CC09 EE12 EE41 HH12 HH13

专利名称(译)	液晶面板实现低成本和高生产率		
公开(公告)号	JP2011064880A	公开(公告)日	2011-03-31
申请号	JP2009214462	申请日	2009-09-16
[标]申请(专利权)人(译)	Videocon的全球限量 维迪奥肯全球有限公司		
申请(专利权)人(译)	Videocon的全球限量		
[标]发明人	鴨志田健太 永山和由		
发明人	鴨志田 健太 永山 和由		
IPC分类号	G09G3/36 G02F1/13 G02F1/133 G09G3/20 G09F9/00 G09F9/30		
FI分类号	G09G3/36 G02F1/13.101 G02F1/133.550 G09G3/20.670.Q G09G3/20.641.C G09G3/20.680.H G09F9/00.352 G09F9/30.338		
F-TERM分类号	2H088/FA12 2H088/FA13 2H088/HA02 2H088/HA08 2H088/MA20 2H193/ZA04 2H193/ZK03 2H193/ZK08 2H193/ZK14 2H193/ZK17 2H193/ZK22 5C006/AA16 5C006/BB16 5C006/BB27 5C006/EB01 5C006/EB04 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD15 5C080/FF11 5C080/JJ02 5C080/JJ03 5C094/AA43 5C094/AA53 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5C094/EA01 5C094/EA03 5C094/EA04 5C094/FA04 5C094/FB12 5C094/FB14 5C094/GA10 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE12 5G435/EE41 5G435/HH12 5G435/HH13		
代理人(译)	竹内洋一		
外部链接	Espacenet		

摘要(译)

中，为了避免在对错误确定或检查所需的测量时间的增加，通过将有缺陷的伪像素由NMOS过程中产生的基板的情况在显示区域在其中设置有伪像素区域附近的本发明的一个目的是提供一种阵列基板，其能够优化每个基板的自检功能电路（BISAT）的检查条件。— 在多条信号线，参考像素和用于检查和扫描线选择器，比较信号线，读出放大器和EOR比较器，或输出单元的信号线选择器构成的一个端部，以及输出线部有效地利用该自测试电路（BISAT），在显示区域设置伪像素区域附近，以确定所述自测试电路的测量条件，缺陷像素被放置在伪像素区域中，缺陷检查在所述自测试电路（BISAT）的像素，确保它被确定为是有缺陷的正常缺陷像素，确定用于每个衬底的最佳测量条件。点域1

