

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-271409

(P2010-271409A)

(43) 公開日 平成22年12月2日(2010.12.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/133 (2006.01)	G02F 1/133 505	2H193
G02F 1/1368 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G02F 1/1368	5C080
G09F 9/00 (2006.01)	G09G 3/20 631V	5G435
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2009-121181 (P2009-121181)
 (22) 出願日 平成21年5月19日 (2009.5.19)

(71) 出願人 302020207
 東芝モバイルディスプレイ株式会社
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

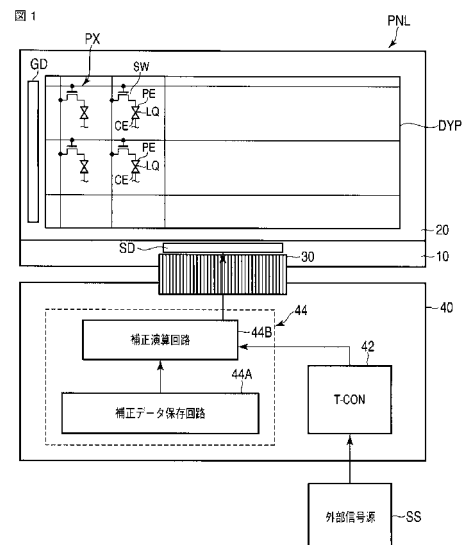
(54) 【発明の名称】 液晶表示装置および液晶表示装置の製造方法

(57) 【要約】

【課題】製造工程における歩留まりを改善させ、表示装置のコスト上昇や生産数量減少を改善する表示装置および表示装置の製造方法を提供する。

【解決手段】マトリクス状に配置された複数の表示画素 P X と、複数の表示画素 P X を駆動する駆動手段 G D、S D と、複数の表示画素 P X 毎の表示特性データを記憶する記憶手段 4 4 A と、表示特性データに基づいて複数の表示画素 P X の夫々に供給する信号を補正する補正演算手段 4 4 B と、を備える表示装置。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された複数の表示画素と、
前記複数の表示画素毎の表示特性データを記憶する記憶手段と、
前記表示特性データに基づいて前記複数の表示画素の夫々に供給する信号を補正する補正演算手段と、
前記補正演算手段により補正された信号に基づいて前記複数の表示画素を駆動する駆動手段と、を備える表示装置。

【請求項 2】

絶縁基板と、
前記絶縁基板上に、夫々の表示画素に配置された電極と、
前記複数の表示画素が配列する行に沿って配置された複数の走査線と、
前記複数の表示画素が配列する列に沿って配置された複数の信号線と、
前記走査線と前記信号線との交差部近傍に配置され、前記走査線から供給される信号により前記信号線と前記電極との接続を切り替えるスイッチング素子と、を更に備え、
前記表示特性データは、前記スイッチング素子を介して前記電極に所定の信号を供給したときの前記電極の電位に基づくデータである請求項 1 記載の表示装置。

【請求項 3】

絶縁基板上に、マトリクス状に配置された複数の電極、前記複数の電極が配列する行に沿って配置された複数の走査線と、前記複数の電極が配列する列に沿って配置された複数の信号線と、前記走査線と前記信号線との交差部近傍に配置され、前記走査線から供給される信号により前記信号線と前記電極との接続を切り替えるスイッチング素子とを形成して、アレイ基板を形成するアレイ工程と、
前記スイッチング素子を介して前記複数の電極に所定の信号を供給したときの前記複数の電極の電位に基づく表示特性データを検出する試験工程と、
前記絶縁基板の端部に補正手段が搭載された回路基板を電氣的に接続する工程と、
前記表示特性データを前記補正手段に書込む工程と、を備える表示装置の製造方法。

【請求項 4】

絶縁基板上に、マトリクス状に配置された複数の電極、前記複数の電極が配列する行に沿って配置された複数の走査線と、前記複数の電極が配列する列に沿って配置された複数の信号線と、前記走査線と前記信号線との交差部近傍に配置され、前記走査線から供給される信号により前記信号線と前記電極との接続を切り替えるスイッチング素子と、補正手段とを形成して、アレイ基板を形成するアレイ工程と、
前記スイッチング素子を介して前記複数の電極に所定の信号を供給したときの前記複数の電極の電位に基づく表示特性データを検出する試験工程と、
前記表示特性データを前記補正手段に書込む工程と、を備える表示装置の製造方法。

【請求項 5】

絶縁基板上に、マトリクス状に配置された複数の電極、前記複数の電極が配列する行に沿って配置された複数の走査線と、前記複数の電極が配列する列に沿って配置された複数の信号線と、前記走査線と前記信号線との交差部近傍に配置され、前記走査線から供給される信号により前記信号線と前記電極との接続を切り替えるスイッチング素子と、補正手段とを形成して、アレイ基板を形成するアレイ工程と、
絶縁基板上に配置された対向電極を備える対向基板を形成する工程と、
前記アレイ基板と対向するように前記対向基板を固定するとともに、前記アレイ基板と前記対向基板との間に液晶材料を注入する工程と、
前記スイッチング素子を介して前記複数の電極に所定の信号を供給するとともに、前記対向電極に所定の信号を供給したときの前記複数の電極の電位に基づく表示特性データを検出する試験工程と、
前記表示特性データを前記補正手段に書込む工程と、を備える表示装置の製造方法。

【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

本発明は液晶表示装置および液晶表示装置の製造方法に関し、特に、アクティブマトリクス型の液晶表示装置およびその製造方法に関する。

【背景技術】

【0002】

液晶表示装置や有機EL(Electro Luminescence)表示装置、プラズマ表示装置などの表示装置の製造工程では、ガラス基板等の基板上に、半導体層、導電層、絶縁体層などを成膜、加工するプロセスを繰り返すことで、画素電極、スイッチング素子、各種配線、それらを駆動する駆動回路などを形成する。

10

【0003】

近年、表示装置の画面の大型化や高精細化が進んでいる。表示装置の画面の大型化や高精細化に伴い、画面内のスイッチング素子数が増加するとともに、スイッチング素子の小型化が要求され、画面内の画素電極やスイッチング素子などの特性にバラツキが生じることがあった。

【0004】

表示装置の画面内に配置された画素電極やスイッチング素子などの特性が不均一になると、表示装置に映像信号を入力して表示動作をさせた時に、画面の輝度が不均一になる表示不均一性不良(以下「表示ムラ」と呼ぶ)が発生する。

【0005】

20

従来、ディスプレイ装置の画質定量評価方法として、被検査パネルの表示画面の画像を低周波画像と変動成分画像とに分解し、変動成分画像の高周波成分を処理して評価指数値を算出して、被検査パネルの表示画面での表示ムラを評価する方法が提案されている(特許文献1参照)。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2002-174564号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0007】

上記のように表示ムラが検出された表示装置は、製造過程において取り除かれていたため、表示ムラが生じた表示装置が多くなると製造歩留まりを低下させ、表示装置のコスト上昇や生産数量減少の一つの原因となっていた。

【0008】

本発明は、上記事情に鑑みて成されたものであって、製造歩留まりを改善させ、表示装置のコスト上昇や生産数量減少を改善する表示装置および表示装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

40

本発明の第1態様による表示装置は、マトリクス状に配置された複数の表示画素と、前記複数の表示画素を駆動する駆動手段と、前記複数の表示画素毎の表示特性データを記憶する記憶手段と、前記表示特性データに基づいて前記複数の表示画素の夫々に供給する信号を補正する補正演算手段と、を備える表示装置である。

【0010】

本発明の第2態様による表示装置の製造方法は、絶縁基板上に、マトリクス状に配置された複数の電極、前記複数の電極が配列する行に沿って配置された複数の走査線と、前記複数の電極が配列する列に沿って配置された複数の信号線と、前記走査線と前記信号線との交差部近傍に配置され、前記走査線から供給される信号により前記信号線と前記電極との接続を切り替えるスイッチング素子とを形成するアレイ工程と、前記複数の電極に所定

50

の信号を供給して前記複数の電極およびスイッチング素子の特性を検出する試験工程と、前記絶縁基板の端部に補正手段が搭載された回路基板を電氣的に接続する工程と、前記複数の電極およびスイッチング素子の特性を前記補正手段に書込む工程と、を備える表示装置の製造方法である。

【 0 0 1 1 】

本発明の第 3 態様による表示装置の製造方法は、絶縁基板上に、マトリクス状に配置された複数の電極、前記複数の電極が配列する行に沿って配置された複数の走査線と、前記複数の電極が配列する列に沿って配置された複数の信号線と、前記走査線と前記信号線との交差部近傍に配置され、前記走査線から供給される信号により前記信号線と前記電極との接続を切り替えるスイッチング素子と、補正手段とを形成するアレイ工程と、前記複数の電極に所定の信号を供給して前記複数の電極およびスイッチング素子の特性を検出する試験工程と、前記複数の電極およびスイッチング素子の特性を前記補正手段に書込む工程と、を備える表示装置の製造方法である。

10

【 0 0 1 2 】

本発明の第 4 態様による表示装置の製造方法は、絶縁基板上に、マトリクス状に配置された複数の電極、前記複数の電極が配列する行に沿って配置された複数の走査線と、前記複数の電極が配列する列に沿って配置された複数の信号線と、前記走査線と前記信号線との交差部近傍に配置され、前記走査線から供給される信号により前記信号線と前記電極との接続を切り替えるスイッチング素子と、補正手段とを形成して、アレイ基板を形成するアレイ工程と、絶縁基板上に配置された対向電極を備える対向基板を形成する工程と、前記アレイ基板と対向するように前記対向基板を固定するとともに、前記アレイ基板と前記対向基板との間に液晶材料を注入するセル工程と、前記複数の電極および前記対向電極に所定の信号を供給して前記複数の電極およびスイッチング素子の特性を検出する試験工程と、前記複数の電極およびスイッチング素子の特性を前記補正手段に書込む工程と、を備える表示装置の製造方法である。

20

【 発明の効果 】

【 0 0 1 3 】

本発明によれば、製造歩留まりを改善させ、表示装置のコスト上昇や生産数量減少を改善する表示装置および表示装置の製造方法を提供することができる。

【 図面の簡単な説明 】

30

【 0 0 1 4 】

【 図 1 】 本発明の第 1 実施形態に係る表示装置の一構成例を示す図である。

【 図 2 】 図 1 に示す表示装置の製造方法の一例を説明するためのフローチャートである。

【 図 3 A 】 図 1 に示す表示装置の製造過程において検出される画素電極の電位のバラツキの一例について説明するための図である。

【 図 3 B 】 図 3 A に示す電位のバラツキが検出された場合に、補正回路から出力される映像信号について説明するための図である。

【 図 3 C 】 補正回路から出力された補正後の映像信号を画素電極に供給した場合の画素電極電位について説明するための図である。

【 図 4 】 本発明の第 2 実施形態に係る表示装置の一構成例を示す図である。

40

【 図 5 】 図 4 に示す表示装置の製造方法の一例を説明するためのフローチャートである。

【 図 6 】 本発明の第 3 実施形態に係る表示装置の製造方法の一例について説明するためのフローチャートである。

【 発明を実施するための形態 】

【 0 0 1 5 】

以下、本発明の第 1 実施形態に係る表示装置および表示装置の製造方法について、図面を参照して説明する。本実施形態に係る表示装置はノーマリホワイトの液晶表示装置であって、図 1 に示すように、液晶表示パネル P N L と液晶表示パネル P N L の端部に電氣的に接続された回路基板 4 0 とを備えている。液晶表示パネル P N L と回路基板 4 0 とはフレキシブル基板 3 0 によって電氣的に接続されている。

50

【 0 0 1 6 】

液晶表示パネル PNL は、アレイ基板 10 と、アレイ基板 10 と対向するように配置された対向基板 20 と、アレイ基板 10 と対向基板 20 との間に挟持された液晶層 LQ と、マトリクス状に配置された複数の表示画素 PX からなる表示部 DYP と、を備えている。

【 0 0 1 7 】

アレイ基板 10 は、表示部 DYP において、夫々の表示画素 PX に配置された画素電極 PE と、画素電極 PE が配列する行に沿って延びる複数の走査線 GL (GL 1、GL 2 ...) と、画素電極 PE が配列する列に沿って延びる複数の信号線 SL (SL 1、SL 2 ...) と、走査線 GL と信号線 SL とが交差する位置近傍に配置された画素スイッチ SW と、を備えている。

10

【 0 0 1 8 】

画素スイッチ SW は、スイッチング素子として薄膜トランジスタ (TFT : Thin Film Transistor) を備えている。画素スイッチ SW のゲート電極は、対応する走査線 GL と電氣的に接続されている (あるいは一体に形成されている)。画素スイッチ SW のソース電極は、対応する信号線 SL と電氣的に接続されている (あるいは一体に形成されている)。画素スイッチ SW のドレイン電極は、対応する画素電極 PE と電氣的に接続されている (あるいは一体に形成されている)。

【 0 0 1 9 】

アレイ基板 10 の表示部 DYP の周囲の領域には、ゲートドライバ GD およびソースドライバ SD が配置されている。ゲートドライバ GD は、走査線 GL に駆動信号を供給する。ゲートドライバ GD によりオン電圧が供給された走査線 GL に接続された画素スイッチ SW は、ソース - ドレイン間が導通する。

20

【 0 0 2 0 】

ソースドライバ SD は、信号線 SL に映像信号を供給する。信号線 SL に供給された映像信号は、ソースドレイン間が導通した画素スイッチ SW を介して画素電極 PE に供給される。すなわち、ゲートドライバ GD およびソースドライバ SD は、複数の表示画素 PX を駆動する駆動手段である。

【 0 0 2 1 】

対向基板 20 は、表示部 DYP を囲むように配置されたシール材によってアレイ基板 10 と対向するように固定されている。対向基板 20 は、複数の画素電極 PE と対向するように配置された対向電極 CE を備えている。対向電極 CE には、例えばアレイ基板 10 に設けられた対向電極駆動回路 (図示せず) から対向電圧が供給される。

30

【 0 0 2 2 】

液晶層 LQ に含まれる液晶分子は、画素電極 PE に印加される電圧と対向電極 CE とに印加される電圧との電位差により配向を制御される。

【 0 0 2 3 】

回路基板 40 には、タイミングコントローラ (T - CON) 42 と補正回路 44 とが搭載されている。タイミングコントローラ 42 には、外部信号源 SS から外部映像信号が供給される。タイミングコントローラ 42 は、供給された外部映像信号に基づいて、表示画素 PX に表示させる画像の階調に対応する映像信号を出力する。

40

【 0 0 2 4 】

補正回路 44 は、補正データ保存回路 (記憶手段) 44 A と補正演算回路 44 B とを備えている。補正データ保存回路 44 A には、液晶表示パネル PNL の製造過程において取得された表示画素 PX 毎の表示特性データが記憶されている。

【 0 0 2 5 】

表示画素 PX 毎の表示特性データは、画素電極 PE および画素スイッチ SW の特性データであって、例えば、画素スイッチ SW を介して画素電極 PE に試験用の信号を供給したときに画素電極 PE の電位を測定し、所望の電位に対する高低を試験した結果得られたデータである。表示特性データには、例えば表示画素 PX のアドレスと、試験結果に基づく補正值とが含まれる。

50

【 0 0 2 6 】

補正演算回路 4 4 B には、タイミングコントローラ 4 2 からの映像信号と、補正データ保存回路 4 4 A からの表示画素 P X 毎の表示特性データとが供給される。補正演算回路 4 4 B は、表示画素 P X 毎の表示特性データに従って、タイミングコントローラ 4 2 から供給された映像信号を補正する。補正演算回路 4 4 B から出力された補正後の映像信号は、ソースドライバ S D に供給される。ソースドライバ S D は、補正演算回路 4 4 B から供給された補正後の映像信号に対応する信号線 S L に供給する。

【 0 0 2 7 】

以下に、上記液晶表示パネルの製造工程について説明する。まず、ガラス基板等の透明絶縁性基板を用意し、この透明絶縁性基板上に、半導体層、導電層、絶縁体層などを成膜、加工するプロセスを繰り返し、画素電極 P E、画素スイッチ S W、ゲートドライバ G D、ソースドライバ S D、およびその他各種配線を形成する。画素電極 P E 上に配向膜（図示せず）を塗布し、必要であれば配向膜上にラビング布を接触させて、所定方向にラビング処理を施し、アレイ基板 1 0 を形成する（ステップ S T A 1）。

10

【 0 0 2 8 】

別の透明絶縁性基板を用意し、この透明絶縁性基板上に導電層を成膜およびパターンニングし、対向電極 C E を形成する。対向電極 C E 上に配向膜（図示せず）を塗布し、必要に応じて配向膜上にラビング布を接触させて所定方向にラビング処理を施し、対向基板 2 0 を形成する（ステップ S T A 2）。

【 0 0 2 9 】

20

上記のように形成したアレイ基板 1 0 と対向基板 2 0 とを、対向電極 C E と複数の画素電極 P E とが対向するようにシール材（図示せず）により貼り合せ（ステップ S T A 3）、アレイ基板 1 0 と対向基板 2 0 間のシール材で囲まれた領域に液晶材料を封入する（ステップ S T A 4）。

【 0 0 3 0 】

次に、例えば、表示部 D Y P の周囲のアレイ基板 1 0 の領域に形成された試験用信号入力端子、または、フレキシブル基板 3 0 が接続される電極端子から画素電極 P E に、試験用信号を供給したときの画素電極 P E の電位に基づく各表示画素 P X の特性を測定する（ステップ S T A 5）。本実施形態に係る液晶表示装置の製造工程では、画素電極 P E に印加される電圧のバラツキを測定する。

30

【 0 0 3 1 】

図 3 A に試験用信号を画素電極 P E に供給したときの電圧の分布の一例を示す。図 3 A の表示部 D Y P 内において、濃い色で示す部分は、画素電極 P E の電位が試験用信号を印加した場合の画素電極 P E の所望の電位よりも高くなる領域であって、薄い色で示す部分は、画素電極 P E の電位が試験用信号を印加した場合の画素電極 P E の所望の電位よりも低くなる領域である。

【 0 0 3 2 】

図 3 A に示す場合では、表示部 D Y P に配置された複数の画素電極 P E に画素スイッチ S W を介して一様の電圧を印加し、画素電極 P E の電位が所望の電位よりも低くなる領域 A 1 と、所望の電位よりも高くなる領域 A 2 とが生じている。

40

【 0 0 3 3 】

複数の画素電極 P E 毎に測定された電位に基づいて、表示部 D Y P 内のバラツキを測定し、表示画素 P X 毎の表示特性データを作成する（ステップ S T A 7）とともに、液晶表示パネル P N L の端部に設けられた電極端子にフレキシブル基板 3 0 を電氣的に接続して、液晶表示パネル P N L と回路基板 4 0 とを電氣的に接続する（ステップ S T A 6）。

【 0 0 3 4 】

次に、回路基板 4 0 に搭載された補正回路 4 4 の補正データ保存回路 4 4 A に表示画素 P X 毎の表示特性データを書きこむ（ステップ S T A 8）。このとき、補正データ保存回路 4 4 A には、領域 A 1 に含まれる画素電極 P E について、その位置と電位が低くなる特性とが記憶される。同様に領域 A 2 に含まれる画素電極 P E について、その位置と電位が

50

高くなる特性とが記憶される。

【0035】

画素電極 P E の位置は、その画素電極 P E に接続された画素スイッチ S W をオン / オフする走査線 G L と、画素スイッチ S W を介して映像信号を供給する信号線 S L とにより特定される。

【0036】

このように、補正データ保存回路 4 4 A に表示画素 P X 毎の表示特性データが記憶されると、補正演算回路 4 4 B は、図 3 B に示すように表示部 D Y P 内の画素電極 P E に供給する映像信号を補正する。

【0037】

すなわち、補正演算回路 4 4 B は、領域 A 1 に含まれる画素電極 P E に供給する映像信号として、タイミングコントローラ 4 2 から供給される映像信号よりも高い電圧信号を出力する。補正演算回路 4 4 B は、領域 A 2 に含まれる画素電極 P E に供給する映像信号として、タイミングコントローラ 4 2 から供給される映像信号よりも低い電圧信号を出力する。

【0038】

上記のように補正演算回路 4 4 B がタイミングコントローラ 4 2 から供給される映像信号を補正すること、図 3 C に示すように、表示部 D Y P に表示される画像の表示ムラが改善される。

【0039】

すなわち、領域 A 1 に含まれる画素電極 P E は、画素電極 P E の電位が所望の電位よりも低い特性であったが、補正演算回路 4 4 B が表示特性データに基づいてタイミングコントローラ 4 2 から供給される映像信号を高くする補正を行うことによって、画素電極 P E の電位が所望の電位となる。

【0040】

領域 A 2 に含まれる画素電極 P E は、画素電極 P E の電位が所望の電位よりも高い特性であったが、補正演算回路 4 4 B が表示特性データに基づいてタイミングコントローラ 4 2 から供給される映像信号を低くする補正を行うことによって、画素電極 P E の電位が所望の電位となる。

【0041】

上記のように、本実施形態に係る液晶表示装置および液晶表示装置の製造方法によれば、製造工程において表示装置毎に表示ムラを検出し、検出された表示特性データに基づいて表示装置の表示ムラを改善し、製造歩留まりを改善させ、表示装置のコスト上昇や生産数量減少を改善する表示装置および表示装置の製造方法を提供することができる。

【0042】

次に、本発明の第 2 実施形態に係る表示装置および表示装置の製造方法について図面を参照して説明する。なお、以下の説明において、上述の第 1 実施形態に係る表示装置および表示装置の製造方法と同様の構成については、同一の符号を付して説明を省略する。

【0043】

上述の第 1 実施形態に係る表示装置と同様に、本実施形態に係る表示装置は液晶表示装置である。本実施形態に係る液晶表示装置は、図 4 に示すように、液晶表示パネル P N L と液晶表示パネル P N L の端部に電氣的に接続された回路基板 4 0 とを備えている。液晶表示パネル P N L と回路基板 4 0 とはフレキシブル基板 3 0 によって電氣的に接続されている。

【0044】

本実施形態では、アレイ基板 1 0 が補正回路 1 2 を備えている。補正回路 1 2 は、補正データ保存回路 1 2 A と、補正演算回路 1 2 B とを備えている。補正データ保存回路 1 2 A には、液晶表示パネル P N L の製造過程において取得された表示画素 P X 毎の表示特性データが記憶されている。

【0045】

10

20

30

40

50

補正演算回路 12B には、タイミングコントローラ 42 からの映像信号と、補正データ保存回路 12A からの表示画素 P X 毎の表示特性データとが供給される。補正演算回路 12B は、表示画素 P X 毎の表示特性データに従って、タイミングコントローラ 42 から供給された映像信号を補正する。補正演算回路 12B から出力された補正後の映像信号は、ソースドライバ SD に供給される。

【0046】

以下に、上記液晶表示パネルの製造工程について説明する。まず、ガラス基板等の透明絶縁性基板を用意し、この透明絶縁性基板上に、半導体層、導電層、絶縁体層などを成膜、加工するプロセスを繰り返し、画素電極 PE、画素スイッチ SW、ゲートドライバ GD、ソースドライバ SD、およびその他各種配線を形成するとともに、表示部 DYP の周囲に補正回路 12 を形成する。

10

【0047】

画素電極 PE 上に配向膜（図示せず）を塗布し、必要であれば配向膜上にラビング布を接触させて、所定の方向にラビング処理を施し、アレイ基板 10 を形成する（ステップ STB1）。

【0048】

別の透明絶縁性基板を用意し、この透明絶縁性基板上に導電層を成膜およびパターンニングし、対向電極 CE を形成する。対向電極 CE 上に配向膜（図示せず）を塗布し、必要であれば配向膜上にラビング布を接触させて所定の方向にラビング処理を施し、対向基板 20 を形成する（ステップ STB2）。

20

【0049】

上記のように形成したアレイ基板 10 と対向基板 20 とを、対向電極 CE と複数の画素電極 PE とが対向するようにシール材（図示せず）により貼り合せ（ステップ STB3）、アレイ基板 10 と対向基板 20 間のシール材で囲まれた領域に液晶材料を封入する（ステップ STB4）。

【0050】

次に、例えば、表示部 DYP の周囲のアレイ基板 10 の領域に形成された試験用信号入力端子、または、フレキシブル基板 30 が接続される電極端子から画素電極 PE に、試験用信号を供給したときの複数の画素電極 PE の電位に基づく各表示画素 P X の特性を測定する（ステップ STB5）。

30

【0051】

本実施形態に係る液晶表示装置の製造工程では、画素スイッチ SW を介して画素電極 PE に所定の電圧を印加するとともに対向電極 CE に所定の電圧を印加して、表示部 DYP を照射して表示画素 P X 毎の明るさを測定してもよく、画素スイッチ SW を介して画素電極 PE に所定の電圧を印加したときの画素電極 PE の電位を測定しても良い。

【0052】

例えば、図 3A に示す場合では、表示部 DYP に配置された複数の画素電極 PE に一様の電圧を印加するとともに、対向電極 CE に所定の電圧を印加すると、画素電極 PE の電位が所望の電位よりも低くなるために明るく表示される領域 A1 と、画素電極 PE の電位が所望の電位よりも高くなるために暗く表示される領域 A2 とが生じている。

40

【0053】

この電位または明暗のバラツキを測定して、表示画素 P X 毎の表示特性データを作成する（ステップ STB7）とともに、液晶表示パネル PNL の端部に設けられた電極端子にフレキシブル基板 30 を電氣的に接続して、液晶表示パネル PNL と回路基板 40 とを電氣的に接続する（ステップ STB6）。

【0054】

次に、アレイ基板 10 の補正データ保存回路 12A に表示画素 P X 毎の表示特性データを書きこむ（ステップ STB8）。このとき、補正データ保存回路 12A には、領域 A1 に含まれる画素電極 PE について、その位置と電位が低くなる特性とが記憶される。同様に領域 A2 に含まれる画素電極 PE について、その位置と電位が高くなる特性とが記憶さ

50

れる。

【 0 0 5 5 】

上記のようにアレイ基板 1 0 が補正回路 1 2 を備えることによって、例えば図 3 B に示すように補正演算回路 1 2 B がタイミングコントローラ 4 2 から供給される映像信号を補正し、図 3 C に示すように、表示部 D Y P に表示される画像の表示ムラが改善される。

【 0 0 5 6 】

すなわち、本実施形態に係る液晶表示装置および液晶表示装置の製造方法によれば、上述の第 1 実施形態に係る表示装置およびその製造方法と同様に、製造工程において表示装置毎に表示ムラを検出し、検出された表示特性データに基づいて表示装置の表示ムラを改善し、製造歩留まりを改善させ、表示装置のコスト上昇や生産数量減少を改善する表示装置および表示装置の製造方法を提供することができる。

10

【 0 0 5 7 】

さらに、本実施形態では、アレイ基板 1 0 の製造工程において、透明絶縁性基板上に補正回路 1 2 を形成するため、回路基板 4 0 を小さくすることができ、製造コストを削減することができる。

【 0 0 5 8 】

次に、本発明の第 3 実施形態に係る表示装置および表示装置の製造方法について図面を参照して説明する。本実施形態に係る表示装置は、上述の第 2 実施形態に係る表示装置と同様の液晶表示装置である。

【 0 0 5 9 】

すなわち、本実施形態に係る表示装置は、図 4 に示すように、液晶表示パネル P N L と液晶表示パネル P N L の端部に電氣的に接続された回路基板 4 0 とを備えている。液晶表示パネル P N L と回路基板 4 0 とはフレキシブル基板 3 0 によって電氣的に接続されている。

20

【 0 0 6 0 】

本実施形態では、アレイ基板 1 0 が補正回路 1 2 を備えている。補正回路 1 2 は、補正データ保存回路 1 2 A と、補正演算回路 1 2 B とを備えている。補正データ保存回路 1 2 A には、液晶表示パネル P N L の製造過程において取得された表示画素 P X 毎の表示特性データが記憶されている。

【 0 0 6 1 】

補正演算回路 1 2 B には、タイミングコントローラ 4 2 からの映像信号と、補正データ保存回路 1 2 A からの表示画素 P X 毎の表示特性データとが供給される。補正演算回路 1 2 B は、表示画素 P X 毎の表示特性データに従って、タイミングコントローラ 4 2 から供給された映像信号を補正する。補正演算回路 1 2 B から出力された補正後の映像信号は、それぞれ対応する信号線 S L に供給される。

30

【 0 0 6 2 】

以下に、上記液晶表示パネルの製造工程について説明する。まず、ガラス基板等の透明絶縁性基板を用意し、この透明絶縁性基板上に、半導体層、導電層、絶縁体層などを成膜、加工するプロセスを繰り返し、画素電極 P E、画素スイッチ S W、ゲートドライバ G D、およびその他各種配線を形成するとともに、表示部 D Y P の周囲に補正回路 1 2 を形成する。

40

【 0 0 6 3 】

画素電極 P E 上に配向膜（図示せず）を塗布し、必要であれば配向膜上にラビング布を接触させて、所定方向にラビング処理を施し、アレイ基板 1 0 を形成する（ステップ S T C 1）。

【 0 0 6 4 】

次に、例えば、アレイ基板 1 0 に設けられた試験用信号入力端子、または、フレキシブル基板 3 0 が接続される電極端子から、画素電極 P E に試験用信号を供給したときの画素電極 P E の電位に基づく各表示画素 P X の特性を測定する（ステップ S T C 2）。本実施形態では、画素電極 P E に印加される電圧のバラツキを測定し、表示画素 P X 毎の表示特

50

性データを作成し（ステップＳＴＣ３）、アレイ基板１０の補正データ保存回路１２Ａに表示特性データを書き込む（ステップＳＴＣ４）。

【００６５】

別の透明絶縁性基板を用意し、この透明絶縁性基板上に導電層を成膜およびパターンニングし、対向電極ＣＥを形成する。対向電極ＣＥ上に配向膜（図示せず）を塗布し、必要であれば配向膜上にラビング布を接触させて所定の方向にラビング処理を施し、対向基板２０を形成する（ステップＳＴＣ５）。

【００６６】

上記のように形成したアレイ基板１０と対向基板２０とを、対向電極ＣＥと複数の画素電極ＰＥとが対向するようにシール材（図示せず）により貼り合せ（ステップＳＴＢ６）、アレイ基板１０と対向基板２０間のシール材で囲まれた領域に液晶材料を封入する（ステップＳＴＢ７）。

10

【００６７】

次に、液晶表示パネルＰＮＬの端部に設けられた電極端子にフレキシブル基板３０を電氣的に接続した、液晶表示パネルＰＮＬと回路基板４０とを電氣的に接続する（ステップＳＴＣ８）。

【００６８】

上記のようにアレイ基板１０が補正回路１２を備えることによって、例えば図３Ｂに示すように補正演算回路１２Ｂがタイミングコントローラ４２から供給される映像信号を補正し、図３Ｃに示すように、表示部ＤＹＰに表示される画像の表示ムラが改善される。

20

【００６９】

すなわち、本実施形態に係る液晶表示装置および液晶表示装置の製造方法によれば、上述の第１実施形態に係る表示装置およびその製造方法と同様に、製造工程において表示ムラが検出された表示装置の表示ムラを改善し、製造歩留まりを改善させ、表示装置のコスト上昇や生産数量減少を改善する表示装置および表示装置の製造方法を提供することができる。

【００７０】

さらに、本実施形態では、上述の第２実施形態に係る表示装置およびその製造方法と同様に、アレイ基板１０の製造工程において、透明絶縁性基板上に補正回路１２を形成するため、回路基板４０を小さくできるとともに部品点数を削減し、表示装置の製造コストを削減することができる。

30

【００７１】

さらに、本実施形態では、補正回路１２をアレイ基板１０に内蔵し、かつ、アレイ基板１０の作成工程で表示画素ＰＸ毎の表示特性データを取得し、取得した表示特性データを補正データ保存回路１２Ａに記憶させるため、補正回路１２に用いる回路部品によるコスト上昇を抑えることができることに加え、アレイ基板１０を作成する工程以外の工程では、従来用いていた製造装置等を使用することが可能となる。

【００７２】

なお、この発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。例えば、上記実施形態では補正回路４４とソースドライバＳＤは別々に設けられていたが、補正回路４４とソースドライバＳＤとは一体に形成されていても良い。その場合であっても上述の実施形態と同様の効果を得ることができる。

40

【００７３】

上述の実施形態では、アレイ基板１０がソースドライバＳＤを備えていたが、ソースドライバＳＤはフレキシブル基板３０に搭載されていても良い。ソースドライバＳＤをフレキシブル基板３０に搭載し、補正回路をアレイ基板１０の透明絶縁性基板上に形成する場合には、補正回路にはソースドライバＳＤから出力された信号が供給され、補正演算回路により補正された信号は、それぞれ対応する信号線ＳＬに供給される。この場合であっても、上述の第２実施形態および第３実施形態と同様の効果を得ることができる。

50

【 0 0 7 4 】

また、上述の第 1 乃至第 3 実施形態では、表示装置として液晶表示装置およびその製造方法について説明したが、表示装置は液晶表示装置に限られない。例えば、有機 E L 表示装置やプラズマ表示装置、およびこれらの製造方法にも適用可能であって、上述の第 1 乃至第 3 実施形態に係る表示装置およびその製造方法と同様の効果を得ることができる。

【 0 0 7 5 】

また、上記の第 1 乃至第 3 実施形態では、表示特性データを取得するために、画素電極 P E に試験用の信号を供給して画素電極 P E の電位を測定したが、画素電極 P E および対向電極 C E に試験用の信号を供給し、表示部 D Y P に表示される表示画像から、表示特性データを取得しても良い。

10

【 0 0 7 6 】

例えば、表示部 D Y P のそれぞれの画素の輝度を取得して、試験用信号を供給したときの所望の輝度に対する明暗を検出し、補正データ保存回路に記憶させても良い。その場合には、補正演算回路は、対応する画素電極 P E に供給する電圧を高くして、所望の輝度よりも明るく表示された表示画素 P X が暗くなるように映像信号を補正し、対応する画素電極 P E に供給する電圧を低くして、所望の輝度よりも暗く表示される表示画素 P X が明るくなるように映像信号を補正する。このような場合でも、上述の第 1 乃至第 3 実施形態に係る表示装置および表示装置の製造方法と同様の効果を得ることができる。

【 0 0 7 7 】

また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施形態に亘る構成要素を適宜組み合わせてもよい。

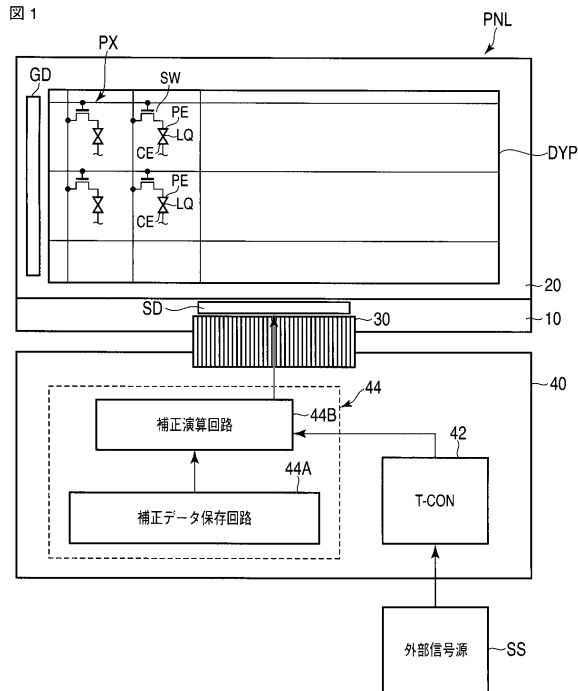
20

【 符号の説明 】

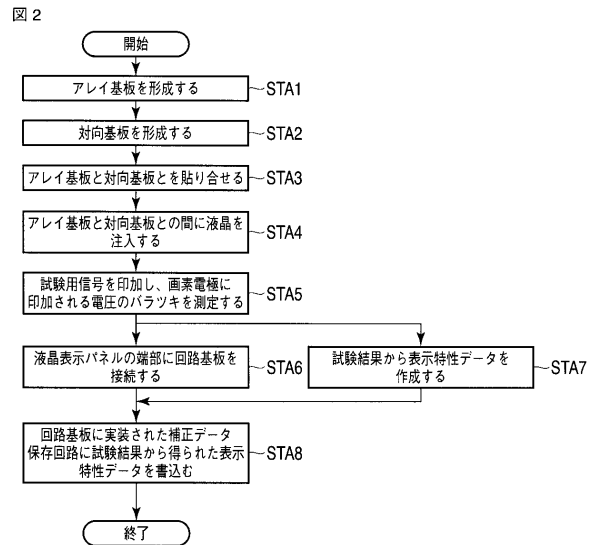
【 0 0 7 8 】

P E ... 画素電極、S D ... ソースドライバ、G D ... ゲートドライバ、4 4、1 2 ... 補正回路、4 4 A、1 2 A ... 補正データ保存回路、4 4 B、1 2 B ... 補正演算回路

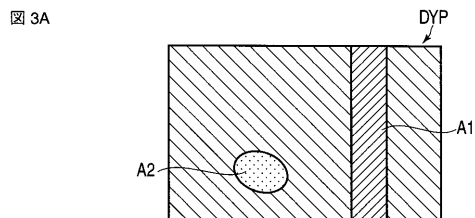
【図 1】



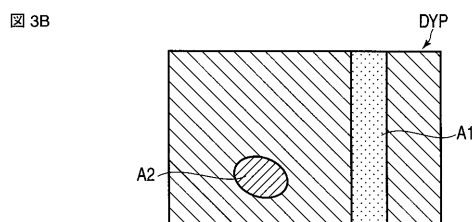
【図 2】



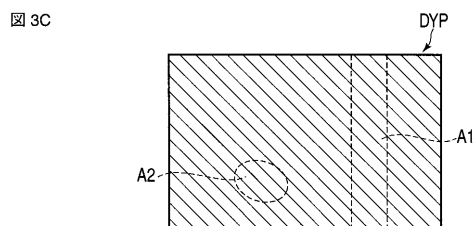
【図 3 A】



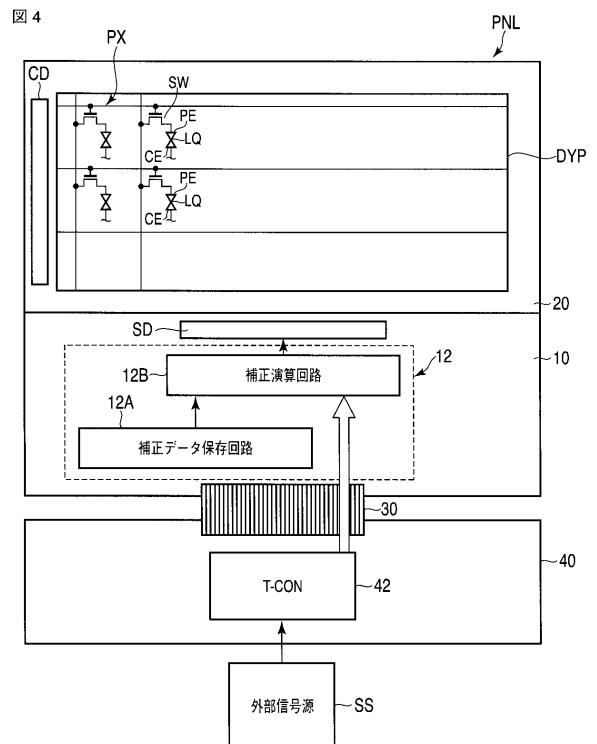
【図 3 B】



【図 3 C】

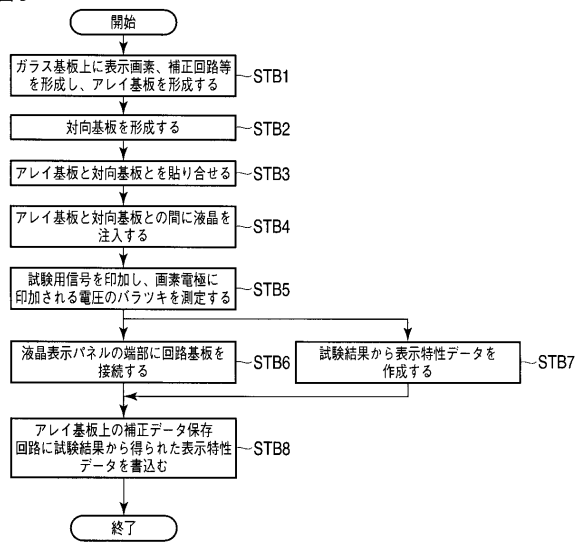


【図 4】



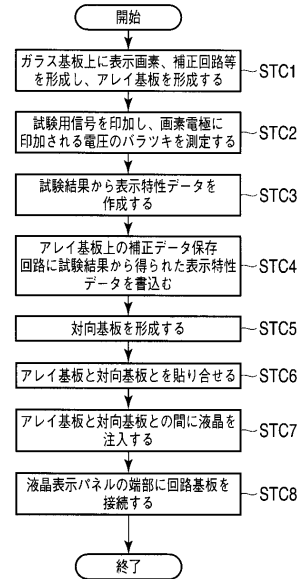
【図 5】

図 5



【図 6】

図 6



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 7 0 Q
	G 0 9 F 9/00	3 5 2
	G 0 9 F 9/00	3 3 8

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 富田 暁

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H092 GA50 GA59 JA24 MA56 NA29 PA06
2H193 ZA04 ZF44 ZH40 ZH42 ZH52 ZK02 ZK09 ZK14
5C006 AF13 AF46 BB16 BC11 BC16 BC20 EB01 EB04 FA22 FA26
FA51
5C080 AA10 BB05 DD05 DD15 FF11 GG09 JJ01 JJ02 JJ07
5G435 AA01 AA17 BB12 KK05 KK10

专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	JP2010271409A	公开(公告)日	2010-12-02
申请号	JP2009121181	申请日	2009-05-19
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	富田 晓		
发明人	富田 晓		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20 G09F9/00		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G02F1/1368 G09G3/20.631.V G09G3/20.641.P G09G3/20.642.A G09G3/20.670.Q G09F9/00.352 G09F9/00.338		
F-TERM分类号	2H092/GA50 2H092/GA59 2H092/JA24 2H092/MA56 2H092/NA29 2H092/PA06 2H193/ZA04 2H193/ZF44 2H193/ZH40 2H193/ZH42 2H193/ZH52 2H193/ZK02 2H193/ZK09 2H193/ZK14 5C006/AF13 5C006/AF46 5C006/BB16 5C006/BC11 5C006/BC16 5C006/BC20 5C006/EB01 5C006/EB04 5C006/FA22 5C006/FA26 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD15 5C080/FF11 5C080/GG09 5C080/JJ01 5C080/JJ02 5C080/JJ07 5G435/AA01 5G435/AA17 5G435/BB12 5G435/KK05 5G435/KK10 2H192/AA24 2H192/FA73 2H192/FB13 2H192/FB52 2H192/HB73		
代理人(译)	河野 哲 中村 诚 河野直树 冈田 隆 山下 元		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够提高制造工艺的产量并防止显示装置的成本增加和生产量减少的显示装置，并提供制造显示装置的方法。

ŽSOLUTION：显示装置包括：以矩阵排列的多个显示像素PX；驱动装置GD和SD，用于驱动多个显示像素PX；存储装置44A，用于存储多个显示像素PX中的每一个的显示特性数据；校正计算装置44B，用于根据显示特性数据校正提供给各个多个显示像素PX的信号。Ž

