

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-107109

(P2017-107109A)

(43) 公開日 平成29年6月15日(2017.6.15)

| | | |
|------------------------------|---------------|-------------|
| (51) Int.Cl. | F 1 | テーマコード (参考) |
| GO2F 1/1368 (2006.01) | GO2F 1/1368 | 2H192 |
| GO9F 9/30 (2006.01) | GO9F 9/30 338 | 5C094 |

審査請求 未請求 請求項の数 4 O L (全 10 頁)

| | | | |
|-----------|------------------------------|----------|---|
| (21) 出願番号 | 特願2015-241743 (P2015-241743) | (71) 出願人 | 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号 |
| (22) 出願日 | 平成27年12月11日 (2015.12.11) | (74) 代理人 | 100088672 弁理士 吉竹 英俊 |
| | | (74) 代理人 | 100088845 弁理士 有田 貴弘 |
| | | (72) 発明者 | 安藤 愛美 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内 |
| | | (72) 発明者 | 野尻 勲 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内 |
| | | Fターム(参考) | 2H192 AA24 BC31 CB05 CB52 CC04 DA12 FA37 |

最終頁に続く

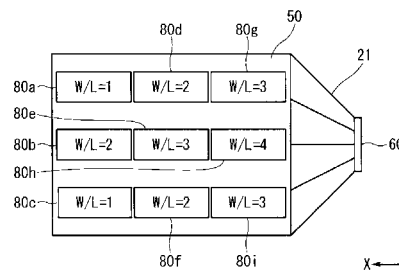
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の高い液晶表示装置を提供することを目的とする。

【解決手段】液晶表示装置は、TFTアレイ基板1と、TFTアレイ基板1に対向する位置に配置された対向基板20と、TFTアレイ基板1において表示領域50よりも外側の額縁領域55に形成され、かつ、走査信号配線2に接続された走査信号引き回し配線21とを備えている。液晶表示装置では、薄膜トランジスタ40のドレイン電極8の幅をW、ドレイン電極8と当該ドレイン電極8に対向するソース電極7との間隔をLとすると、走査信号引き回し配線21の引き回し長さが長いほど、当該走査信号引き回し配線21が接続された走査信号配線2により走査選択される薄膜トランジスタ40を有する表示画素30における当該薄膜トランジスタ40のW/Lは小さい。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

薄膜トランジスタが電氣的に接続された画素電極を有する表示画素が表示領域にアレイ状に形成され、かつ、各前記薄膜トランジスタを走査選択する走査信号配線と前記画素電極に書き込むための信号電位を与える表示信号配線が前記表示領域にマトリクス状に形成された T F T アレイ基板と、

前記 T F T アレイ基板に対向する位置に配置され、かつ、カラーフィルターおよび共通電極が形成された対向基板と、

前記 T F T アレイ基板において前記表示領域よりも外側の額縁領域に形成され、かつ、前記走査信号配線に接続された走査信号引き回し配線と、

を備え、

前記薄膜トランジスタのドレイン電極の幅を W 、前記ドレイン電極と当該ドレイン電極に対向するソース電極との間隔を L とするとき、前記走査信号引き回し配線の引き回し長さが長いほど、当該走査信号引き回し配線が接続された前記走査信号配線により走査選択される前記薄膜トランジスタを有する前記表示画素における当該薄膜トランジスタの W/L は小さい、液晶表示装置。

【請求項 2】

前記走査信号引き回し配線の引き回し長さと、当該走査信号引き回し配線が接続された前記走査信号配線の接続部からの距離との和が長いほど、前記表示画素における前記薄膜トランジスタの W/L は小さい、請求項 1 記載の液晶表示装置。

【請求項 3】

前記表示画素における前記薄膜トランジスタの W/L は、前記表示信号配線に沿って、前記表示領域の中央部へ行くほど大きく、端部へ行くほど小さい、請求項 1 記載の液晶表示装置。

【請求項 4】

前記表示画素における前記薄膜トランジスタの W/L は、前記走査信号引き回し配線が接続された側から前記走査信号配線に沿って反対側へ行くほど小さい、請求項 1 から請求項 3 のいずれか 1 つに記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に関し、特に表示品位を向上させることができる液晶表示装置に関するものである。

【背景技術】**【0002】**

アクティブマトリクス型の液晶表示装置は、表示品位、薄型、軽量および低消費電力の点で優れた特徴を持っている。特に T F T (Thin Film Transistor) 素子を備える液晶パネル (TFT-LCD) は、品質および製造コストの観点から、現在、アクティブマトリクス型の液晶表示装置として最も広く用いられている。

【0003】

通常、マトリクス型液晶表示装置は、2枚の対向する基板の間に液晶などの表示材料が挟持されるとともに、この表示材料に選択的に電圧が印加されるように構成されている。2枚の基板のうちの少なくとも一方は T F T アレイ基板と呼ばれるものであり、この T F T アレイ基板の表示領域には、走査信号線 (走査信号配線) と表示信号線 (表示信号配線) と画素電極とが形成されている。走査信号線を伝播する走査信号によって、スイッチング素子である T F T が ON / OFF 制御される。表示信号線を伝播する表示信号が T F T を介して画素電極に供給される。そして、画素電極に表示信号が供給されると、対向電極と画素電極との間に表示信号に応じた表示電圧が印加され、液晶が駆動される。

【0004】

走査信号線を伝播する走査信号、および表示信号線を伝播する表示信号は、ドライバー

10

20

30

40

50

ICから供給される。従って、表示領域よりも外側の額縁領域には、ドライバーICから走査信号線、および表示信号線までの間の引き回し配線が形成されている。さらに、額縁領域には、シール材、および共通配線が形成されている。この共通配線によって、共通電位を与えるための共通信号が伝播される。

【0005】

ここで、表示領域の左右両外側に引き回し配線が形成される表示装置において、使用する駆動回路、または額縁領域の面積の制約により、引き回し配線長が局所的に異なる場合がある。このときに生じる配線負荷（抵抗）の差が、走査信号の遅延量の差となる。このような遅延量の差に起因して、再書き込み量の差が発生する。再書き込みとは、走査信号の遅延によりゲートのオフが遅れた場合、その間も画素には走査信号線の電位に向かって電位が書き込まれる現象である。フィードスルーにより画素電圧が低下した後、再書き込みが起こる。再書き込み量の差による最適Vcom電位の差が、表示ムラとして視認され、表示品位が低下してしまう。そこで、例えば特許文献1には、引き回し配線の引き回し形状の調整による表示ムラの改善方法が開示されている。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2003-140181号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0007】

しかしながら、近年、モバイル機器の小型化および軽量化に伴う狭額縁化によって、引き回し配線が形成される額縁領域が縮小されたため、特許文献1に記載されたような引き回し配線の引き回し形状の調整による表示ムラの改善は困難である。

【0008】

そこで、本発明は、表示品位の高い液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る液晶表示装置は、薄膜トランジスタが電気的に接続された画素電極を有する表示画素が表示領域にアレイ状に形成され、かつ、各前記薄膜トランジスタを走査選択する走査信号配線と前記画素電極に書き込むための信号電位を与える表示信号配線が前記表示領域にマトリクス状に形成されたTFTアレイ基板と、前記TFTアレイ基板に対向する位置に配置され、かつ、カラーフィルタおよび共通電極が形成された対向基板と、前記TFTアレイ基板において前記表示領域よりも外側の額縁領域に形成され、かつ、前記走査信号配線に接続された走査信号引き回し配線とを備え、前記薄膜トランジスタのドレイン電極の幅をW、前記ドレイン電極と当該ドレイン電極に対向するソース電極との間隔をLとするとき、前記走査信号引き回し配線の引き回し長さが長いほど、当該走査信号引き回し配線が接続された前記走査信号配線により走査選択される前記薄膜トランジスタを有する前記表示画素における当該薄膜トランジスタのW/Lは小さいものである。

30

【発明の効果】

40

【0010】

本発明によれば、薄膜トランジスタのドレイン電極の幅をW、ドレイン電極と当該ドレイン電極に対向するソース電極との間隔をLとするとき、走査信号引き回し配線の引き回し長さが長いほど、当該走査信号引き回し配線が接続された走査信号配線により走査選択される薄膜トランジスタを有する表示画素における当該薄膜トランジスタのW/Lは小さい。

【0011】

したがって、走査信号引き回し配線の配線負荷の差による液晶表示装置の表示ムラを軽減することができるため、表示品位の高い液晶表示装置を実現することができる。

【図面の簡単な説明】

50

【 0 0 1 2 】

【 図 1 】 実施の形態に係る液晶表示装置が備える液晶パネルの平面図である。

【 図 2 】 表示画素の平面図である。

【 図 3 】 薄膜トランジスタの平面図である。

【 図 4 】 図 2 の A-A 断面図である。

【 図 5 】 液晶パネル内での W / L の面内分布を示す図である。

【 図 6 】 液晶パネルの走査信号引き回し配線長に対する再書き込み量を示すグラフである。

【 図 7 】 前提技術において、液晶パネルの表示ムラとその原因を示す図である。

【 図 8 】 前提技術において、走査信号配線の抵抗値が小さい場合の液晶パネルの走査信号引き回し配線長に対する再書き込み量を示す図である。

【 図 9 】 前提技術において、走査信号配線の抵抗値が大きい場合の液晶パネルの走査信号引き回し配線長に対する再書き込み量を示す図である。

【 発明を実施するための形態 】

【 0 0 1 3 】

< 実施の形態 >

本発明の実施の形態について、図面を用いて以下に説明する。図 1 は、実施の形態に係る液晶表示装置が備える液晶パネル 100 の平面図である。なお、図 1 では、図面を見やすくするために対向基板を省略している。

【 0 0 1 4 】

液晶表示装置が備える液晶パネル 100 は、表示領域 50 に複数の表示画素 30 がアレイ状（より具体的にはマトリクス状）に配置されて構成されている。液晶パネル 100 は、TFT アレイ基板 1、対向基板 20（図 4 参照）、走査信号配線 2、表示信号配線 14、および走査信号引き回し配線 21 を備えている。TFT アレイ基板 1 および対向基板 20 は、これらの間に液晶層 9（図 4 参照）を封入可能に対向して配置されている。

【 0 0 1 5 】

走査信号配線 2 および表示信号配線 14 は、表示領域 50 にマトリクス状に形成されており、互いに交差することで各表示画素 30 を区切るように配置されている。TFT アレイ基板 1 には、各表示画素 30 に形成される TFT と、薄膜トランジスタ 40（図 2 参照）が電氣的に接続された画素電極 6（図 2 参照）等が形成されている。走査信号配線 2 は、各薄膜トランジスタ 40 を走査選択するための配線である。表示信号配線 14 は、画素電極 6 に書き込むための信号電位を与えるための配線である。

【 0 0 1 6 】

対向基板 20 は、液晶層 9 を介して TFT アレイ基板 1 に対向して配置され、対向基板 20 には、カラーフィルターおよび共通電極 10（図 4 参照）等が形成されている。なお、図 1 において走査信号配線 2 および表示信号配線 14 は各 2 本ずつ例示として示されているが、実際は表示画素 30 を区切るように配置されているため各々とも多数形成されている。

【 0 0 1 7 】

TFT アレイ基板 1 は、ガラスまたはプラスチック等で構成される透明基板により構成され、TFT アレイ基板 1 上に表示領域 50 と、表示領域 50 よりも外側（外周）の額縁領域 55 が形成されている。TFT アレイ基板 1 上の額縁領域 55 には、COG（Chip On Glass）実装技術により、ゲート IC 60 およびソース IC 65 が実装されている。また、TFT アレイ基板 1 の端部には、ゲート IC 60 とソース IC 65 に、各種電圧、クロック、および画像データ等を供給する外部回路と接続するためのフレキシブル基板 70、75 が接続される複数の端子（図示省略）が設けられている。また、TFT アレイ基板 1 上の額縁領域 55 には、表示領域 50 を囲む導電層 51 が形成されている場合もある。

【 0 0 1 8 】

なお、表示領域 50 からゲート IC 60 の出力部へ延びる走査信号配線 2 の引き回し配線である走査信号引き回し配線 21、表示領域 50 からソース IC 65 の出力部へ延びる

10

20

30

40

50

表示信号配線 14 の引き回し配線である表示信号引き回し配線 22、およびゲート IC 60 およびソース IC 65 の入力部とフレキシブル基板 70、75 とを接続するための TFT アレイ基板 1 の端部に設けられた複数の端子とを接続する入力配線が多数本あるが、図 1 では図の簡略化のためにこれらの多数の配線は図示していない。また、小型パネルでは、配線の総本数が比較的少ないので、ゲート IC 60 およびソース IC 65 を一体化した駆動回路が採用されることが多い。さらに、フレキシブル基板 70、75 についても、これらを一体化したフレキシブル基板が採用されることが多い。

【0019】

図 1 では、TFT アレイ基板 1 と対向基板 20 とを対向して配置した形態を示したが、その後、TFT アレイ基板 1 の端子に外部回路を接続し、偏光板等の光学シートを追加して、LED 等の光源を設けることにより液晶表示装置を製造することができる。

10

【0020】

次に、図 2 から図 4 を用いて、液晶パネル 100 の製造方法について説明する。図 2 は、表示画素 30 の平面図であり、図 3 は、薄膜トランジスタ 40 の平面図であり、図 4 は、図 2 の A-A 断面図である。

【0021】

まず、TFT アレイ基板 1 上にスパッタリング等を用いて第 1 の金属薄膜を成膜し、走査信号配線 2、走査信号引き回し配線 21、ゲート電極 23 および補助容量電極部 3 を所要のパターンで形成する。次に、プラズマ CVD により絶縁膜 4、半導体能動膜 5、およびオーミックコンタクト膜 12 を連続で成膜し、半導体能動膜 5 およびオーミックコンタクト膜 12 を所要のパターンで形成する。

20

【0022】

続いて、スパッタリング等を用いて第 2 の金属薄膜を成膜し、ソース電極 7、ドレイン電極 8、表示信号配線 14、および走査信号引き回し配線 21 を所要のパターンで形成後、保護膜 13 を成膜し、その上に画素電極 6 を成膜する。このとき、画素電極 6 はコンタクトホール 11 を介してドレイン電極 8 と接続される。画素電極 6 は、補助容量電極部 3 と一部オーバーラップするように形成され、補助容量 (Cs 容量) を形成する。また、ドレイン電極 8 は、ゲート電極 23 と一部オーバーラップするように形成され、ゲート～ドレイン間容量 (Cgd) を形成する。

【0023】

上記の方法により製造された液晶パネルの上下に、偏光板を配置することで液晶表示装置が製造される。

30

【0024】

図 3 に示すように、ゲート電極 23 上の半導体能動膜 5 上にソース電極 7 とドレイン電極 8 とが対向するように形成されている。半導体能動膜 5 では、ソース電極 7 とドレイン電極 8 との間の領域であるチャンネル部に電流が流れる。ここで、ソース電極 7 とドレイン電極 8 が対向する幅、すなわち、ドレイン電極 8 の幅を W 、ドレイン電極 8 とドレイン電極 8 に対向するソース電極 7 との間隔を L とする。 W/L は薄膜トランジスタ 40 において重要なパラメータであり、後に説明するように本実施の形態においても重要である。

【0025】

図 5 は、液晶パネル 100 内での W/L の面内分布を示す図である。より詳細には、表示領域 50 内において表示信号配線アドレスに対する各薄膜トランジスタの W/L の大きさの面内分布を示す図である。

40

【0026】

図 5 に示すように、ゲート IC 60 から複数の走査信号引き回し配線 21 が延びて、各々が表示領域 50 内で X 方向に延在する走査信号配線 2 に接続されている。また、図 5 には図示していないが、図 1 に示したように、表示領域 50 内には Y 方向に表示信号配線 14 が各々延びている。

【0027】

表示領域 50 には複数の表示画素 30 が形成されており、その各々に薄膜トランジスタ

50

40 (図2参照)が形成されているが、本実施の形態においては、薄膜トランジスタ40のW/Lについて表示領域50内で面内分布を持たせることを特徴としている。面内分布は表示領域50内で連続的に変化してもよいし、表示領域50内に設定された所定の領域ごとに変化してもよい。図5では、理解を容易にするために、面内分布として表示領域50を9つの領域80a~80iに分けた場合について説明することとする。

【0028】

まず、第1の面内分布として、走査信号引き回し配線21の引き回し長さ(以下、「走査信号引き回し配線長」ともいう)が長いほど薄膜トランジスタ40のW/Lを小さくし、走査信号引き回し配線21の引き回し長さが短いほど薄膜トランジスタ40のW/Lを大きくする。図5において、走査信号引き回し配線21の長さはゲートIC60の中央部において最も短くなり、ゲートIC60の端部において最も長くなる。そこで、領域80bよりも領域80a, 80cのW/Lが小さくなるように設定されている。同様に、領域80eよりも領域80d, 80f、領域80hよりも領域80g, 80iが小さくなるように設定されている。

10

【0029】

次に、第2の面内分布として、表示領域50内の走査信号配線2の入力側(ゲートIC60に近い側)からの距離が長くなるほど、W/Lを小さくする。すなわち、走査信号引き回し配線21が接続された側から走査信号配線2に沿って反対側へ行くほど、W/Lを小さくする。図5では、X方向に延びている領域ほどW/Lを小さくしている。そこで、領域80h, 領域80e, 領域80bの順でW/Lが小さくなるように設定されている。同様に、領域80g, 80d, 80aの順で小さくなり、領域80i, 80f, 80cの順で小さくなる。

20

【0030】

第1の面内分布と第2の面内分布により、同じ表示信号配線14に沿って視ると、W/Lは表示領域50の中央部へ行くほど大きくなり、端部へ行くほど小さくなっている。具体的には、表示領域50の中央部である領域80bはW/L=2であるのに対して、表示領域50の端部である領域80a, 80cはW/L=1である。また、表示領域50の中央部である領域80eはW/L=3であるのに対して、表示領域50の端部である領域80d, 80fはW/L=2である。さらに、表示領域50の中央部である領域80hはW/L=4であるのに対して、表示領域50の端部である領域80g, 80iはW/L=3である。

30

【0031】

なお、本実施の形態においては、第1の面内分布のみを採用してもよいし、または、第1の面内分布と第2の面内分布とを両方採用してもよい。また、これらの場合において、走査信号引き回し配線21の引き回し長さ、当該走査信号引き回し配線21が接続された走査信号配線2の接続部からの距離との和が長いほど、表示画素30における薄膜トランジスタ40のW/Lを小さくしてもよい。

【0032】

また、図5ではゲートIC60の中央部からの走査信号引き回し配線21の長さが最短であったが、最短ではない場合にも第1の面内分布、または第1の面内分布と第2の面内分布とを採用することが可能である。例えば、ゲートIC60の一方の端部から延びる走査信号引き回し配線21の長さが最短で、他方の端部から延びる走査信号引き回し配線21の長さが最長の場合にも採用可能である。ただし、その場合は、同じ表示信号配線14に沿って視ると、W/Lは表示領域50の中央部へ行くほど大きく、端部へ行くほど小さいという分布とはならない。

40

【0033】

このような表示画素30の薄膜トランジスタ40におけるW/Lの分布を形成することにより、走査信号引き回し配線21および表示面内の走査信号配線2の負荷の差によって発生していた画素電極電位の差を小さくすることができる。これにより、額縁領域55で走査信号引き回し配線21の負荷を調整できない場合でも表示ムラを大幅に軽減すること

50

が可能となる。

【0034】

次に、本実施の形態に係る液晶表示装置の作用効果について、前提技術の場合と対比しながら説明する。図6は、液晶パネル100の走査信号引き回し配線長に対する再書き込み量を示すグラフであり、図7は、前提技術において、液晶パネル100の表示ムラとその原因を示す図である。図8は、前提技術において、走査信号配線2の抵抗値が小さい場合の液晶パネル100の走査信号引き回し配線長に対する再書き込み量を示す図であり、図9は、前提技術において、走査信号配線2の抵抗値が大きい場合の液晶パネル100の走査信号引き回し配線長に対する再書き込み量を示す図である。なお、図8と図9では、 V_g は走査信号配線の電位、 V_d は画素電極の電位、 V_s は表示信号配線の電位である。

10

【0035】

前提技術においては、図7に示すように、ゲートIC160から複数の走査信号引き回し配線121が伸びて、各々が表示領域150内でX方向に延在する走査信号配線に接続されている。使用する駆動回路、または額縁領域の面積の制約により、走査信号引き回し配線長が局所的に異なっており、このときに生じる配線負荷(抵抗)の差が、走査信号の遅延量の差となる。このような遅延量の差に起因して、再書き込み量の差が発生する。上記の通り、再書き込みとは、走査信号の遅延によりゲートのオフが遅れた場合、その間も表示画素には走査信号配線の電位に向かって電位が書き込まれる現象である。

【0036】

図6における前提技術のグラフのように、走査信号引き回し配線長が長くなるほど、走査信号配線の抵抗は増加する。すると、走査信号の遅延によるゲートのオフがさらに大きく遅れるため、再書き込み量が大きくなる。ここで、薄膜トランジスタのW/Lの大小と再書き込みとの関係について説明する。再書き込みは、充電と同じパスで、充電したい方向とは逆にキャリアが動く(充電する)ことにより起こる。よって、薄膜トランジスタのW/Lが大きいほど再書き込み量が大きくなる。

20

【0037】

図8と図9に示すように、フィードスルーにより画素電圧が低下した後、再書き込みが起こる。再書き込み量の差による最適 V_{com} 電位の差が、図7に影として示す表示ムラとして視認され、前提技術においては、液晶表示装置の表示品位が低下してしまうという問題があった。

30

【0038】

これに対して、本実施の形態に係る液晶表示装置では、薄膜トランジスタ40のドレイン電極8の幅をW、ドレイン電極8と当該ドレイン電極8に対向するソース電極7との間隔をLとするとき、走査信号引き回し配線21の引き回し長さが長いほど、当該走査信号引き回し配線21が接続された走査信号配線2により走査選択される薄膜トランジスタ40を有する表示画素30における当該薄膜トランジスタ40のW/Lは小さい。これにより、図6における実施の形態のグラフのように、走査信号引き回し配線21による再書き込み量が大きくなり安定する。

【0039】

したがって、走査信号引き回し配線21の配線負荷の差による液晶表示装置の表示ムラを軽減することができるため、表示品位の高い液晶表示装置を実現することができる。

40

【0040】

このように、表示領域50内に形成される薄膜トランジスタ40のW/Lを設定することで表示ムラを軽減することができることから、額縁領域55内の配線形状を複雑化する必要がなくなり、さらに狭額縁化を進めやすくなる。これにより、表示領域50の周辺領域である額縁領域55で走査信号引き回し配線21の配線負荷を調整できない場合でも再書き込み量のばらつきによる最適 V_{com} 電位の差がなくなり、液晶表示装置の表示ムラを軽減することが可能となる。

【0041】

走査信号引き回し配線21の引き回し長さ、当該走査信号引き回し配線21が接続さ

50

れた走査信号配線 2 の接続部からの距離との和が長いほど、表示画素 30 における薄膜トランジスタ 40 の W/L は小さい。したがって、走査信号引き回し配線 21 の配線負荷だけでなく、走査信号配線 2 の配線負荷を考慮することで、液晶表示装置の表示ムラをさらに軽減することができる。

【0042】

表示画素 30 における薄膜トランジスタ 40 の W/L は、表示信号配線 14 に沿って、表示領域 50 の中央部へ行くほど大きく、端部へ行くほど小さい。したがって、最適 V_{com} 電位のばらつきをさらに軽減することができ、液晶表示装置の表示ムラをさらに軽減することが可能となる。

【0043】

表示画素 30 における薄膜トランジスタ 40 の W/L は、走査信号引き回し配線 21 が接続された側から走査信号配線 2 に沿って反対側へ行くほど小さい。したがって、最適 V_{com} 電位のばらつきをさらに軽減することができ、液晶表示装置の表示ムラをさらに軽減することが可能となる。

【0044】

なお、本発明は、その発明の範囲内において、実施の形態を適宜、変形、省略することが可能である。

【符号の説明】

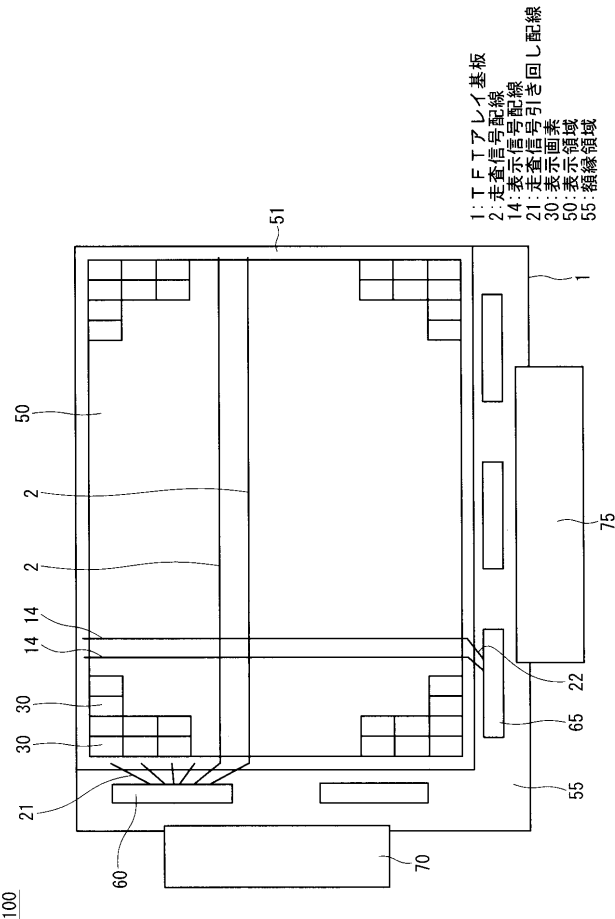
【0045】

1 TFTアレイ基板、2 走査信号配線、6 画素電極、7 ソース電極、8 ドレイン電極、14 表示信号配線、20 対向基板、21 走査信号引き回し配線、30 表示画素、50 表示領域、55 額縁領域。

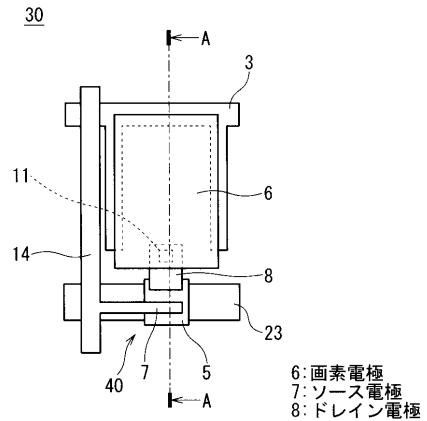
10

20

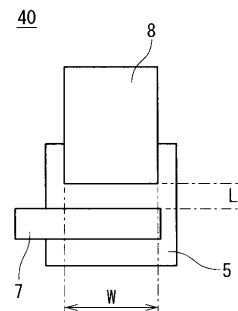
【図 1】



【図 2】

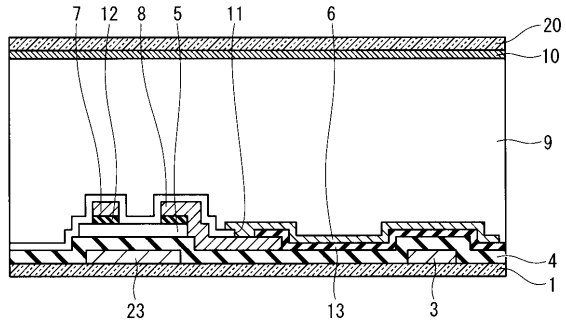


【図 3】

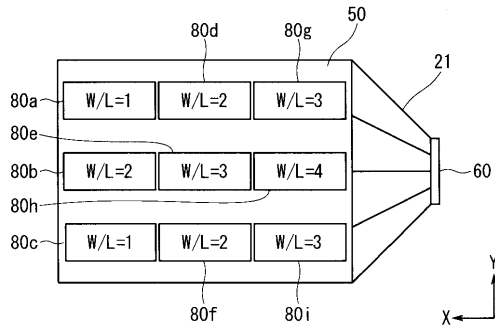


100

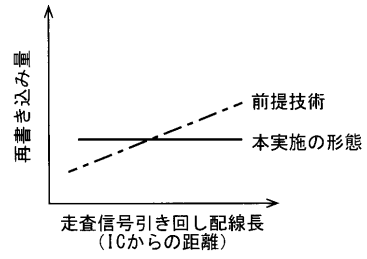
【図4】



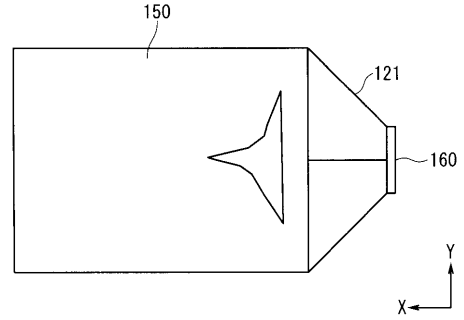
【図5】



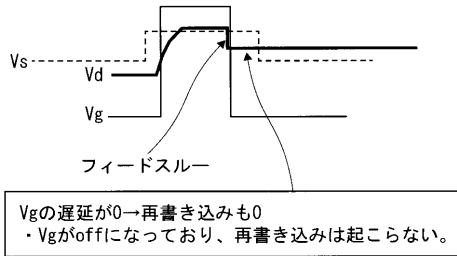
【図6】



【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 5C094 AA03 BA03 BA43 CA19 DB04 FB12 FB14 JA08

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶表示装置 | | |
| 公开(公告)号 | JP2017107109A | 公开(公告)日 | 2017-06-15 |
| 申请号 | JP2015241743 | 申请日 | 2015-12-11 |
| [标]申请(专利权)人(译) | 三菱电机株式会社 | | |
| 申请(专利权)人(译) | 三菱电机株式会社 | | |
| [标]发明人 | 安藤 爱美 野尻 勲 | | |
| 发明人 | 安藤 爱美 野尻 勲 | | |
| IPC分类号 | G02F1/1368 G09F9/30 | | |
| FI分类号 | G02F1/1368 G09F9/30.338 | | |
| F-TERM分类号 | 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB52 2H192/CC04 2H192/DA12 2H192/FA37 5C094/AA03 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB04 5C094/FB12 5C094/FB14 5C094/JA08 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题提供具有高显示质量的液晶显示装置。液晶显示装置包括：TFT阵列基板1，设置在面对TFT阵列基板1的位置处的对向基板20，以及形成在TFT阵列基板1中的显示区域50外部的框架区域55中的对向基板20并且扫描信号引出线21连接到扫描信号线2。在液晶显示装置中，当薄膜晶体管40的漏电极8的宽度为W，并且漏电极8和与漏电极8相对的源电极7之间的距离为L时，扫描信号引出线21的布线长度较长。具有由扫描信号引出线21连接的扫描信号布线2扫描和选择的薄膜晶体管40的显示像素30中的薄膜晶体管40的W / L很小。点域5

