

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-66029

(P2016-66029A)

(43) 公開日 平成28年4月28日(2016.4.28)

(51) Int.Cl.			F I			テーマコード (参考)	
G09G	3/36	(2006.01)	G09G	3/36		5C006	
G09G	3/20	(2006.01)	G09G	3/20	624B	5C080	
			G09G	3/20	624D		
			G09G	3/20	622C		
			G09G	3/20	623C		
			審査請求 未請求 請求項の数 12 O L (全 21 頁) 最終頁に続く				

(21) 出願番号	特願2014-196075 (P2014-196075)	(71) 出願人	502356528
(22) 出願日	平成26年9月26日 (2014. 9. 26)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100087653
			弁理士 鈴江 正二
		(72) 発明者	中村 卓
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		最終頁に続く	

(54) 【発明の名称】 液晶表示装置及びその駆動方法

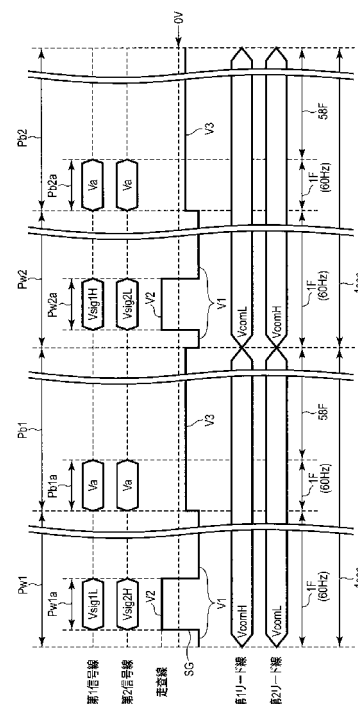
(57) 【要約】

【課題】低消費電力化を図ることのできる液晶表示装置及び液晶表示装置の駆動方法を提供する。又は、表示品位に優れた液晶表示装置及び液晶表示装置の駆動方法を提供する。

【解決手段】液晶表示装置の駆動部は、第1画素電極と第1対向電極との間に第1電位差を、第2画素電極と第2対向電極との間に第2電位差を、それぞれ与え保持する際、まず、書込み期間に、第1対向電極に第1対向電圧 V_{comH} を与え、第2対向電極に第2対向電圧 V_{comL} を与え、制御信号 SG の電圧値を第1電圧値 V_1 に設定する。特定書込み期間に、制御信号 SG の電圧値を第2電圧値 V_2 に一時的に設定し、第1画像信号 V_{sig1L} を第1信号線に与え、第2画像信号 V_{sig2H} を第2信号線に与える。保持期間に、第1対向電極に第1対向電圧 V_{comH} を与えた状態に維持し、第2対向電極に第2対向電圧 V_{comL} を与えた状態に維持し、制御信号 SG の電圧値を第3電圧値 V_3 に設定する。

【選択図】 図7

図7



【特許請求の範囲】

【請求項 1】

走査線と、第 1 信号線と、前記走査線及び第 1 信号線に電氣的に接続された n チャンネル型の第 1 薄膜トランジスタと、前記第 1 薄膜トランジスタに電氣的に接続された第 1 画素電極と、前記第 1 薄膜トランジスタ及び第 1 画素電極とともに第 1 画素を形成する第 1 対向電極と、第 2 信号線と、前記走査線及び第 2 信号線に電氣的に接続された n チャンネル型の第 2 薄膜トランジスタと、前記第 2 薄膜トランジスタに電氣的に接続された第 2 画素電極と、前記第 2 薄膜トランジスタ及び第 2 画素電極とともに、前記第 1 画素に隣合う第 2 画素を形成する第 2 対向電極と、前記走査線、第 1 信号線、第 2 信号線、第 1 対向電極及び第 2 対向電極に電氣的に接続された駆動部と、を備え、

10

前記駆動部は、前記第 1 画素電極と前記第 1 対向電極との間に第 1 電位差を、前記第 2 画素電極と前記第 2 対向電極との間に第 2 電位差を、それぞれ与え保持する際、

書込み期間に、前記第 1 対向電極に第 1 対向電圧を与え、前記第 2 対向電極に前記第 1 対向電圧よりロウレベルの第 2 対向電圧を与え、前記走査線に与える制御信号の電圧値を前記第 2 対向電圧よりロウレベルの第 1 電圧値に設定する書込みであって、前記第 1 対向電圧と前記第 1 電圧値との差は前記第 1 対向電圧と前記第 2 対向電圧との差の 2 倍以上である、前記書込みと、

前記書込み期間のうちの第 1 画像信号及び第 2 画像信号の特定書込み期間に、前記走査線に与える前記制御信号の電圧値を前記第 1 薄膜トランジスタの閾値電圧及び前記第 2 薄膜トランジスタの閾値電圧と同一レベル又はそれよりハイレベルの第 2 電圧値に一時的に設定し、前記第 1 画像信号を前記第 1 信号線に与え前記第 1 画素電極に書込み、前記第 2 画像信号を前記第 2 信号線に与え前記第 2 画素電極に書込み、前記第 1 電位差及び第 2 電位差を生じさせる、前記第 1 画像信号及び第 2 画像信号の特定書込みと、

20

前記書込み期間に続き、前記書込み期間より長い保持期間に、前記第 1 対向電極に前記第 1 対向電圧を与えた状態に維持し、前記第 2 対向電極に前記第 2 対向電圧を与えた状態に維持し、前記走査線に与える前記制御信号の電圧値を前記第 2 対向電圧よりロウレベルであり前記第 1 電圧値よりハイレベルである第 3 電圧値に設定し、前記第 1 電位差及び第 2 電位差を保持する、保持と、

を行うように構成されている液晶表示装置。

【請求項 2】

30

走査線と、第 1 信号線と、前記走査線及び第 1 信号線に電氣的に接続された p チャンネル型の第 1 薄膜トランジスタと、前記第 1 薄膜トランジスタに電氣的に接続された第 1 画素電極と、前記第 1 薄膜トランジスタ及び第 1 画素電極とともに第 1 画素を形成する第 1 対向電極と、第 2 信号線と、前記走査線及び第 2 信号線に電氣的に接続された p チャンネル型の第 2 薄膜トランジスタと、前記第 2 薄膜トランジスタに電氣的に接続された第 2 画素電極と、前記第 2 薄膜トランジスタ及び第 2 画素電極とともに、前記第 1 画素に隣合う第 2 画素を形成する第 2 対向電極と、前記走査線、第 1 信号線、第 2 信号線、第 1 対向電極及び第 2 対向電極に電氣的に接続された駆動部と、を備え、

前記駆動部は、前記第 1 画素電極と前記第 1 対向電極との間に第 1 電位差を、前記第 2 画素電極と前記第 2 対向電極との間に第 2 電位差を、それぞれ与え保持する際、

40

書込み期間に、前記第 1 対向電極に第 1 対向電圧を与え、前記第 2 対向電極に前記第 1 対向電圧よりハイレベルの第 2 対向電圧を与え、前記走査線に与える制御信号の電圧値を前記第 2 対向電圧よりハイレベルの第 1 電圧値に設定する書込みであって、前記第 1 対向電圧と前記第 1 電圧値との差は前記第 1 対向電圧と前記第 2 対向電圧との差の 2 倍以上である、前記書込みと、

前記書込み期間のうちの第 1 画像信号及び第 2 画像信号の特定書込み期間に、前記走査線に与える前記制御信号の電圧値を前記第 1 薄膜トランジスタの閾値電圧及び前記第 2 薄膜トランジスタの閾値電圧と同一レベル又はそれよりロウレベルの第 2 電圧値に一時的に設定し、前記第 1 画像信号を前記第 1 信号線に与え前記第 1 画素電極に書込み、前記第 2 画像信号を前記第 2 信号線に与え前記第 2 画素電極に書込み、前記第 1 電位差及び第 2 電

50

位差を生じさせる、前記第 1 画像信号及び第 2 画像信号の特定書込みと、

前記書込み期間に続き、前記書込み期間より長い保持期間に、前記第 1 対向電極に前記第 1 対向電圧を与えた状態に維持し、前記第 2 対向電極に前記第 2 対向電圧を与えた状態に維持し、前記走査線に与える前記制御信号の電圧値を前記第 2 対向電圧よりハイレベルであり前記第 1 電圧値よりロウレベルである第 3 電圧値に設定し、前記第 1 電位差及び第 2 電位差を保持する、保持と、
を行うように構成されている液晶表示装置。

【請求項 3】

前記駆動部は、前記保持期間に、前記第 1 対向電圧と前記第 2 対向電圧との中間の電圧レベルの調整信号を前記第 1 信号線及び第 2 信号線にそれぞれ与えるように構成されている請求項 1 又は 2 に記載の液晶表示装置。

10

【請求項 4】

前記駆動部は、

前記保持期間に続く他の書込み期間に、前記第 1 対向電極に前記第 2 対向電圧を与え、前記前記第 2 対向電極に前記第 1 対向電圧を与え、前記走査線に与える前記制御信号の電圧値を前記第 1 電圧値に設定する他の書込みと、

前記他の書込み期間のうちの前記第 1 画像信号及び第 2 画像信号の他の特定書込み期間に、前記走査線に与える前記制御信号の電圧値を前記第 2 電圧値に一時的に設定し、前記第 1 画像信号を前記第 1 信号線に与え前記第 1 画素電極に書込み、前記第 2 画像信号を前記第 2 信号線に与え前記第 2 画素電極に書込み、前記第 1 電位差及び第 2 電位差を生じさせる、前記第 1 画像信号及び第 2 画像信号の他の特定書込みと、

20

前記他の書込み期間に続き、前記他の書込み期間より長い他の保持期間に、前記第 1 対向電極に前記第 2 対向電圧を与えた状態に維持し、前記第 2 対向電極に前記第 1 対向電圧を与えた状態に維持し、前記走査線に与える前記制御信号の電圧値を前記第 3 電圧値に設定し、前記第 1 電位差及び第 2 電位差を保持する、他の保持と、
をさらにを行うように構成されている請求項 1 又は 2 に記載の液晶表示装置。

【請求項 5】

前記駆動部は、前記他の保持期間に、前記第 1 対向電圧と前記第 2 対向電圧との中間の電圧レベルの調整信号を前記第 1 信号線及び第 2 信号線にそれぞれ与えるように構成されている請求項 4 に記載の液晶表示装置。

30

【請求項 6】

前記駆動部は、前記特定書込みを含む前記書込みと、前記保持と、前記他の特定書込みを含む前記他の書込みと、前記他の保持と、を繰り返し、前記第 1 電位差及び第 2 電位差を保持するように構成されている請求項 4 に記載の液晶表示装置。

【請求項 7】

前記駆動部は、前記第 1 画素電極に前記第 1 画像信号を 60 Hz のフレームレートで書込み、前記第 2 画素電極に前記第 2 画像信号を 60 Hz のフレームレートで書込むように構成され、

前記書込み期間は 1 フレーム期間であり、

前記保持期間は、59 フレーム期間である請求項 1 又は 2 に記載の液晶表示装置。

40

【請求項 8】

前記第 1 画素電極に電氣的に接続され前記第 1 画素を形成する第 1 補助容量素子と、
前記第 2 画素電極に電氣的に接続され前記第 2 画素を形成する第 2 補助容量素子と、
をさらに備えている請求項 1 乃至 7 の何れか 1 項に記載の液晶表示装置。

【請求項 9】

前記第 1 画素及び第 2 画素は、それぞれ光反射型の画素である請求項 1 乃至 8 の何れか 1 項に記載の液晶表示装置。

【請求項 10】

前記第 1 画素電極及び第 2 画素電極は、それぞれ光反射型の電極である請求項 9 に記載の液晶表示装置。

50

【請求項 1 1】

ツイステッドネマティック方式を採用している請求項 1 乃至 1 0 の何れか 1 項に記載の液晶表示装置。

【請求項 1 2】

走査線と、第 1 信号線と、前記走査線及び第 1 信号線に電氣的に接続された n チャンネル型の第 1 薄膜トランジスタと、前記第 1 薄膜トランジスタに電氣的に接続された第 1 画素電極と、前記第 1 薄膜トランジスタ及び第 1 画素電極とともに第 1 画素を形成する第 1 対向電極と、第 2 信号線と、前記走査線及び第 2 信号線に電氣的に接続された n チャンネル型の第 2 薄膜トランジスタと、前記第 2 薄膜トランジスタに電氣的に接続された第 2 画素電極と、前記第 2 薄膜トランジスタ及び第 2 画素電極とともに、前記第 1 画素に隣合う第 2 画素を形成する第 2 対向電極と、を備えた液晶表示装置の駆動方法において、

前記第 1 画素電極と前記第 1 対向電極との間に第 1 電位差を、前記第 2 画素電極と前記第 2 対向電極との間に第 2 電位差を、それぞれ与え保持する際、

書込み期間に、前記第 1 対向電極に第 1 対向電圧を与え、前記第 2 対向電極に前記第 1 対向電圧よりロウレベルの第 2 対向電圧を与え、前記走査線に与える制御信号の電圧値を前記第 2 対向電圧よりロウレベルの第 1 電圧値に設定し、

前記書込み期間のうちの第 1 画像信号及び第 2 画像信号の特定書込み期間に、前記走査線に与える前記制御信号の電圧値を前記第 1 薄膜トランジスタの閾値電圧及び前記第 2 薄膜トランジスタの閾値電圧と同一レベル又はそれよりハイレベルの第 2 電圧値に一時的に設定し、前記第 1 画像信号を前記第 1 信号線に与え前記第 1 画素電極に書込み、前記第 2 画像信号を前記第 2 信号線に与え前記第 2 画素電極に書込み、前記第 1 電位差及び第 2 電位差を生じさせ、

前記書込み期間に続き、前記書込み期間より長い保持期間に、前記第 1 対向電極に前記第 1 対向電圧を与えた状態に維持し、前記第 2 対向電極に前記第 2 対向電圧を与えた状態に維持し、前記走査線に与える前記制御信号の電圧値を前記第 2 対向電圧よりロウレベルであり前記第 1 電圧値よりハイレベルである第 3 電圧値に設定し、前記第 1 電位差及び第 2 電位差を保持し、

前記第 1 対向電圧と前記第 1 電圧値との差は前記第 1 対向電圧と前記第 2 対向電圧との差の 2 倍以上である、

液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置及び液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

一般に、液晶表示装置は、アレイ基板と、対向基板と、これら両基板間に挟持された液晶層と、アレイ基板及び対向基板のいずれか一方に形成されたカラーフィルタと、を有している。アレイ基板及び対向基板間の隙間は、スペーサにより一定に保持されている。液晶表示装置の表示方式としては、TN (Twisted Nematic) 方式等の各種の方式が用いられている。各画素は、薄膜トランジスタ (thin film transistor: TFT) を有している。

【0003】

液晶表示装置は、60Hz のフレームレートで駆動されることが多いが、フレームレートを低減することにより、低消費電力化を図ることができる。しかしながら、薄膜トランジスタのリーク電流のために、画素電極の電圧が変化してしまい、画像表示の際にフリッカが生じる問題がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】国際公開第 2 0 1 3 / 0 3 5 5 9 4 号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の実施形態は、低消費電力化を図ることのできる液晶表示装置及び液晶表示装置の駆動方法を提供する。又は、本発明の実施形態は、表示品位に優れた液晶表示装置及び液晶表示装置の駆動方法を提供する。

【課題を解決するための手段】

【0006】

一実施形態に係る液晶表示装置は、

10

走査線と、第 1 信号線と、前記走査線及び第 1 信号線に電氣的に接続された n チャンネル型の第 1 薄膜トランジスタと、前記第 1 薄膜トランジスタに電氣的に接続された第 1 画素電極と、前記第 1 薄膜トランジスタ及び第 1 画素電極とともに第 1 画素を形成する第 1 対向電極と、第 2 信号線と、前記走査線及び第 2 信号線に電氣的に接続された n チャンネル型の第 2 薄膜トランジスタと、前記第 2 薄膜トランジスタに電氣的に接続された第 2 画素電極と、前記第 2 薄膜トランジスタ及び第 2 画素電極とともに、前記第 1 画素に隣合う第 2 画素を形成する第 2 対向電極と、前記走査線、第 1 信号線、第 2 信号線、第 1 対向電極及び第 2 対向電極に電氣的に接続された駆動部と、を備え、

前記駆動部は、前記第 1 画素電極と前記第 1 対向電極との間に第 1 電位差を、前記第 2 画素電極と前記第 2 対向電極との間に第 2 電位差を、それぞれ与え保持する際、

20

書込み期間に、前記第 1 対向電極に第 1 対向電圧を与え、前記第 2 対向電極に前記第 1 対向電圧よりロウレベルの第 2 対向電圧を与え、前記走査線に与える制御信号の電圧値を前記第 2 対向電圧よりロウレベルの第 1 電圧値に設定する書込みであって、前記第 1 対向電圧と前記第 1 電圧値との差は前記第 1 対向電圧と前記第 2 対向電圧との差の 2 倍以上である、前記書込みと、

前記書込み期間のうちの第 1 画像信号及び第 2 画像信号の特定書込み期間に、前記走査線に与える前記制御信号の電圧値を前記第 1 薄膜トランジスタの閾値電圧及び前記第 2 薄膜トランジスタの閾値電圧と同一レベル又はそれよりハイレベルの第 2 電圧値に一時的に設定し、前記第 1 画像信号を前記第 1 信号線に与え前記第 1 画素電極に書込み、前記第 2 画像信号を前記第 2 信号線に与え前記第 2 画素電極に書込み、前記第 1 電位差及び第 2 電位差を生じさせる、前記第 1 画像信号及び第 2 画像信号の特定書込みと、

30

前記書込み期間に続き、前記書込み期間より長い保持期間に、前記第 1 対向電極に前記第 1 対向電圧を与えた状態に維持し、前記第 2 対向電極に前記第 2 対向電圧を与えた状態に維持し、前記走査線に与える前記制御信号の電圧値を前記第 2 対向電圧よりロウレベルであり前記第 1 電圧値よりハイレベルである第 3 電圧値に設定し、前記第 1 電位差及び第 2 電位差を保持する、保持と、

を行うように構成されている。

【0007】

また、一実施形態に係る液晶表示装置は、

40

走査線と、第 1 信号線と、前記走査線及び第 1 信号線に電氣的に接続された p チャンネル型の第 1 薄膜トランジスタと、前記第 1 薄膜トランジスタに電氣的に接続された第 1 画素電極と、前記第 1 薄膜トランジスタ及び第 1 画素電極とともに第 1 画素を形成する第 1 対向電極と、第 2 信号線と、前記走査線及び第 2 信号線に電氣的に接続された p チャンネル型の第 2 薄膜トランジスタと、前記第 2 薄膜トランジスタに電氣的に接続された第 2 画素電極と、前記第 2 薄膜トランジスタ及び第 2 画素電極とともに、前記第 1 画素に隣合う第 2 画素を形成する第 2 対向電極と、前記走査線、第 1 信号線、第 2 信号線、第 1 対向電極及び第 2 対向電極に電氣的に接続された駆動部と、を備え、

前記駆動部は、前記第 1 画素電極と前記第 1 対向電極との間に第 1 電位差を、前記第 2 画素電極と前記第 2 対向電極との間に第 2 電位差を、それぞれ与え保持する際、

書込み期間に、前記第 1 対向電極に第 1 対向電圧を与え、前記第 2 対向電極に前記第 1

50

対向電圧よりハイレベルの第 2 対向電圧を与え、前記走査線に与える制御信号の電圧値を前記第 2 対向電圧よりハイレベルの第 1 電圧値に設定する書込みであって、前記第 1 対向電圧と前記第 1 電圧値との差は前記第 1 対向電圧と前記第 2 対向電圧との差の 2 倍以上である、前記書込みと、

前記書込み期間のうちの第 1 画像信号及び第 2 画像信号の特定書込み期間に、前記走査線に与える前記制御信号の電圧値を前記第 1 薄膜トランジスタの閾値電圧及び前記第 2 薄膜トランジスタの閾値電圧と同一レベル又はそれよりロウレベルの第 2 電圧値に一時的に設定し、前記第 1 画像信号を前記第 1 信号線に与え前記第 1 画素電極に書込み、前記第 2 画像信号を前記第 2 信号線に与え前記第 2 画素電極に書込み、前記第 1 電位差及び第 2 電位差を生じさせる、前記第 1 画像信号及び第 2 画像信号の特定書込みと、

前記書込み期間に続き、前記書込み期間より長い保持期間に、前記第 1 対向電極に前記第 1 対向電圧を与えた状態に維持し、前記第 2 対向電極に前記第 2 対向電圧を与えた状態に維持し、前記走査線に与える前記制御信号の電圧値を前記第 2 対向電圧よりハイレベルであり前記第 1 電圧値よりロウレベルである第 3 電圧値に設定し、前記第 1 電位差及び第 2 電位差を保持する、保持と、
を行うように構成されている。

【 0 0 0 8 】

また、一実施形態に係る液晶表示装置の駆動方法は、

走査線と、第 1 信号線と、前記走査線及び第 1 信号線に電氣的に接続された n チャンネル型の第 1 薄膜トランジスタと、前記第 1 薄膜トランジスタに電氣的に接続された第 1 画素電極と、前記第 1 薄膜トランジスタ及び第 1 画素電極とともに第 1 画素を形成する第 1 対向電極と、第 2 信号線と、前記走査線及び第 2 信号線に電氣的に接続された n チャンネル型の第 2 薄膜トランジスタと、前記第 2 薄膜トランジスタに電氣的に接続された第 2 画素電極と、前記第 2 薄膜トランジスタ及び第 2 画素電極とともに、前記第 1 画素に隣合う第 2 画素を形成する第 2 対向電極と、を備えた液晶表示装置の駆動方法において、

前記第 1 画素電極と前記第 1 対向電極との間に第 1 電位差を、前記第 2 画素電極と前記第 2 対向電極との間に第 2 電位差を、それぞれ与え保持する際、

書込み期間に、前記第 1 対向電極に第 1 対向電圧を与え、前記第 2 対向電極に前記第 1 対向電圧よりロウレベルの第 2 対向電圧を与え、前記走査線に与える制御信号の電圧値を前記第 2 対向電圧よりロウレベルの第 1 電圧値に設定し、

前記書込み期間のうちの第 1 画像信号及び第 2 画像信号の特定書込み期間に、前記走査線に与える前記制御信号の電圧値を前記第 1 薄膜トランジスタの閾値電圧及び前記第 2 薄膜トランジスタの閾値電圧と同一レベル又はそれよりハイレベルの第 2 電圧値に一時的に設定し、前記第 1 画像信号を前記第 1 信号線に与え前記第 1 画素電極に書込み、前記第 2 画像信号を前記第 2 信号線に与え前記第 2 画素電極に書込み、前記第 1 電位差及び第 2 電位差を生じさせ、

前記書込み期間に続き、前記書込み期間より長い保持期間に、前記第 1 対向電極に前記第 1 対向電圧を与えた状態に維持し、前記第 2 対向電極に前記第 2 対向電圧を与えた状態に維持し、前記走査線に与える前記制御信号の電圧値を前記第 2 対向電圧よりロウレベルであり前記第 1 電圧値よりハイレベルである第 3 電圧値に設定し、前記第 1 電位差及び第 2 電位差を保持し、

前記第 1 対向電圧と前記第 1 電圧値との差は前記第 1 対向電圧と前記第 2 対向電圧との差の 2 倍以上である。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】図 1 は、一実施形態に係る液晶表示装置を示す概略構成図である。

【図 2】図 2 は、図 1 に示した液晶表示パネルの周縁部を示す概略断面図である。

【図 3】図 3 は、図 1 及び図 2 に示したアレイ基板の概略構成を示す平面図である。

【図 4】図 4 は、図 3 に示した単位画素を概略的に示す回路図である。

【図 5】図 5 は、上記単位画素を示す等価回路である。

10

20

30

40

50

【図 6】図 6 は、上記液晶表示パネルの一部を示す断面図であり、4 個の画素を示す図である。

【図 7】図 7 は、上記液晶表示装置の駆動方法を説明するためのタイミングチャートであり、(1) 第 1 信号線を駆動する信号、(2) 第 2 信号線を駆動する信号、(3) 走査線を駆動する制御信号、(4) 第 1 リード線を駆動する第 1 対向電圧、(5) 第 2 リード線を駆動する第 2 対向電圧、を示す図である。

【図 8】図 8 は、上記実施形態に係る液晶表示装置の変形例のアレイ基板の表示領域の外側を拡大して示す平面図であり、切替え回路を示す図である。

【発明を実施するための形態】

【0010】

10

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0011】

以下、図面を参照しながら一実施形態に係る液晶表示装置及び液晶表示装置の駆動方法について詳細に説明する。まず、液晶表示装置の構成について説明する。

20

図 1 及び図 2 に示すように、液晶表示装置は、液晶表示パネル 10 を備えている。本実施形態において、液晶表示パネル 10 は、TN (Twisted Nematic) 方式を採用している。液晶表示パネル 10 は、アレイ基板 1 と、アレイ基板に所定の隙間を置いて対向配置された対向基板 2 と、これら両基板間に挟持された液晶層 3 とを備えている。その他、液晶表示装置は、画像信号出力部としての駆動回路 90 (信号線駆動回路) と、制御部 100 と、接続部 110 とを備えている。駆動回路 90 は、静止画を表示するための画像信号や、動画を表示するための画像信号 (映像信号) を出力する。接続部 110 としては、FPC (flexible printed circuit) 又は TCCP (tape carrier package) を利用することができる。液晶表示パネル 10 は、表示領域 AA を有している。表示領域 AA は非表示領域で囲まれている。

30

【0012】

図 1 乃至図 5 に示すように、アレイ基板 1 は、透明な絶縁性の基板として、例えばガラス基板 4a を備えている。表示領域 AA において、ガラス基板 4a 上にはマトリクス状に配置された複数の単位画素 UPX が形成されている。単位画素 UPX は、第 1 方向 d1 に m 個並べられ、第 1 方向 d1 に直交した第 2 方向 d2 に n 個並べられている。

【0013】

各単位画素 UPX は、複数の画素 PX を備えている。ここでは、各単位画素 UPX は、第 1 乃至第 4 画素 PXa 乃至 PXd を備えている。第 2 画素 PXb は、第 1 画素 PXa に第 1 方向 d1 に隣合って位置している。第 3 画素 PXc は、第 1 画素 PXa に第 2 方向 d2 に隣合って位置している。第 4 画素 PXd は、第 2 画素 PXb に第 2 方向 d2 に隣合い第 3 画素 PXc に第 1 方向 d1 に隣合って位置している。

40

【0014】

ここで、単位画素 UPX の単位ではなく画素 PX の単位に着目すると、複数の画素 PX は、第 1 方向 d1 に $2 \times m$ 個並べられ、第 2 方向 d2 に $2 \times n$ 個並べられている。奇数行において、第 1 画素 PXa 及び第 2 画素 PXb が第 1 方向 d1 に交互に並べられている。偶数行において、第 3 画素 PXc 及び第 4 画素 PXd が第 1 方向 d1 に交互に並べられている。奇数列において、第 1 画素 PXa 及び第 3 画素 PXc が第 2 方向 d2 に交互に並べられている。偶数列において、第 2 画素 PXb 及び第 4 画素 PXd が第 2 方向 d2 に交互に並べられている。

なお、上記単位画素 UPX を絵素と言い換えることができる。又は、単位画素 UPX を

50

画素と言い換えることができ、この場合、上記画素 P X を副画素と言い換えることができる。

【 0 0 1 5 】

表示領域 A A の外側において、ガラス基板 4 a の上方に、駆動回路 9 及びアウトリードボンディング (outer lead bonding) のパッド群 (以下、O L B パッド群と称する) P G が形成されている。本実施形態において、駆動回路 9 は、走査線駆動回路及び補助容量線駆動回路として利用される。なお、上記走査線駆動回路及び補助容量線駆動回路は、互いに分離して設けられていてもよい。例えば図 3 を参照すると、非表示領域のうち、左側領域に走査線駆動回路が設けられ、右側領域に補助容量線駆動回路が設けられてもよい。

【 0 0 1 6 】

表示領域 A A において、ガラス基板 4 a の上方には、複数本 (2 × m 本) の信号線 1 7、複数本 (2 × n 本) の走査線 1 5 及び複数本 (2 × n 本) の補助容量線 2 0 が配置されている。

信号線 1 7 は、駆動回路 9 0 (信号線駆動回路) に接続されている。信号線 1 7 は、第 2 方向 d 2 に延在し第 1 方向 d 1 に互いに間隔を置いて設けられている。信号線 1 7 は、それぞれ一列の複数の画素 P X に電氣的に接続されている。

【 0 0 1 7 】

走査線 1 5 は、駆動回路 9 (走査線駆動回路) に接続されている。走査線 1 5 は、第 1 方向 d 1 に延出し、第 2 方向 d 2 に互いに間隔を置いて設けられている。走査線 1 5 は、それぞれ一行の複数の画素 P X に電氣的に接続されている。

補助容量線 2 0 は、駆動回路 9 (補助容量線駆動回路) に接続されている。補助容量線 2 0 は、第 1 方向 d 1 に延在し第 2 方向 d 2 に互いに間隔を置いて設けられている。補助容量線 2 0 は、それぞれ一行の複数の画素 P X に電氣的に接続されている。

【 0 0 1 8 】

次に、単位画素 U P X を 1 つ取り出して説明する。

図 3 乃至図 5 に示すように、第 1 乃至第 4 画素 P X a 乃至 P X d は、互いに異なる色の画像を表示するように構成された画素である。この実施形態において、第 1 乃至第 4 画素 P X a 乃至 P X d は、赤色 (R)、緑色 (G)、青色 (B) 及び白色 (W) の画像を表示するように構成された画素である。単位画素 U P X は、いわゆる R G B W 正方画素 (R G B W の 4 個の正方形の画素が正方配列化された画素) で構成されている。

【 0 0 1 9 】

第 1 画素 P X a は、第 1 画素電極 2 2 a と、第 1 スイッチング素子 1 2 a と、補助容量素子 2 5 と、を有し、赤色 (R) の画像を表示するように構成されている。この実施形態において、第 1 スイッチング素子 1 2 a は、n チャネル型の薄膜トランジスタ (thin film transistor : T F T) で形成されている。第 1 スイッチング素子 1 2 a は、走査線 1 5 に電氣的に接続された第 1 電極と、信号線 1 7 (1 7 a) に電氣的に接続された第 2 電極と、第 1 画素電極 2 2 a に電氣的に接続された第 3 電極と、を有している。第 1 画素電極 2 2 a は、第 1 対向電極 4 2 a との間に液晶容量を形成している。なお、各第 1 対向電極 4 2 a は、第 1 リード線 L 1 に接続され、第 1 リード線 L 1 等を介して駆動回路 9 0 (リード線駆動回路) に接続されている。

【 0 0 2 0 】

ここで、第 1 スイッチング素子 1 2 a において、上記第 1 電極がゲート電極として機能し、第 2 及び第 3 電極の一方がソース電極として機能し、第 2 及び第 3 電極の他方がドレイン電極として機能する。なお、これら第 1 乃至第 3 電極の機能に関しては、後述する第 2 乃至第 4 スイッチング素子 1 2 b 乃至 1 2 d においても同様である。

【 0 0 2 1 】

補助容量素子 2 5 は、第 1 画素電極 2 2 a に電氣的に接続されている。この実施形態において、補助容量素子 2 5 は、第 1 画素電極 2 2 a と補助容量線 2 0 との間に形成されている。補助容量素子 2 5 の一方の電極は、第 1 画素電極 2 2 a 又は第 1 画素電極 2 2 a に接続された電極で形成されている。補助容量素子 2 5 の他方の電極は、対応する補助容量

10

20

30

40

50

線 20 の一部又は上記補助容量線 20 に接続された電極で形成されている。補助容量線 20 は、駆動回路 9 (補助容量線駆動回路) により駆動されている。なお、補助容量線 20 を駆動する必要が無い場合は、補助容量線駆動回路は特に必要でなく、各補助容量線 20 は何らかの定電位電源に接続されていてもよい。

【 0022 】

第 2 画素 P X b は、第 2 画素電極 22 b と、第 2 スイッチング素子 12 b と、補助容量素子 25 と、を有し、緑色 (G) の画像を表示するように構成されている。この実施形態において、第 2 スイッチング素子 12 b は、n チャンネル型の TFT で形成されている。第 2 スイッチング素子 12 b は、走査線 15 に電氣的に接続された第 1 電極と、信号線 17 (17 b) に電氣的に接続された第 2 電極と、第 2 画素電極 22 b に電氣的に接続された第 3 電極と、を有している。第 2 画素 P X b は、第 1 画素 P X a とともに同一の走査線 15 に接続されている。第 2 画素電極 22 b は、第 2 対向電極 42 b との間に液晶容量を形成している。なお、各第 2 対向電極 42 b は、第 2 リード線 L 2 に接続され、第 2 リード線 L 2 等を介して駆動回路 90 (リード線駆動回路) に接続されている。

10

【 0023 】

第 3 画素 P X c は、第 3 画素電極 22 c と、第 3 スイッチング素子 12 c と、補助容量素子 25 と、を有し、青色 (B) の画像を表示するように構成されている。この実施形態において、第 3 スイッチング素子 12 c は、n チャンネル型の TFT で形成されている。第 3 スイッチング素子 12 c は、走査線 15 に電氣的に接続された第 1 電極と、信号線 17 (17 a) に電氣的に接続された第 2 電極と、第 3 画素電極 22 c に電氣的に接続された第 3 電極と、を有している。第 3 画素 P X c は、第 1 画素 P X a とともに同一の第 1 信号線 17 a に接続されている。第 3 画素電極 22 c は、第 1 対向電極 42 a との間に液晶容量を形成している。

20

【 0024 】

第 4 画素 P X d は、第 4 画素電極 22 d と、第 4 スイッチング素子 12 d と、補助容量素子 25 と、を有し、白色 (W) の画像を表示するように構成されている。この実施形態において、第 4 スイッチング素子 12 d は、n チャンネル型の TFT で形成されている。第 4 スイッチング素子 12 d は、走査線 15 に電氣的に接続された第 1 電極と、信号線 17 (17 b) に電氣的に接続された第 2 電極と、第 4 画素電極 22 d に電氣的に接続された第 3 電極と、を有している。第 4 画素 P X d は、第 3 画素 P X c とともに同一の走査線 15 に接続され、第 2 画素 P X b とともに同一の第 2 信号線 17 b に接続されている。第 4 画素電極 22 d は、第 2 対向電極 42 b との間に液晶容量を形成している。

30

【 0025 】

上記のように、本実施形態において、各単位画素 U P X には、2 本の信号線 17 と 2 本の走査線 15 と、2 本の補助容量線 20 と、が接続されている。但し、信号線及び走査線に着目すると、各単位画素 U P X には、4 本の信号線 17 と 1 本の走査線 15 とが接続されていてよい。この場合、単位画素 U P X の第 1 乃至第 4 画素 P X a 乃至 P X d は、同一の走査線 15 に電氣的に接続されている。そして、単位画素 U P X の第 1 乃至第 4 画素 P X a 乃至 P X d は、互いに異なる信号線 17 に電氣的に接続されている。

40

【 0026 】

次に、液晶表示パネル 10 の断面構造について説明する。

図 4 乃至図 6 に示すように、ガラス基板 4 a 上にはアンダーコート膜 (絶縁膜) 11 が形成されている。アンダーコート膜 11 の上方に、複数のスイッチング素子 12 (12 a 乃至 12 d) が形成されている。詳しくは、アンダーコート膜 11 上に半導体層 13 が形成されている。

【 0027 】

半導体層 13 は、アモルファスシリコン、ポリシリコン、有機物半導体、酸化物半導体等の半導体で形成されている。本実施形態において、半導体層 13 は、酸化物半導体で形成された酸化物半導体層である。このような酸化物半導体としては、インジウム、ガリウム及び亜鉛の少なくとも 1 つを含む酸化物が好適に用いられる。酸化物半導体の体表的な

50

例としては、例えば、酸化インジウムガリウム亜鉛（IGZO）、酸化インジウムガリウム（IGO）、インジウム亜鉛酸化物（IZO）、亜鉛スズ酸化物（ZnSnO）、亜鉛酸化物（ZnO）、及び透明アモルファス酸化物半導体（TAOS）などが挙げられる。

このような酸化物半導体から成る半導体層13は、アモルファスシリコンからなる半導体層と比較して高移動度を実現できる。また、このような酸化物半導体からなる半導体層13は、ポリシリコンからなる半導体層と比較して、低温で大面積に亘って均一に成膜することができる、製造コストの低減を図ることができる。

【0028】

アンダーコート膜11及び半導体層13上に、ゲート絶縁膜14が形成されている。ゲート絶縁膜14上には、複数の走査線15が形成されている。走査線15は、半導体層13の第1領域（チャネル領域）と対向した複数の第1電極（ゲート電極）15aを有している。ゲート絶縁膜14及び走査線15（第1電極15a）上に、第1層間絶縁膜16が形成されている。

【0029】

第1層間絶縁膜16上に、複数の信号線17、複数の第2電極18a及び複数の第3電極18bが形成されている。信号線17、第2電極18a及び第3電極18bは、同一材料を利用し、同時に形成されている。信号線17は、第2電極18aと一体に形成されている。第2電極18aは、ゲート絶縁膜14及び第1層間絶縁膜16に形成されたコンタクトホールを通り半導体層13の第2領域にコンタクトしている。第3電極18bは、ゲート絶縁膜14及び第1層間絶縁膜16に形成された他のコンタクトホールを通り半導体層13の第3領域にコンタクトしている。なお、第2及び第3領域の一方がソース領域として機能し、第2及び第3領域の他方がドレイン領域として機能する。上記のように、スイッチング素子12が形成されている。

【0030】

第1層間絶縁膜16、信号線17、第2電極18a及び第3電極18b上に、第2層間絶縁膜19が形成されている。第2層間絶縁膜19上に、絶縁膜21が形成されている。絶縁膜21は、平坦化膜としても機能し得る。絶縁膜21が平坦化膜として機能することにより、アレイ基板1の表面の凹凸を低減することができる。

絶縁膜21上に、複数の画素電極22（22a乃至22d）が形成されている。本実施形態において、画素電極22は、光反射導電層、透明導電層、又はこれらの積層体で形成されている。光反射導電層は、アルミニウム（aluminum：Al）等の金属材料を利用して形成することができる。透明導電層は、インジウム錫酸化物（indium tin oxide：ITO）、インジウム亜鉛酸化物、（indium zinc oxide：IZO）等の透明な導電材料を利用して形成することができる。

【0031】

この実施形態において、画素電極22は、光反射導電層と透明導電層との積層体で形成された光反射型の画素電極である。液晶表示パネル10は光反射型の液晶表示パネルである。画素電極22は、光反射性を有し、表示面（対向基板2の外面）側から入射された光を上記表示面側に反射することができる。

【0032】

例えば、透明導電層は画素電極22の最上層に位置している。透明導電層のサイズは光反射導電層のサイズと同一であり、透明導電層は光反射導電層に完全に重なって形成されていてもよい。この場合、1回のフォトリソグラフィ工程で、積層された光反射導電膜及び透明導電膜にパターンニングを施すことにより、光反射導電層及び透明導電層を同時に形成することができる。

なお、液晶表示パネル10は光透過型の液晶表示パネルであってもよい。この場合、画素電極22は、透明導電層のみで形成された光透過型の画素電極である。画素電極22は、光透過性を有し、アレイ基板1側から入射された光を対向基板2側に透過させることができる。

10

20

30

40

50

【 0 0 3 3 】

絶縁膜 2 1 及び画素電極 2 2 上には、柱状スペーサ 5 (図 2) が形成されている。絶縁膜 2 1、画素電極 2 2 及び柱状スペーサ 5 上には配向膜 2 3 が設けられている。配向膜 2 3 は液晶層 3 に接している。この実施形態において、配向膜 2 3 は水平配向膜であり、ラビング等の配向処理が施されている。これにより、配向膜 2 3 は、液晶層 3 の液晶分子を初期配向させることができる。

上記のように、アレイ基板 1 が形成されている。

【 0 0 3 4 】

図 6 に示すように、一方、対向基板 2 は、透明な絶縁基板として、例えばガラス基板 4 b を備えている。ガラス基板 4 b 上には、カラーフィルタ 3 0 が設けられている。カラーフィルタ 3 0 は、ブラックマトリクス 3 1 と、複数列の着色層 (又は無着色層) 3 2 とを有している。ブラックマトリクス 3 1 は、複数の画素 P X を区画するように格子状に形成されている。

10

【 0 0 3 5 】

この実施形態において、カラーフィルタ 3 0 は、第 1 画素 P X a を形成する赤色の着色層 3 2 (3 2 R)、第 2 画素 P X b を形成する緑色の着色層 3 2 (3 2 G)、第 3 画素 P X c を形成する青色の着色層 3 2、及び第 4 画素 P X d を形成する透明な無着色層 3 2 を有している。なお、上記カラーフィルタ 3 0 は、無着色層 3 2 無しに形成することができる。

20

【 0 0 3 6 】

また、この実施形態において、カラーフィルタ 3 0 上にオーバーコート膜 4 1 が設けられている。オーバーコート膜 4 1 は、対向基板 2 の表面の凹凸を低減する機能を有している。なお、オーバーコート膜 4 1 は必要に応じて設けられていればよい。オーバーコート膜 4 1 上には、対向電極 (共通電極) 4 2 及び配向膜 4 3 が順に設けられている。

【 0 0 3 7 】

この実施形態において、対向電極 4 2 は、ITO、IZO 等の透明な導電材料を利用して形成されている。また、対向電極 4 2 は、複数の第 1 対向電極 4 2 a と、複数の第 2 対向電極 4 2 b と、を有している。第 1 対向電極 4 2 a 及び第 2 対向電極 4 2 b は、それぞれ帯状に形成され、第 2 方向 d 2 に延在し、第 1 方向 d 1 に間隔を置いて交互に並べられている。各第 1 対向電極 4 2 a は、奇数列のうちの任意の一行の全ての画素 P X の画素電極 2 2 と対向している。各第 2 対向電極 4 2 b は、偶数列のうちの任意の一行の全ての画素 P X の画素電極 2 2 と対向している。

30

このため、第 1 対向電極 4 2 a 及び第 2 対向電極 4 2 b は、それぞれ複数の画素 P X の形成に寄与している。また、第 1 対向電極 4 2 a 及び第 2 対向電極 4 2 b は、それぞれ複数の画素 P X で共用される共通電極である。

【 0 0 3 8 】

本実施形態において、液晶表示装置はカラム反転駆動法を利用し、かつ、信号線 1 7 を駆動する電圧を半減するため、対向電極 4 2 は、帯状の第 1 対向電極 4 2 a 及び第 2 対向電極 4 2 b を有している。列単位及びフレーム単位で、第 1 対向電極 4 2 a 及び第 2 対向電極 4 2 b の電位も変動させることにより、液晶層 3 を交流駆動することができる。

40

このため、動画を表示する際の任意の N 番目の 1 フレーム期間内に、画素電極 2 2 に画像信号が与えられると、奇数列の画素 P X の画素電極 2 2 の電位は第 1 対向電極 4 2 a の電位と同一かそれより高くなり、偶数列の画素 P X の画素電極 2 2 の電位は第 2 対向電極 4 2 b の電位と同一かそれより低くなる。そして、N + 1 番目の 1 フレーム期間内に、画素電極 2 2 に画像信号が与えられると、奇数列の画素 P X の画素電極 2 2 の電位は第 1 対向電極 4 2 a の電位と同一かそれより低くなり、偶数列の画素 P X の画素電極 2 2 の電位は第 2 対向電極 4 2 b の電位と同一かそれより高くなる。

すなわち、N 番目の 1 フレーム期間内に、奇数列では、画素電極 2 2 が正極性の電極、第 1 対向電極 4 2 a が負極性の電極となり、偶数列では、画素電極 2 2 が負極性の電極、第 2 対向電極 4 2 b が正極性の電極となる。N + 1 番目の 1 フレーム期間内に、奇数列で

50

は、画素電極 2 2 が負極性の電極、第 1 対向電極 4 2 a が正極性の電極となり、偶数列では、画素電極 2 2 が正極性の電極、第 2 対向電極 4 2 b が負極性の電極となる。

【0039】

配向膜 4 3 は液晶層 3 に接している。配向膜 4 3 は、水平配向膜であり、ラビング等の配向処理が施されている。これにより、配向膜 4 3 は、液晶層 3 の液晶分子を初期配向させることができる。

上記のように、対向基板 2 が形成されている。

【0040】

図 2 に示すように、アレイ基板 1 及び対向基板 2 間の所定の隙間は柱状スペーサ 5 により保持されている。アレイ基板 1 及び対向基板 2 は、これら両基板の周縁部に配置されたシール材 6 により接合されている。液晶層 3 は、アレイ基板 1、対向基板 2 及びシール材 6 で囲まれた空間に形成されている。本実施形態において、液晶層 3 は、ボジ型の液晶材料で形成されている。

上記のように液晶表示装置が形成されている。

【0041】

次に、上記のように構成された液晶表示装置の駆動方法について説明する。

駆動部（駆動回路 9 及び駆動回路 9 0 等）は、走査線 1 5、補助容量線 2 0 及び信号線 1 7 を駆動し、画素電極 2 2 に画像信号を書込んでいる。液晶表示装置が動画や静止画を表示する場合、駆動部は走査線 1 5 及び信号線 1 7 を毎フレーム駆動する。但し、液晶表示装置が静止画を表示する場合、駆動部は走査線 1 5 及び信号線 1 7 を数フレーム置きに駆動（間欠駆動）することもできる。

【0042】

図 4 及び図 5 に示した第 1 画素 P X a 及び第 2 画素 P X b に着目すると、本実施形態において、駆動部は、第 1 画素電極 2 2 a と第 1 対向電極 4 2 a との間に第 1 電位差を、第 2 画素電極 2 2 b と第 2 対向電極 4 2 b との間に第 2 電位差を、それぞれ与え保持する際、すなわち、静止画を表示する際、次のように走査線 1 5 及び信号線 1 7 等を駆動する。

【0043】

書込み期間に、駆動部は、第 1 対向電極 4 2 a に第 1 対向電圧を与え、第 2 対向電極 4 2 b に第 1 対向電圧よりロウレベルの第 2 対向電圧を与え、走査線 1 5 に与える制御信号の電圧値を第 2 対向電圧よりロウレベルの第 1 電圧値に設定する書込みを行う。

ここで、ロウレベルとは、相対的に負であることを言う。例えば、第 2 対向電圧は、第 1 対向電圧より相対的に負の電圧である。また、第 1 対向電圧と第 1 電圧値との差は、第 1 対向電圧と第 2 対向電圧との差の 2 倍以上である。

【0044】

上記書込み期間のうちの第 1 画像信号及び第 2 画像信号の特定書込み期間に、駆動部は、第 1 画像信号及び第 2 画像信号の特定書込みを行う。詳しくは、駆動部は、走査線 1 5 に与える制御信号の電圧値を第 1 スイッチング素子 1 2 a の閾値電圧及び第 2 スイッチング素子 1 2 b の閾値電圧と同一レベル又はそれよりハイレベルの第 2 電圧値に一時的に設定し、第 1 画像信号を第 1 信号線 1 7 a に与え第 1 画素電極 2 2 a に書込み、第 2 画像信号を第 2 信号線 1 7 b に与え第 2 画素電極 2 2 b に書込む。これにより、上記第 1 電位差及び第 2 電位差を生じさせる。

ここで、ハイレベルとは、相対的に正であることを言う。例えば、第 2 電圧値は、第 1 スイッチング素子 1 2 a の閾値電圧及び第 2 スイッチング素子 1 2 b の閾値電圧と同一レベル又はそれより相対的に正の電圧値である。

【0045】

上記書込み期間に続き、上記書込み期間より長い保持期間に、駆動部は、上記第 1 電位差及び第 2 電位差を保持する、保持を行う。詳しくは、駆動部は、第 1 対向電極 4 2 a に第 1 対向電圧を与えた状態に維持し、第 2 対向電極 4 2 b に第 2 対向電圧を与えた状態に維持し、走査線 1 5 に与える制御信号の電圧値を第 2 対向電圧よりロウレベルであり第 1 電圧値よりハイレベルである第 3 電圧値に設定する。

【0046】

次に、液晶表示装置の駆動方法の実施例について説明する。ここでは、図4及び図5に示した第1画素PXa及び第2画素PXbに着目し、第1画素電極22aと第1対向電極42aとの間に第1電位差を、第2画素電極22bと第2対向電極42bとの間に第2電位差を、それぞれ与え保持し、静止画を表示する場合について説明する。なお、静止画を表示する期間も補助容量線20は定電位に固定されている。

【0047】

図7、及び図3乃至図5に示すように、第1書込み期間Pw1及び第1保持期間Pb1の和は1秒間に相当し、第2書込み期間Pw2及び第2保持期間Pb2の和は1秒間に相当する。第1書込み期間Pw1は1フレーム期間(1/60秒)である。第1書込み期間Pw1に、駆動部は60Hzのフレームレートで書込み動作を行う。

10

【0048】

まず、第1書込み期間Pw1に、駆動回路90は、第1対向電極42aに第1対向電圧VcomHを与え、第2対向電極42bに第1対向電圧VcomHよりロウレベルの第2対向電圧VcomLを与え、駆動回路9は、走査線15に与える制御信号SGの電圧値を第2対向電圧VcomLよりロウレベルの第1電圧値V1に設定する。第1対向電圧VcomHと第1電圧値V1との差は第1対向電圧VcomHと第2対向電圧VcomLとの差の2倍以上である。この実施形態において、電圧値を例示すると、第1対向電圧VcomHは+4.0V(ボルト)、第2対向電圧VcomLは+0.2V、第1電圧値V1は-6.0Vである。

20

上記のように、第1対向電圧VcomHと第1電圧値V1との差を第1対向電圧VcomHと第2対向電圧VcomLとの差の2倍以上にすることにより、走査線15(第1電極15a)の電位が第1画素電極22aの電位又は第2画素電極22bの電位より不所望に高くなる事態を回避することができる。

【0049】

第1書込み期間Pw1のうちの第1画像信号及び第2画像信号の第1特定書込み期間Pw1aは、ここでは、一水平走査期間に相当する。第1特定書込み期間Pw1aに、駆動部は、第1画像信号Vsig1L及び第2画像信号Vsig2Hの第1特定書込みを行う。第1特定書込み期間Pw1aに、駆動回路9は、走査線15に与える制御信号SGの電圧値を第1スイッチング素子12aの閾値電圧及び第2スイッチング素子12bの閾値電圧と同一レベル又はそれよりハイレベルの第2電圧値V2に一時的に設定し、駆動回路90は、第1画像信号Vsig1Lを第1信号線17aに与え第1画素電極22aに書込み、第2画像信号Vsig2Hを第2信号線17bに与え第2画素電極22bに書込む。これにより、上記第1電位差及び第2電位差を生じさせることができる。

30

ここで、第1画像信号Vsig1Lは、第1対向電圧VcomHと第2対向電圧VcomLとの間の電圧値を有し、ロウレベルの第1画像信号である。このため、第1画素電極22aが負極性の電極、第1対向電極42aが正極性の電極となる。一方、第2画像信号Vsig2Hは、第1対向電圧VcomHと第2対向電圧VcomLとの間の電圧値を有し、ハイレベルの第2画像信号である。このため、第2画素電極22bが正極性の電極、第2対向電極42bが負極性の電極となる。

40

この実施形態において、電圧値を例示すると、第2電圧値V2は+10Vである。

【0050】

第1書込み期間Pw1に続き、第1書込み期間Pw1より長い第1保持期間Pb1に、駆動部は、上記第1電位差及び第2電位差の保持を行う。この実施形態において、第1保持期間Pb1は、59フレーム期間(59/60秒)である。第1保持期間Pb1に、駆動回路90は、第1対向電極42aに第1対向電圧VcomHを与えた状態に維持し、第2対向電極42bに第2対向電圧VcomLを与えた状態に維持し、駆動回路9は、走査線15に与える制御信号SGの電圧値を第2対向電圧VcomLよりロウレベルであり第1電圧値V1よりハイレベルである第3電圧値V3に設定する。

制御信号SGの電圧値を第1電圧値V1に設定した場合より第3電圧値V3に設定した

50

場合の方が、走査線 15 (第 1 電極 15 a) の電位と第 1 画素電極 22 a の電位との差や、走査線 15 (第 1 電極 15 a) の電位と第 2 画素電極 22 b の電位との差を小さくすることができる。第 1 スイッチング素子 12 a や第 2 スイッチング素子 12 b にかかるバイアス電圧を小さくすることができるため、半導体層 13 (第 1 スイッチング素子 12 a, 第 2 スイッチング素子 12 b) に生じるリーク電流の低減に寄与することができる。これにより、上記第 1 電位差及び第 2 電位差を良好に保持することができる。

そして、上記のように第 1 保持期間 P b 1 を設けることにより、液晶表示装置の低消費電力化に寄与することができる。

【0051】

さらに本実施形態において、駆動回路 90 (駆動部) は、第 1 保持期間 P b 1 に、第 1 対向電圧 V c o m H と第 2 対向電圧 V c o m L との中間の電圧レベルの調整信号 V a を第 1 信号線 17 a 及び第 2 信号線 17 b にそれぞれ与えるように構成されている。この実施形態において、電圧値を例示すると、調整信号 V a の電圧値は + 2 . 1 V である。

また、この例では、第 1 保持期間 P b 1 のうちの第 1 電圧調整期間 P b 1 a に、調整信号 V a が第 1 信号線 17 a 及び第 2 信号線 17 b にそれぞれ与えられている。第 1 電圧調整期間 P b 1 a は、第 1 保持期間 P b 1 の最初の 1 フレーム期間である。しかしながら、第 1 電圧調整期間 P b 1 a の長さは、種々変形可能であり、1 フレーム期間未満であったり、1 フレーム期間を超えたりしてもよい。例えば、第 1 電圧調整期間 P b 1 a の長さと第 1 保持期間 P b 1 の長さが一致してもよい。信号線に第 2 電圧を書き込んだのち、信号線をハイインピーダンス状態において (信号線に電氣的な書き込みがされないようにする)、保持させておくのでも良い。

【0052】

このように、第 1 保持期間 P b 1 に、第 1 信号線 17 a 及び第 2 信号線 17 b の電圧値を調整信号 V a の電圧値に設定した方が、第 1 信号線 17 a の電位と第 1 画素電極 22 a の電位との差や、第 2 信号線 17 b の電位と第 2 画素電極 22 b の電位との差を小さくすることができる。第 1 スイッチング素子 12 a や第 2 スイッチング素子 12 b にかかるバイアス電圧を小さくすることができるため、半導体層 13 (第 1 スイッチング素子 12 a, 第 2 スイッチング素子 12 b) に生じるリーク電流の低減に寄与することができる。特に、第 1 画像信号 V s i g 1 L の電圧値や第 2 画像信号 V s i g 2 H の電圧値が、第 1 対向電圧 V c o m H と第 2 対向電圧 V c o m L との中間の電圧レベルに近い程、半導体層 13 に生じるリーク電流を低減することができる。これにより、上記第 1 電位差及び第 2 電位差を良好に保持することができる。

【0053】

第 1 保持期間 P b 1 に続く第 2 書込み期間 P w 2 に、駆動回路 90 は、第 1 対向電極 42 a に第 2 対向電圧 V c o m L を与え、第 2 対向電極 42 b に第 1 対向電圧 V c o m H を与え、駆動回路 9 は、走査線 15 に与える制御信号 S G の電圧値を第 1 電圧値 V 1 に設定する。

ここでも、第 1 対向電圧 V c o m H と第 1 電圧値 V 1 との差を第 1 対向電圧 V c o m H と第 2 対向電圧 V c o m L との差の 2 倍以上にすることにより、走査線 15 (第 1 電極 15 a) の電位が第 1 画素電極 22 a の電位又は第 2 画素電極 22 b の電位より不所望に高くなる事態を回避することができる。

【0054】

第 2 書込み期間 P w 2 のうちの第 1 画像信号及び第 2 画像信号の第 2 特定書込み期間 P w 2 a は、ここでは、一水平走査期間に相当する。第 2 特定書込み期間 P w 2 a に、駆動部は、第 1 画像信号 V s i g 1 H 及び第 2 画像信号 V s i g 2 L の第 2 特定書込みを行う。第 2 特定書込み期間 P w 2 a に、駆動回路 9 は、走査線 15 に与える制御信号 S G の電圧値を第 2 電圧値 V 2 に一時的に設定し、駆動回路 90 は、第 1 画像信号 V s i g 1 H を第 1 信号線 17 a に与え第 1 画素電極 22 a に書込み、第 2 画像信号 V s i g 2 L を第 2 信号線 17 b に与え第 2 画素電極 22 b に書込む。これにより、上記第 1 電位差及び第 2 電位差を生じさせることができる。

なお、第1画素電極22aの電位と第1対向電極42aの電位との差の絶対値は、第1特定書込み期間Pw1aと第2特定書込み期間Pw2aとで同一である。同様に、第2画素電極22bの電位と第2対向電極42bの電位との差の絶対値は、第1特定書込み期間Pw1aと第2特定書込み期間Pw2aとで同一である。

【0055】

ここで、第1画像信号Vsig1Hは、第1対向電圧VcomHと第2対向電圧VcomLとの間の電圧値を有し、ハイレベルの第1画像信号である。このため、第1画素電極22aが正極性の電極、第1対向電極42aが負極性の電極となる。一方、第2画像信号Vsig2Lは、第1対向電圧VcomHと第2対向電圧VcomLとの間の電圧値を有し、ロウレベルの第2画像信号である。このため、第2画素電極22bが負極性の電極、第2対向電極42bが正極性の電極となる。

10

【0056】

このため、このように静止画を表示する際は、1秒単位でいわゆるカラムコモン反転駆動を行うことができる。これにより、1秒毎に、第1画素電極22aの電位と第1対向電極42aの電位との関係が反転し、同様に、第2画素電極22bの電位と第2対向電極42bの電位との関係が反転する。液晶層3に交流電圧を印加することができるため、液晶材料の劣化を抑制することができる。

【0057】

第2書込み期間Pw2に続き、第2書込み期間Pw2より長い第2保持期間Pb2に、駆動部は、上記第1電位差及び第2電位差の保持を行う。この実施形態において、第2保持期間Pb2は、59フレーム期間(59/60秒)である。第2保持期間Pb2に、駆動回路90は、第1対向電極42aに第2対向電圧VcomLを与えた状態に維持し、第2対向電極42bに第1対向電圧VcomHを与えた状態に維持し、駆動回路9は、走査線15に与える制御信号SGの電圧値を第3電圧値V3に設定する。

20

この場合も、制御信号SGの電圧値を第1電圧値V1に設定した場合より第3電圧値V3に設定した場合の方が、半導体層13(第1スイッチング素子12a、第2スイッチング素子12b)に生じるリーク電流の低減に寄与することができる。これにより、上記第1電位差及び第2電位差を良好に保持することができる。

そして、上記のように第2保持期間Pb2を設けることにより、液晶表示装置の低消費電力化に寄与することができる。

30

【0058】

さらに本実施形態において、駆動回路90(駆動部)は、第2保持期間Pb2に、調整信号Vaを第1信号線17a及び第2信号線17bにそれぞれ与えるように構成されている。

また、この例では、第2保持期間Pb2のうちの第2電圧調整期間Pb2aに、調整信号Vaが第1信号線17a及び第2信号線17bにそれぞれ与えられている。第2電圧調整期間Pb2aは、第2保持期間Pb2の最初の1フレーム期間である。しかしながら、第2電圧調整期間Pb2aの長さは、種々変形可能であり、1フレーム期間未満であったり、1フレーム期間を超えたりしてもよい。例えば、第2電圧調整期間Pb2aの長さと第2保持期間Pb2の長さとが一致してもよい。信号線に第2電圧を書き込んだのち、信号線をハイインピーダンス状態において(信号線に電氣的な書き込みがされないようにする)、保持させておくのでも良い。

40

【0059】

このように、第2保持期間Pb2に、第1信号線17a及び第2信号線17bの電圧値を調整信号Vaの電圧値に設定した方が、半導体層13(第1スイッチング素子12a、第2スイッチング素子12b)に生じるリーク電流の低減に寄与することができる。特に、第1画像信号Vsig1Hの電圧値や第2画像信号Vsig2Lの電圧値が、第1対向電圧VcomHと第2対向電圧VcomLとの中間の電圧レベルに近い程、半導体層13に生じるリーク電流を低減することができる。これにより、上記第1電位差及び第2電位差を良好に保持することができる。

50

【 0 0 6 0 】

上記第 2 保持期間 P b 2 の後、駆動部は、第 1 特定書込みを含む第 1 書込み期間 P w 1 の書込みと、第 1 保持期間 P b 1 の保持と、第 2 特定書込みを含む第 2 書込み期間 P w 2 の書込みと、第 2 保持期間 P b 2 の保持と、を繰り返し、上記第 1 電位差及び第 2 電位差を保持するように構成されていてもよい。これにより、静止画を表示する時間を調整することができ、低消費電力化に寄与することができ、表示品位に優れた画像の表示を保持することができる。

【 0 0 6 1 】

上記のように構成された一実施形態に係る液晶表示装置及び液晶表示装置の駆動方法によれば、液晶表示装置は、走査線 1 5 と、第 1 信号線 1 7 a と、第 1 スイッチング素子 1 2 a と、第 1 画素電極 2 2 a と、第 1 対向電極 4 2 a と、第 2 信号線 1 7 b と、第 2 スイッチング素子 1 2 b と、第 2 画素電極 2 2 b と、第 2 対向電極 4 2 b と、駆動部（駆動回路 9 , 9 0 ）と、を備えている。第 1 スイッチング素子 1 2 a 及び第 2 スイッチング素子 1 2 b は、n チャネル型の T F T で形成されている。第 1 スイッチング素子 1 2 a 、第 1 画素電極 2 2 a 及び第 1 対向電極 4 2 a は、とともに第 1 画素 P X a を形成している。第 2 スイッチング素子 1 2 b 、第 2 画素電極 2 2 b 及び第 2 対向電極 4 2 b は、とともに第 2 画素 P X b を形成している。

【 0 0 6 2 】

駆動部は、第 1 画素電極 2 2 a と第 1 対向電極 4 2 a との間に第 1 電位差を、第 2 画素電極 2 2 b と第 2 対向電極 4 2 b との間に第 2 電位差を、それぞれ与え保持する際、書込みと、保持と、を行うように構成されている。

【 0 0 6 3 】

上記書込みでは、第 1 書込み期間 P w 1 に、駆動部は、第 1 対向電極 4 2 a に第 1 対向電圧 V c o m H を与え、第 2 対向電極 4 2 b に第 2 対向電圧 V c o m L を与え、走査線 1 5 に与える制御信号 S G の電圧値を第 1 電圧値 V 1 に設定する。第 1 対向電圧 V c o m H と第 1 電圧値 V 1 との差は第 1 対向電圧 V c o m H と第 2 対向電圧 V c o m L との差の 2 倍以上である。これにより、走査線 1 5（第 1 電極 1 5 a）の電位が第 1 画素電極 2 2 a の電位又は第 2 画素電極 2 2 b の電位より不所望に高くなる事態を回避することができる。

【 0 0 6 4 】

第 1 書込み期間 P w 1 のうちの第 1 画像信号及び第 2 画像信号の第 1 特定書込み期間 P w 1 a に、駆動部は、走査線 1 5 に与える制御信号 S G の電圧値を第 2 電圧値 V 2 に一時的に設定し、第 1 画像信号 V s i g 1 L を第 1 信号線 1 7 a に与え第 1 画素電極 2 2 a に書込み、第 2 画像信号 V s i g 2 H を第 2 信号線 1 7 b に与え第 2 画素電極 2 2 b に書込んでいる。これにより、上記第 1 電位差及び第 2 電位差を生じさせることができる。

【 0 0 6 5 】

第 1 書込み期間 P w 1 に続き、第 1 書込み期間 P w 1 より長い第 1 保持期間 P b 1 に、駆動部は、第 1 対向電極 4 2 a に第 1 対向電圧 V c o m H を与えた状態に維持し、第 2 対向電極 4 2 b に第 2 対向電圧 V c o m L を与えた状態に維持し、走査線 1 5 に与える制御信号 S G の電圧値を第 3 電圧値 V 3 に設定している。

【 0 0 6 6 】

制御信号 S G の電圧値を第 3 電圧値 V 3 に設定することにより、走査線 1 5（第 1 電極 1 5 a）の電位と第 1 画素電極 2 2 a の電位との差や、走査線 1 5（第 1 電極 1 5 a）の電位と第 2 画素電極 2 2 b の電位との差を小さくすることができる。第 1 スイッチング素子 1 2 a や第 2 スイッチング素子 1 2 b にかかるバイアス電圧を小さくすることができるため、半導体層 1 3（第 1 スイッチング素子 1 2 a , 第 2 スイッチング素子 1 2 b）に生じるリーク電流の低減に寄与することができる。これにより、上記第 1 電位差及び第 2 電位差を良好に保持することができる。

画素電極 2 2（例えば第 1 画素電極 2 2 a 又は第 2 画素電極 2 2 b）の電位の変化を抑制することができるため、フリッカの発生を抑制することができる。そして、上記のよう

10

20

30

40

50

に第 1 保持期間 P b 1 を設けることにより、液晶表示装置の低消費電力化に寄与することができる。

上記のことから、低消費電力化を図ることのできる液晶表示装置及び液晶表示装置の駆動方法を得ることができる。又は、表示品位に優れた液晶表示装置及び液晶表示装置の駆動方法を得ることができる。

【 0 0 6 7 】

次に、上記実施形態に係る液晶表示装置の変形例について説明する。

図 8 に示すように、液晶表示装置は、切替え回路 5 0 をさらに備えていてもよい。この場合も、上述した実施形態と同様の効果を得ることができる。

切替え回路 5 0 は、複数の切替え素子群 5 5 を有し、切替え素子群 5 5 はそれぞれ複数の切替え素子 A S W を有している。この実施の形態において、切替え素子群 5 5 はそれぞれ 2 個の切替え素子 A S W を有している。切替え回路 5 0 は、1 / 2 マルチプレクサ回路である。切替え素子 A S W としては、例えば T F T であり、上記スイッチング素子 1 2 と同様に形成することができ得る。

【 0 0 6 8 】

切替え回路 5 0 は、複数の信号線 1 7 (1 7 a , 1 7 b) に接続されている。また、切替え回路 5 0 は、接続配線 5 7 を介して駆動回路 9 0 に接続されている。ここでは、接続配線 5 7 の本数は、信号線 1 7 の本数の 1 / 2 である。

駆動回路 9 0 の出力 (接続配線 5 7) 1 個当たり 2 本の信号線 1 7 を時分割駆動するよう、切替え素子 (アナログスイッチ) A S W は、制御信号 S W 1 及び S W 2 により、オン / オフが切替えられる。これら制御信号 S W 1 及び S W 2 は、制御部 1 0 0 から、O L B パッド群 p G (図 3)、複数の制御配線 5 8 を介して切替え素子 A S W にそれぞれ与えられる。

上記の変形例によれば、信号線 1 7 は時分割駆動されている。このため、信号線 1 7 を駆動するために駆動回路 9 0 及び制御部 1 0 0 等によって生成される画像信号の数を半分にすることができる。これにより、上述した実施形態と同様に、外部ソース I C (駆動回路 9 0 及び制御部 1 0 0) の消費電力の増大を抑制することができる。

【 0 0 6 9 】

本発明の実施形態を説明したが、上記実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 0 0 7 0 】

例えば、スイッチング素子 1 2 (1 2 a , 1 2 b , 1 2 c , 1 2 d) は、p チャネル型の T F T で形成されていてもよい。この場合も、上述した実施形態と同様の効果を得ることができる。但し、この場合、次の点で上述した実施形態と相違する。第 2 対向電圧 V c o m L は第 1 対向電圧 V c o m H よりハイレベルの電圧となる。第 1 電圧値 V 1 は第 2 対向電圧 V c o m L よりハイレベルの電圧となる。第 2 電圧値 V 2 は、第 1 スwitching 素子 1 2 a の閾値電圧及び第 2 スwitching 素子 1 2 b の閾値電圧と同一レベル又はそれよりロウレベルの電圧値となる。第 3 電圧値 V 3 は、第 2 対向電圧 V c o m L よりハイレベルであり、第 1 電圧値 V 1 よりロウレベルとなる。

【 0 0 7 1 】

画素電極 2 2 (2 2 a , 2 2 b , 2 2 c , 2 2 d) の形状は、正方形に限定されるものではなく、種々変形可能であり、長方形であってもよい。画素電極 2 2 の形状は、矩形状以外の形状であってもよい。これらの場合であっても、上述した実施形態の効果と同様の効果を得ることができる。

単位画素 U P X は、R G B W 正方画素に限らず、種々変形可能であり、例えば、いわゆる R G B W 縦ストライプ画素 (R G B W の 4 個の長方形の画素 (画素電極) がストライプ状に配列された画素) で構成されていてもよい。

10

20

30

40

50

また、単位画素 U P X は、いわゆる R G B 縦ストライプ画素（一般的な 3 原色である R G B の 3 個の長方形の画素（画素電極）がストライプ状に配列された画素）で構成されていてもよい。単位画素 U P X は、さらに、Y（黄色）画素や、W 画素及び Y 画素の両方を備えた 4 色以上の画素で構成されていてもよい。

【0072】

上述した実施形態では、液晶表示パネル 10 は、T N（Twisted Nematic）方式を採用している。しかしながら、これに限定されるものではなく、液晶表示パネルは、T N 方式以外の表示方式を採用してもよい。例えば、液晶表示パネルは、F F S（Fringe Field Switching）方式等の主として基板主面に略平行な横電界を利用する I P S（In-Plane Switching）方式を採用していてもよい。そして、液晶表示パネルは、補助容量素子 25 無しに形成されていてもよい。

10

また、液晶表示装置は、光反射型の液晶表示装置に限定されるものではなく、種々変形可能であり、光透過型の液晶表示装置であってもよい。

上述した実施形態は、上述した液晶表示装置及びその駆動方法に限定されるものではなく、各種の液晶表示装置及びその駆動方法に適用可能である。

【符号の説明】

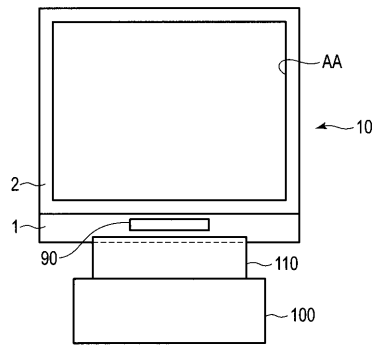
【0073】

1 ... アレイ基板、2 ... 対向基板、3 ... 液晶層、9, 90 ... 駆動回路、10 ... 液晶表示パネル、12, 12a, 12b, 12c, 12d ... スイッチング素子、13 ... 半導体層、15 ... 走査線、17, 17a, 17b ... 信号線、22, 22a, 22b, 22c, 22d ... 画素電極、25 ... 補助容量素子、42, 42a, 42b ... 対向電極、P X, P X a, P X b, P X c, P X d ... 画素、L 1, L 2 ... リード線、P w 1 ... 第 1 書込み期間、P w 1 a ... 第 1 特定書込み期間、P b 1 ... 第 1 保持期間、P b 1 a ... 第 1 電圧調整期間、P w 2 ... 第 2 書込み期間、P w 2 a ... 第 2 特定書込み期間、P b 2 ... 第 2 保持期間、P b 2 a ... 第 2 電圧調整期間、V s i g 1 L, V s i g 1 H ... 第 1 画像信号、V s i g 2 H, V s i g 2 L ... 第 2 画像信号、V c o m H ... 第 1 対向電圧、V c o m L ... 第 2 対向電圧、V 1, V 2, V 3 ... 電圧値。

20

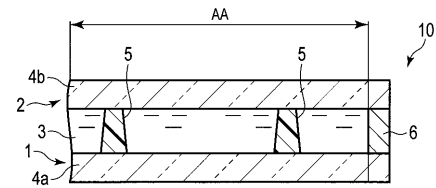
【 図 1 】

図 1



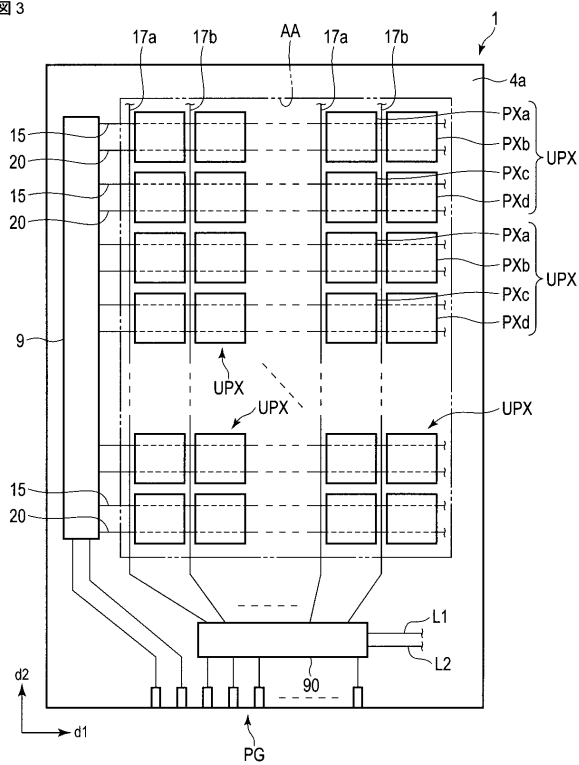
【 図 2 】

図 2



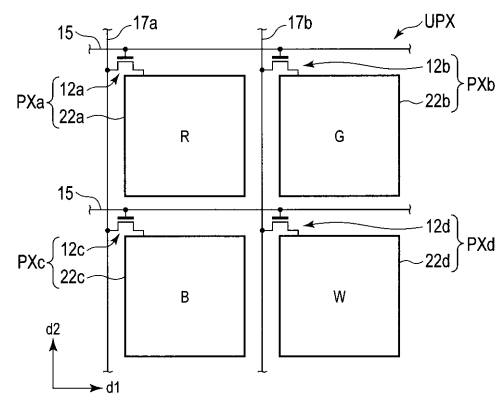
【 図 3 】

図 3



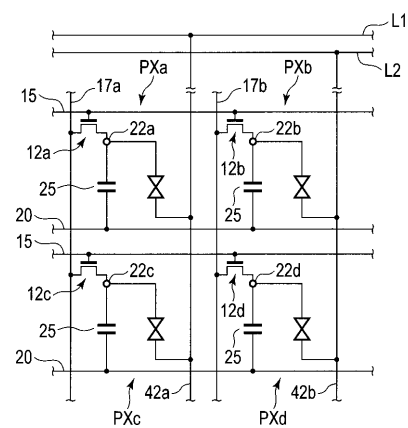
【 図 4 】

図 4



【 図 5 】

図 5



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 D
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 1 1 E

(72)発明者 木村 裕之
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 多田 正浩
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 綱島 貴徳
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

F ターム(参考) 5C006 AA02 AA22 AC25 AC27 BB16 BB28 BC03 BC06 BC11 FA23
FA47 FA48
5C080 AA10 BB05 CC03 DD06 DD26 FF11 JJ01 JJ02 JJ03 JJ04
JJ06

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2016066029A	公开(公告)日	2016-04-28
申请号	JP2014196075	申请日	2014-09-26
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	中村卓 木村裕之 多田正浩 網島貴徳		
发明人	中村 卓 木村 裕之 多田 正浩 網島 貴徳		
IPC分类号	G09G3/36 G09G3/20		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.624.D G09G3/20.622.C G09G3/20.623.C G09G3/20.623.D G09G3/20.611.A G09G3/20.611.E		
F-TERM分类号	5C006/AA02 5C006/AA22 5C006/AC25 5C006/AC27 5C006/BB16 5C006/BB28 5C006/BC03 5C006/BC06 5C006/BC11 5C006/FA23 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD26 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	河野 哲		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 特願2014-196075 (P2014-196075) (22) 出願日 平成26年9月26日 (2014. 9. 26)	(71) 出願人 502356628 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号 (74) 代理人 110001737 特許業務法人スズエ国際特許事務所 (74) 代理人 100091351 弁理士 河野 哲 (74) 代理人 100084618 弁理士 村松 貞男 (74) 代理人 100087653 弁理士 鈴江 正二 (72) 発明者 中村 卓 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 最終頁に続く
-------	---	---

解决的问题：提供一种能够实现低功耗的液晶显示装置及其驱动方法。可替代地，提供了一种具有优异的显示质量的液晶显示装置以及用于驱动该液晶显示装置的方法。液晶显示装置的驱动单元分别在第一像素电极和第一对电极之间施加第一电势差，并且在第二像素电极和第二对电极之间施加第二电势差。当保持时，首先，在写入时段中，将第一对向电压VcomH施加至第一对向电极，将第二对向电压VcomL施加至第二对向电极，并且将控制信号SG的电压值设置为第一电压值V1。要做。在特定写入时段期间，控制信号SG的电压值被临时设置为第二电压值V2，第一图像信号Vsig1L被提供给第一信号线，并且第二图像信号Vsig2H被提供给第二信号线。在保持期间中，第一对置电极维持在第一对置电压VcomH，第二对置电极维持在第二对置电压VcomL，控制信号SG的电压值被设定为第三电压。设置为值V3。[选择图]图7