

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-56163

(P2014-56163A)

(43) 公開日 平成26年3月27日(2014.3.27)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号	特願2012-201725 (P2012-201725)	(71) 出願人	502356528
(22) 出願日	平成24年9月13日 (2012.9.13)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置

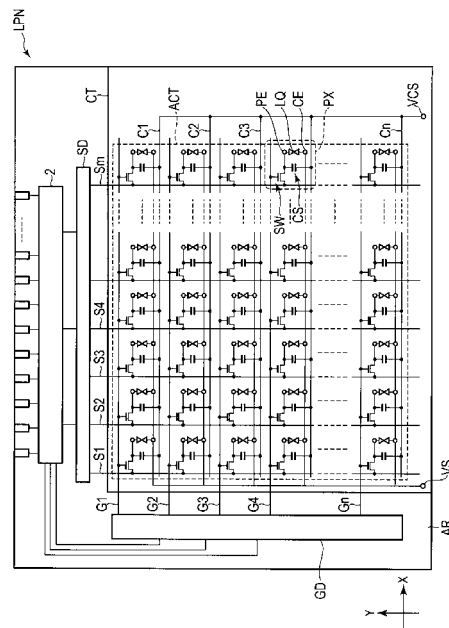
(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】ゲート配線Gと、ゲート配線Gと交差する方向に延びたソース配線Sと、ソース配線Sと交差して延びた幹部STMおよび幹部STMから分岐した枝部BRCを含む補助容量線Cと、ゲート配線Gと交差して補助容量線Cの下層に延びて幹部STMおよび枝部BRCと対向したドレイン配線EDを含むスイッチング素子SWと、枝部BRCおよびドレイン配線EDに沿って延びた主画素電極PAおよびドレイン配線EDと電氣的に接続したコンタクト部PCを含む画素電極PEと、を備えたアレイ基板ARと、主画素電極PAを挟んだ両側で主画素電極PAと略平行に延びた主共通電極CAを有する共通電極CEを備えた対向基板CTと、アレイ基板ARと対向基板CTとの間に保持された液晶分子LMを含む液晶層LQと、を備えた液晶表示装置。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

ゲート配線と、前記ゲート配線と交差する方向に延びたソース配線と、前記ソース配線と交差して延びた幹部および前記幹部から分岐した枝部を含む補助容量線と、前記ゲート配線と交差して前記補助容量線の下層に延びて前記幹部および前記枝部と対向したドレイン配線を含むスイッチング素子と、前記枝部および前記ドレイン配線に沿って延びた主画素電極および前記ドレイン配線と電氣的に接続したコンタクト部を含む画素電極と、を備えたアレイ基板と、

前記主画素電極を挟んだ両側で前記主画素電極と略平行に延びた主共通電極を有する共通電極を備えた対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶分子を含む液晶層と、を備えた液晶表示装置。

10

【請求項 2】

前記主画素電極が延びた方向と略直交した方向において、前記枝部および前記枝部に沿って延びた前記ドレイン配線の幅は前記主画素電極の幅よりも大きい請求項 1 記載の液晶表示装置。

【請求項 3】

前記主共通電極は、前記ソース配線と対向している請求項 1 又は請求項 2 記載の液晶表示装置。

【請求項 4】

前記コンタクト部は前記幹部と対向して配置され、

前記主画素電極は、前記コンタクト部から前記ソース配線と略平行に延びている請求項 1 乃至請求項 3 のいずれか 1 項記載の液晶表示装置。

20

【請求項 5】

前記対向基板は、前記ゲート配線と対向する副共通電極を有している請求項 1 乃至請求項 4 のいずれか 1 項記載の液晶表示装置。

【請求項 6】

第 1 方向に延びた幹部および前記幹部から前記第 1 方向と交差した第 2 方向に分岐した枝部を備えた補助容量線と、前記幹部および前記枝部と対向したドレイン電極を含むスイッチング素子と、前記幹部の上層に配置され前記ドレイン電極と電氣的に接続したコンタクト部と前記コンタクト部から前記枝部に沿って延びた主画素電極とを含む画素電極と、を備えたアレイ基板と、

30

前記主画素電極を挟んだ両側で前記主画素電極と略平行に延びた主共通電極を有する共通電極を備えた対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶分子を含む液晶層と、を備えた液晶表示装置。

【請求項 7】

前記アレイ基板は、前記第 1 方向に延びたゲート配線と、前記第 2 方向に延びたソース配線と、をさらに備え、

前記主共通電極は前記ソース配線と対向して配置されている請求項 6 記載の液晶表示装置。

40

【請求項 8】

前記液晶分子は、前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記アレイ基板と前記対向基板との間においてスプレイ配向またはホモジニアス配向している請求項 1 乃至請求項 7 のいずれか 1 項記載の液晶表示装置。

【請求項 9】

前記アレイ基板は、さらに、前記画素電極を覆う第 1 配向膜を備え、

前記対向基板は、さらに、前記共通電極を覆う第 2 配向膜を備え、

前記第 1 配向膜では第 1 配向処理方向に前記液晶分子が初期配向し、前記第 2 配向膜では第 2 配向処理方向に前記液晶分子が初期配向し、前記第 1 配向処理方向と前記第 2 配向

50

処理方向は互いに平行で且つ同じ向きである請求項 1 乃至請求項 8 のいずれか 1 項記載の液晶表示装置。

【請求項 10】

前記アレイ基板の外面に配置された第 1 偏光板及び前記対向基板の外面に配置された第 2 偏光板を更に備え、

前記第 1 偏光板の第 1 偏光軸と前記第 2 偏光板の第 2 偏光軸とが直交し、前記第 1 偏光板の第 1 偏光軸が前記液晶層の液晶分子の初期配向方向と直交する或いは平行である請求項 1 乃至請求項 9 のいずれか 1 項記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

20

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 192822 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態によれば、ゲート配線と、前記ゲート配線と交差する方向に延びたソース配線と、前記ソース配線と交差して延びた幹部および前記幹部から分岐した枝部を含む補助容量線と、前記ゲート配線と交差して前記補助容量線の下層に延びて前記幹部および前記枝部と対向したドレイン配線を含むスイッチング素子と、前記枝部および前記ドレイン配線に沿って延びた主画素電極および前記ドレイン配線と電氣的に接続したコンタクト部を含む画素電極と、を備えたアレイ基板と、前記主画素電極を挟んだ両側で前記主画素電極と略平行に延びた主共通電極を有する共通電極を備えた対向基板と、前記アレイ基板と前記対向基板との間に保持された液晶分子を含む液晶層と、を備えた液晶表示装置が提供される。

40

【図面の簡単な説明】

【0007】

【図 1】図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図 2】図 2 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

50

【図3】図3は、図2に示した液晶表示パネルをIII-III線で切断したときの断面構造を概略的に示す断面図である。

【図4】図4は、比較例の液晶表示装置の液晶表示パネルを対向基板側から見たときの画素の構造例を概略的に示す平面図である。

【図5】図5は、図4に示した液晶表示パネルをV-V線で切断したときの断面構造を概略的に示す断面図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

10

【0009】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0010】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。本実施形態の液晶表示装置のアクティブエリアACTはにおいて、画素PXの長手方向と略直交する方向におけるドットピッチは略 $25 \mu\text{m}$ である。

20

【0011】

液晶表示パネルLPNは、アクティブエリアACTにおいて、 n 本のゲート配線G（ $G_1 \sim G_n$ ）、 n 本の補助容量線C（ $C_1 \sim C_n$ ）、 m 本のソース配線S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延びている。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延びている。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延びていなくても良く、それらの一部が屈曲していてもよい。

30

【0012】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

40

【0013】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。補助容量CSは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0014】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわ

50

ずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 1 5 】

スイッチング素子 SW は、例えば、nチャネル薄膜トランジスタ（TFET）によって構成されている。このスイッチング素子 SW は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 SW は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 SW の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【 0 0 1 6 】

画素電極 PE は、各画素 PX に配置され、スイッチング素子 SW に電氣的に接続されている。共通電極 CE は、液晶層 LQ を介して複数の画素 PX の画素電極 PE に対して共通に配置されている。このような画素電極 PE 及び共通電極 CE は、例えば、インジウム・ティン・オキサイド（ITO）やインジウム・ジंक・オキサイド（IZO）などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

10

【 0 0 1 7 】

アレイ基板 AR は、共通電極 CE に電圧を印加するための給電部 VS を備えている。この給電部 VS は、例えば、アクティブエリア ACT の外側に形成されている。共通電極 CE は、アクティブエリア ACT の外側に引き出され、図示しない導電部材を介して、給電部 VS と電氣的に接続されている。

20

【 0 0 1 8 】

図 2 は、図 1 に示した液晶表示パネル LPN を対向基板側から見たときの一画素 PX の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【 0 0 1 9 】

図示した画素 PX は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形状である。ゲート配線 G 1 及びゲート配線 G 2 は、第 1 方向 X に沿って延びている。補助容量線 C 1 は、隣接するゲート配線 G 1 とゲート配線 G 2 との間に配置され、第 1 方向 X に沿って延びている。ソース配線 S 1 及びソース配線 S 2 は、第 2 方向 Y に沿って延びている。画素電極 PE は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、画素電極 PE は、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。

30

【 0 0 2 0 】

図示した例では、画素 PX において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 PX とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 PX とその右側に隣接する画素との境界に跨って配置されている。また、画素 PX において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 PX とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 PX とその下側に隣接する画素との境界に跨って配置されている。ゲート配線 G 1、G 2 は、ソース配線 S 1、S 2 と交差する位置において第 1 方向 X に延びた 2 本の配線に分岐している。

40

【 0 0 2 1 】

画素電極 PE は、互いに電氣的に接続された主画素電極 PA 及びコンタクト部 PC を備えている。主画素電極 PA は、コンタクト部 PC から画素 PX の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延びている。主画素電極 PA は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。コンタクト部 PC は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール CH を介してスイッチング素子 SW と電氣的に接続されている。コンタクト部 PC は、第 1 方向 X において主画素電極 PA よりも幅広に形成されている。コンタクト部 PC の第 1 方向 X 及び第 2 方向 Y における幅は、コンタクト

50

ホールCHにより画素電極PEとスイッチング素子とを接続するために必要な最小限の寸法があればよい。

【0022】

画素電極PEは、ソース配線S1とソース配線S2との略中間の位置、つまり、画素PXの中央に配置されている。ソース配線S1と画素電極PEとの第1方向Xに沿った間隔は、ソース配線S2と画素電極PEとの第1方向Xに沿った間隔と略同等である。

【0023】

補助容量線C1は、第2方向Yにおける画素PXの略中央部に配置されている。補助容量線C1は、ゲート配線G1及びゲート配線G2と略平行に延びた幹部STMと、幹部STMから主画素電極PAに沿ってゲート配線G1及びゲート配線G2側へ延びた枝部BRCとを有している。補助容量線C1の枝部BRCは、第1方向Xにおける幅が主画素電極PAよりも大きくなっている。

10

【0024】

スイッチング素子SWは、図示した例では、ゲート配線G2及びソース配線S1に電氣的に接続している。スイッチング素子SWは例えば薄膜トランジスタを含む。スイッチング素子SWは、ゲート配線G2とソース配線S1との交点に設けられ、ドレイン配線EDはゲート配線G2と交差してソース配線S1、補助容量線C1、及び主画素電極PAに沿って延長されている。ドレイン配線EDは、コンタクト部PCの下層に形成されたコンタクトホールCHにおいて、コンタクト電極ECを介して画素電極PEと電氣的に接続されている。コンタクト電極ECはソース配線Sと同層に配置されている。コンタクトホールCHが形成された位置において補助容量線C1は開口OPを有している。詳細には、ドレイン配線EDはコンタクト電極ECとの間の絶縁層に設けられたコンタクトホールにおいてコンタクト電極ECと電氣的に接続し、コンタクト電極ECは画素電極PEとの間に設けられた絶縁層に設けられたコンタクトホールにおいて画素電極PEと電氣的に接続している。ドレイン配線EDの一端はゲート配線G2より下側でコンタクトホールCH3においてソース配線S1と電氣的に接続している。

20

【0025】

スイッチング素子SWは、ソース配線S1及び補助容量線C1と重なる領域に設けられ、ソース配線S1及び補助容量線C1と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

30

【0026】

すなわち、ドレイン配線EDは、ソース配線S1と接続した端からソース配線S1に沿って延びてゲート配線G2と交差し、補助容量線C1の下層へ延び、補助容量線C1の枝部BRCおよび幹部STMと対向するように広がっている。ドレイン配線EDは、例えばポリシリコンによって形成され、主画素電極PAに沿って補助容量線C1の枝部BRCと対向して延びるとともに、補助容量線C1の幹部STMと対向してソース配線S1の左右に延びている。枝部BRCと対向したドレイン配線EDは、第1方向Xにおける幅が枝部BRCと略同一であって主画素電極PAよりも大きい。補助容量線C1とドレイン配線EDとが対向する領域において補助容量CSが形成される。

40

【0027】

補助容量線C1およびドレイン配線EDを主画素電極PAに沿って分岐することで、補助容量線C1の枝部BRCとドレイン配線EDとが対向する領域に補助容量CSを形成することができるので、第1方向Xに延びる補助容量線C1の幹部STMの第2方向Yにおける幅を小さくすることができる。このように補助容量線C1の枝部BRC及び幹部STMとドレイン配線EDが対向する領域で十分な補助容量CSを確保することができる。

【0028】

上記のように、本実施形態では、補助容量線C1の枝部BRCは主画素電極PAに沿って分岐しているため、補助容量線C1の幹部STMの第2方向Yにおける幅は、コンタクトホールCHを設けるために必要な最小の幅とすればよく、コンタクト部PCの第2方向Yにおける幅も小さくすることができ、この幅を小さくできた分だけ、主画素電極PAの

50

第2方向Yにおける幅(主画素電極長)D1を大きくすることができる。

【0029】

共通電極CEは、主共通電極CAと副共通電極CBとを備えている。これらの主共通電極CA及び副共通電極CBは、一体的あるいは連続的に形成されている。主共通電極CAは、X-Y平面内において、主画素電極PAを挟んだ両側で主画素電極PAと略平行な第2方向Yに沿って直線的に延びている。あるいは、主共通電極CAは、ソース配線Sとそれぞれ対向するとともに主画素電極PAと略平行に延びている。このような主共通電極CAは、第1方向Xに沿って略同一の幅を有する帯状に形成されている。

【0030】

図示した例では、主共通電極CAは、第1方向Xに沿って2本平行に並んでおり、画素PXの左右両端部にそれぞれ配置されている。以下では、これらの主共通電極CAを区別するために、図中の左側の主共通電極をCALと称し、図中の右側の主共通電極をCARと称する。主共通電極CALはソース配線S1と対向し、主共通電極CARはソース配線S2と対向している。第1方向Xにおける主共通電極CALの幅はソース配線S1の幅よりも大きく、第1方向Xにおける主共通電極CARの幅はソース配線S2の幅よりも大きい。主共通電極CAL及び主共通電極CARは、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

10

【0031】

画素PXにおいて、主共通電極CALは左側端部に配置され、主共通電極CARは右側端部に配置されている。厳密には、主共通電極CALは当該画素PXとその左側に隣接する画素との境界に跨って配置され、主共通電極CARは当該画素PXとその右側に隣接する画素との境界に跨って配置されている。

20

【0032】

副共通電極CBは、ゲート配線Gの各々と対向している。副共通電極CBは第1方向Xに沿って2本平行に並んでおり、以下では、これらを区別するために、図中の上側の副共通電極をCBUと称し、図中の下側の副共通電極をCBBと称する。副共通電極CBUは、画素PXの上側端部に配置され、ゲート配線G1と対向している。つまり、副共通電極CBUは、当該画素PXとその上側に隣接する画素との境界に跨って配置されている。また、副共通電極CBBは、画素PXの下側端部に配置され、ゲート配線G2と対向している。つまり、副共通電極CBBは、当該画素PXとその下側に隣接する画素との境界に跨って配置されている。

30

【0033】

画素電極PEと主共通電極CAとの位置関係に着目すると、画素電極PEと主共通電極CAとは、第1方向Xに沿って交互に配置されている。これらの画素電極PEと主共通電極CAとは、互いに略平行に配置されている。このとき、X-Y平面内において、主共通電極CAのいずれも画素電極PEとは重ならない。

【0034】

すなわち、隣接する主共通電極CAL及び主共通電極CARの間には、1本の画素電極PEが位置している。換言すると、主共通電極CAL及び主共通電極CARは、画素電極PEの直上の位置を挟んだ両側に配置されている。あるいは、画素電極PEは、主共通電極CALと主共通電極CARとの間に配置されている。このため、主共通電極CAL、主画素電極PA、及び、主共通電極CARは、第1方向Xに沿ってこの順に配置されている。

40

【0035】

これらの画素電極PEと共通電極CEとの第1方向Xに沿った間隔は略一定である。すなわち、主共通電極CALと主画素電極PAとの第1方向Xに沿った間隔は、主共通電極CARと主画素電極PAとの第1方向Xに沿った間隔と略同等である。

【0036】

図3は、図2に示した液晶表示パネルLPNをIII-III線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示してい

50

る。

【0037】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0038】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。ドレイン配線EDは、第1絶縁基板10上に形成され、第1層間絶縁膜11によって覆われている。補助容量線C1は、第1層間絶縁膜11上に形成され、第2層間絶縁膜12によつて覆われている。ドレイン配線EDと補助容量線C1の枝部BCとは第1方向Xにおける幅が略同一であつて、第1層間絶縁膜11を介して対向している。ソース配線Sは、第2層間絶縁膜12上に形成され、第3層間絶縁膜13によって覆われている。なお、図示しないゲート配線は、例えば、補助容量線C1と同層に配置されている。画素電極PEは、第3層間絶縁膜13上に形成されている。画素電極PEは、隣接するソース配線Sのそれぞれの直上の位置よりもそれらの内側に位置している。

10

【0039】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘つて延在している。この第1配向膜AL1は、画素電極PEなどを覆っており、第2層間絶縁膜12の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

20

【0040】

なお、アレイ基板ARは、さらに、共通電極CEの一部を備えていても良い。本実施形態では、第3層間絶縁膜13上に、ゲート配線Gと対向するように共通電極CEの一部である第1シールドSL1が配置され、ソース配線Sと対向する(あるいは主共通電極CAと対向する)ように共通電極CEの一部である第2シールド(第2共通電極)SL2が配置されている。

【0041】

第1シールドSL1は、主共通電極CAと交差する方向に延び、しかも、主共通電極CAと同電位である。このような第1シールドSL1を設けたことにより、ゲート配線Gや補助容量線Cからの不所望な電界をシールドすることが可能である。第2シールドSL2は、主共通電極CAと略平行に延び、しかも、主共通電極CAと同電位である。このような第2シールドSL2を設けることにより、ソース配線Sからの不所望な電界をシールドすることが可能である。第1シールドSL1や第2シールドSL2を備えた構成によれば、更なる表示品位の劣化を抑制することが可能となる。

30

【0042】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

【0043】

ブラックマトリクスBMは、各画素PXを区画し、画素電極PEと対向する開口部APを形成する。すなわち、ブラックマトリクスBMは、ソース配線S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスBMは、第2方向Yに沿って延びた部分のみが図示されているが、第1方向Xに沿って延びた部分を備えていても良い。このブラックマトリクスBMは、第2絶縁基板20のアレイ基板ARに対向する内面20Aに配置されている。

40

【0044】

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、第2絶縁基板20の内面20Aにおける開口部APに配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。第1方向Xに隣接する画素PXに

50

それぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタCFRは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタCFBは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタCFGは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士の境界は、ブラックマトリクスBMと重なる位置にある。

【0045】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。

10

【0046】

共通電極CEは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。共通電極CEと画素電極PEとの第3方向Zに沿った間隔は略一定である。第3方向Zとは、第1方向X及び第2方向Yに直交する方向、あるいは、液晶表示パネルLPNの法線方向である。

【0047】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CE及びオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

20

【0048】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向PD1及び第2配向処理方向PD2は、図2に示したように、第2方向Yと略平行であって、同じ向きである。

【0049】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2の間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば2～7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材SBによって貼り合わせられている。

30

【0050】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

40

【0051】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。

【0052】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2

50

は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。

【 0 0 5 3 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

10

【 0 0 5 4 】

図 2 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 5 5 】

また、図 2 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

20

【 0 0 5 6 】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 及び図 3 を参照しながら説明する。

【 0 0 5 7 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成されていない状態（O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

30

【 0 0 5 8 】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

【 0 0 5 9 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 2 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行（あるいは、第 2 方向 Y に対して 0 °）である。

40

【 0 0 6 0 】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

【 0 0 6 1 】

50

ここで、第1配向膜AL1を第1配向処理方向PD1に配向処理した結果、第1配向膜AL1の近傍における液晶分子LMは第1配向処理方向PD1に初期配向され、第2配向膜AL2を第2配向処理方向PD2に配向処理した結果、第2配向膜AL2の近傍における液晶分子LMは第2配向処理方向PD2に初期配向される。そして、第1配向処理方向PD1と第2配向処理方向PD2は互いに平行で且つ同じ向きである場合には、上述のように液晶分子LMはスプレイ配向になり、上記したように液晶層LQの中間部を境界として、アレイ基板AR上の第1配向膜AL1の近傍での液晶分子LMの配向と対向基板CT上の第2配向膜AL2の近傍での液晶分子LMの配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

10

【0062】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【0063】

バックライト4からのバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

20

【0064】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

【0065】

図2に示した例では、画素電極PEと主共通電極CALとの間の領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し図中の左下を向くように配向する。画素電極PEと主共通電極CARとの間の領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し図中の右下を向くように配向する。

30

【0066】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEと重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

【0067】

このようなON時には、バックライト4から液晶表示パネルLPNに入射したバックライト光は、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶層LQに入射したバックライト光は、その偏光状態が変化する。このようなON時においては、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

40

【0068】

OFF状態では、液晶分子LMは、第2方向Yに略平行な方向に初期配向している。画素電極PEと共通電極CEとの間に電位差が形成されたON状態では、液晶分子LMのダイレクタ（あるいは液晶分子LMの長軸方向）が、X-Y平面内で、第1偏光板PL1の第1偏光軸AX1及び第2偏光板PL2の第2偏光軸AX2に対して概ね45°ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部での透過率が

50

最大となる)。

【0069】

図示した例では、第1方向Xを 0° - 180° の方位として、ON状態となったとき、主共通電極CALと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で 45° - 225° の方位と略平行となり、主共通電極CARと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で 135° - 315° の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、画素電極PE上及び共通電極CE上においては透過率が略ゼロとなる一方で、画素電極PEと共通電極CEとの間の電極間隙では、略全域に亘って高い透過率が得られる。

【0070】

なお、ソース配線S1の直上に位置する主共通電極CAL及びソース配線S2の直上に位置する主共通電極CARは、それぞれブラックマトリクスBMと対向しているが、これらの主共通電極CAL及び主共通電極CARは、ともにブラックマトリクスBMの第1方向Xに沿った幅と同等以下の幅を有しており、ブラックマトリクスBMと重なる位置よりも画素電極PEの側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクスBMの間もしくはソース配線S1とソース配線S2との間の領域のうち、画素電極PEと主共通電極CAL及び主共通電極CARとの間の領域に相当する。

【0071】

上記の液晶表示装置において、補助容量線Cおよびドレイン配線EDは主画素電極PAに沿って分岐し、補助容量線Cの幹部STMの第2方向Yにおける幅は、コンタクトホールCH1、CH2を設けるために必要な最小の幅となっている。従って、本実施形態では、画素電極PEのコンタクト部PCの第2方向Yにおける幅も小さくすることができ、主画素電極PAの第2方向Yにおける主画素電極長D1を大きくすることができる。すなわち、本実施形態では画素PXの第2方向Yにおける開口部の幅を大きくすることができる。

【0072】

図4は、比較例の液晶表示装置の液晶表示パネルを対向基板側から見たときの画素PXの構造例を概略的に示す平面図である。なお、以下の説明において、上述の第1実施形態と同様の構成については同一の符号を付して説明を省略する。

【0073】

この例では、補助容量線C1は枝部BRCを備えていない。すなわち、補助容量線C1は、ゲート配線G1とゲート配線G2との間において、第1方向Xに延びている。

【0074】

スイッチング素子SWのドレイン配線EDは、ゲート配線G2と交差してソース配線S1に沿って補助容量線C1の下層まで延び、補助容量線C1の下層において補助容量線C1と対向するように第1方向Xに広がっている。

【0075】

主共通電極CAは、第1方向Xにおける画素電極PEの両脇において、第2配線Yと略平行に延びている。本比較例においても第1実施形態と同様に、図中の左側の主共通電極をCALと称し、図中の右側の主共通電極をCARと称する。主共通電極CALはソース配線S1と対向し、主共通電極CARはソース配線S2と対向している。主共通電極CAの第1方向Xにおける幅はソース配線S1、S2の幅よりも大きい。

【0076】

図5は、図4に示した液晶表示パネルをV-V線で切断したときの断面構造を概略的に示す断面図である。

【0077】

本比較例のV-V線における断面は、主画素電極PAの下層には補助容量線Cの枝部BRC及びドレイン配線EDが配置されていないこと以外は、図3に示す断面図と同様の構成である。

10

20

30

40

50

【 0 0 7 8 】

ここで、主画素電極 P A の電極上及び近傍では横電界が十分形成されず、主画素電極 P A の電極上及び周囲の領域 A では十分な透過率を得る事ができない。したがって、ON 状態でも主画素電極 P A の電極上及び周囲の領域 A は暗く表示されることとなる。

【 0 0 7 9 】

そこで、本実施形態では、透過率に寄与しない主画素電極 P A の下層に枝部 B R C 及びドレイン配線 E D を配置して、補助容量線 C の幹部 S T M および幹部 S T M に対向するドレイン配線 E D の第 2 方向 Y における幅を小さくしている。このことにより、画素 P X の第 2 方向 Y における開口部の幅を大きくし、十分な補助容量を維持しつつ透過率を改善している。

10

【 0 0 8 0 】

さらに、主画素電極 P A の下層に配置した枝部 B R C 及びドレイン配線 E D は、主画素電極 P A の周囲の領域 A にも延びてもよい。すなわち、第 1 方向 X における枝部 B R C 及びドレイン配線 E D の幅は主画素電極 P A の幅と同等かあるいは上述の周囲の領域 A 程度に大きくしてもよい。従って、本実施形態の液晶表示装置では、十分な透過率を得る事ができない主画素電極 P A の周囲の領域 A を利用して容量を形成することにより、補助容量を低下させることなく画素 P X の開口部を大きくし透過率を上げることが出来る。

【 0 0 8 1 】

なお、比較例の液晶表示装置が透過開口率は 4 5 % ~ 4 6 % であって、本実施形態の液晶表示装置の透過開口率は、4 7 % ~ 4 8 % であった。

20

【 0 0 8 2 】

このような本実施形態の液晶表示装置によれば、透過率を改善することにより、表示品位の劣化を抑制することが可能となる。

【 0 0 8 3 】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素 P X の略中央に配置された画素電極 P E に対して主共通電極 C A の配置位置を変更する）ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

30

【 0 0 8 4 】

また、本実施形態によれば、ブラックマトリクス B M と重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子が OFF 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

40

【 0 0 8 5 】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との水平電極間距離 D 2 に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコント

50

ラスト比の低下を抑制することが可能となる。

【0086】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A L 及び主共通電極 C A R がそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置されている場合には、主共通電極 C A L 及び主共通電極 C A R がソース配線 S 1 及びソース配線 S 2 よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

【0087】

また、主共通電極 C A L 及び主共通電極 C A R をそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置することによって、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来構成である I P S モード等の利点である広視野角化も維持することが可能となる。

【0088】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【0089】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、図 2 に示したように、第 2 方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、第 2 方向 Y に対する初期配向方向 D のなす角度 θ_1 は、 0° より大きく 45° より小さい角度である。なお、このなす角度 θ_1 については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 L M の配向制御の観点で極めて有効である。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【0090】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 θ_1 が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

【0091】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

【0092】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0093】

L P N ... 液晶表示パネル、A R ... アレイ基板、C T ... 対向基板、L Q ... 液晶層、A C T

10

20

30

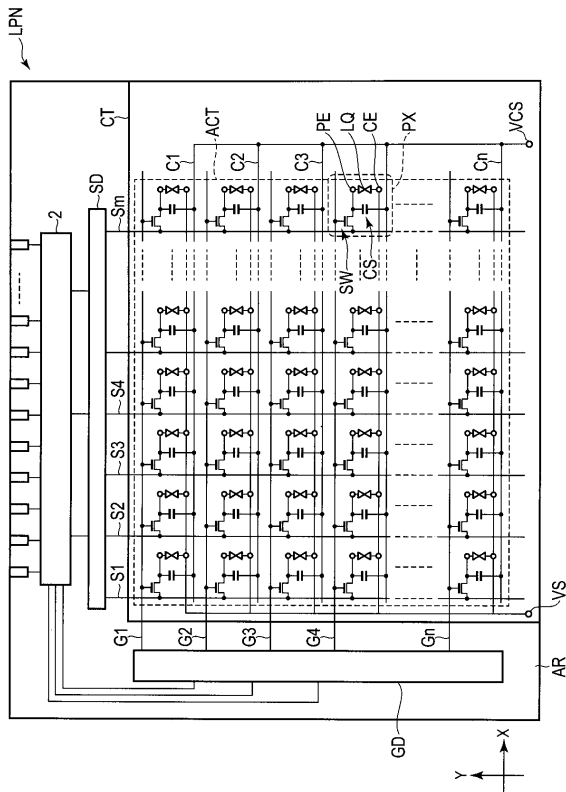
40

50

... アクティブエリア、 P X ... 画素、 S ... ソース配線、 G ... ゲート配線、 C ... 補助容量線、 S T M ... 幹部、 B R C ... 枝部、 X ... 第 1 方向、 Y ... 第 2 方向、 S W ... スイッチング素子、 E D ... ドレイン配線、 E C ... コンタクト電極、 P E ... 画素電極、 P A ... 主画素電極、 P C ... コンタクト部、 S L 1 ... 第 1 シールド、 S L 2 ... 第 2 シールド、 C E ... 共通電極、 C A、 C A R、 C A L ... 主共通電極、 C B、 C B U、 C B B ... 副共通電極、 C H ... コンタクトホール、 A L 1 ... 第 1 配向膜、 A L 2 ... 第 2 配向膜、 D 1 ... 主画素電極長、 L M ... 液晶分子。

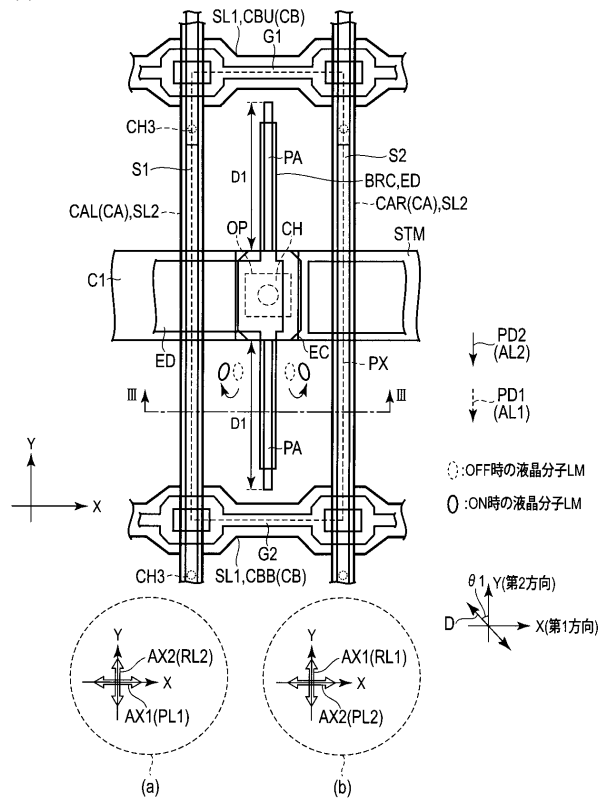
【 図 1 】

図 1



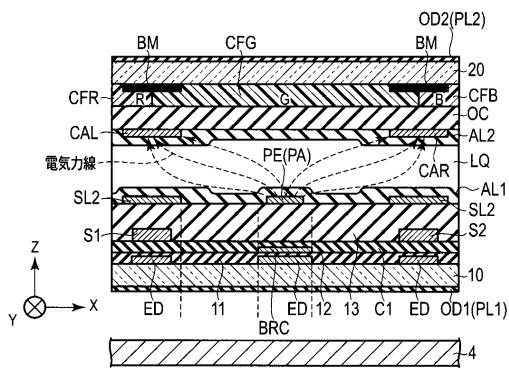
【 図 2 】

図 2



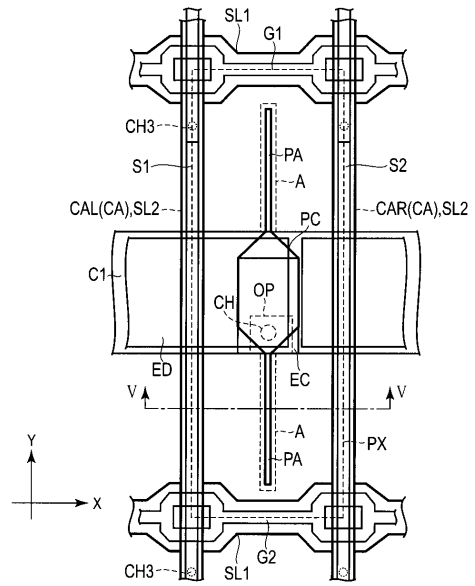
【 図 3 】

図 3



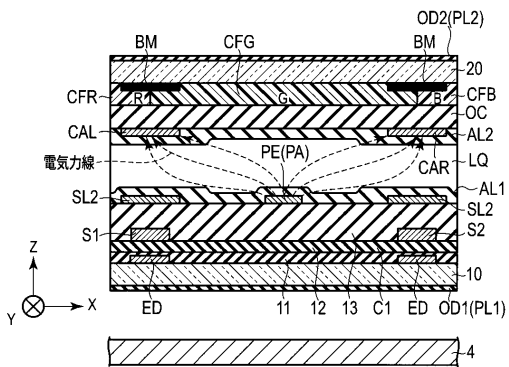
【 図 4 】

図 4



【 図 5 】

図 5



フロントページの続き

- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 佐藤 清一
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- (72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- (72)発明者 木谷 正克
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- (72)発明者 中村 真人
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内
- Fターム(参考) 2H092 GA14 GA64 HA04 JA24 JB34 JB58 JB69 KA04 KA05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014056163A	公开(公告)日	2014-03-27
申请号	JP2012201725	申请日	2012-09-13
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	佐藤清一 廣澤仁 木谷正克 中村真人		
发明人	佐藤 清一 廣澤 仁 木谷 正克 中村 真人		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA64 2H092/HA04 2H092/JA24 2H092/JB34 2H092/JB58 2H092/JB69 2H092/KA04 2H092/KA05 2H192/AA24 2H192/BA13 2H192/BA16 2H192/BA32 2H192/BC42 2H192/CC17 2H192/CC26 2H192/CC66 2H192/DA13 2H192/EA22 2H192/EA43 2H192/FA73 2H192/GA03 2H192/JA03		
代理人(译)	中村诚 河野直树 井上 正 冈田隆		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。和栅极线G，在一个方向交叉的栅极线G S和辅助电容线C包括分支部分BRC从主干STM和执行分支STM延伸，源极线S交叉延伸的源极线当包括反对BRC延伸的辅助电容线C下面的主干STM和分支部分的漏极线ED开关元件SW相交的栅极线G，主要沿分支BRC和漏极布线ED延伸和像素电极PE包括接触部PC连接的像素电极PA和漏极布线ED电，并且具有为所述主像素电极PA大致平行于主像素电极PA的两侧延伸的阵列基板AR包括对置基板CT与具有主公共电极CA的公共电极CE的液晶显示装置，和包含液晶分子的液晶层LQ LM保持在阵列基板AR和对置基板CT之间。点域1

