

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-246250

(P2013-246250A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2012-118839 (P2012-118839)  
 (22) 出願日 平成24年5月24日 (2012.5.24)

(71) 出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100113077  
 弁理士 高橋 省吾  
 (74) 代理人 100112210  
 弁理士 稲葉 忠彦  
 (74) 代理人 100108431  
 弁理士 村上 加奈子  
 (72) 発明者 横溝 政幸  
 熊本県合志市御代志997番地 メルコ・  
 ディスプレイ・テクノロジー株式会社内  
 Fターム(参考) 2H092 GA14 JA26 JA46 JB13 JB22  
 JB33 JB42 JB69 NA04 NA29  
 QA06

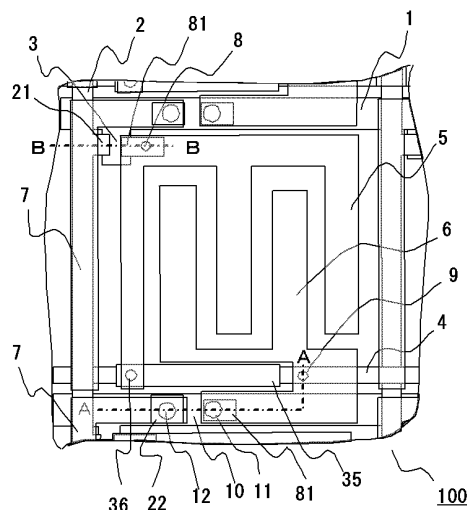
(54) 【発明の名称】 T F Tアレイ基板およびそれを備える液晶パネル

## (57) 【要約】

【課題】 画素電極および共通電極以外の電界が液晶に影響を与えることを防止する構成を備える横電界方式の液晶表示装置であって、製造工程中での線欠陥不良の発生を防止できるとともに、製品の使用中に線欠陥が発生することを防止できるT F Tアレイ基板を用いた横電界方式の液晶パネルを得ることを目的とする。

【解決手段】 本発明の横電界方式の液晶パネルに用いられるT F Tアレイ基板100は、ソース配線2の上に、第2の共通電極7が上記第1の共通電極6とは別に設けられている。第2の共通電極7は、ソース配線2上に基板保護膜95を介し、ソース配線2に沿って、かつ、画素領域に対応して独立して設けられている。また、第2の共通電極7は、画素電極5の駆動に用いられる第1のT F T3とは別のT F Tであって、第1のT F T3を構成するゲート配線1上に設けられた第2のT F T10に接続される。

【選択図】 図1





## 【特許請求の範囲】

## 【請求項 1】

基板上にマトリクス状に配置されるソース配線およびゲート配線、  
前記ソース配線とゲート配線の交差部に形成される第 1 の T F T (Thin Film Transistor: 薄膜トランジスタ)、  
前記第 1 の T F T に接続され、前記ソース配線と前記ゲート配線により囲まれる画素領域内に配置される画素電極、  
前記画素電極と所定の間隔を保って配置され、前記画素電極とともに前記基板に対し平行な電界を印加する第 1 の共通電極、  
前記ソース配線上に沿って形成される第 2 の共通電極、を備え、  
前記第 2 の共通電極は、前記ゲート配線上に設けられた第 2 の T F T に接続されている、T F T アレイ基板。

10

## 【請求項 2】

基板上にマトリクス状に配置されるソース配線およびゲート配線、  
前記ソース配線とゲート配線の交差部に形成される第 1 の T F T (Thin Film Transistor: 薄膜トランジスタ)、  
前記第 1 の T F T に接続され、前記ソース配線と前記ゲート配線により囲まれる画素領域内に配置される画素電極、  
前記画素電極に対向する位置に絶縁膜を介して配置される第 1 の共通電極、  
前記第 1 の共通電極は、前記画素電極とともに前記基板に対し平行な電界が印加されており、  
前記ソース配線上に沿って形成される第 2 の共通電極、を備え、  
前記第 2 の共通電極は、前記ゲート配線上に設けられた第 2 の T F T に接続されている、T F T アレイ基板。

20

## 【請求項 3】

前記第 2 の共通電極は、前記画素領域毎に対応して独立して設けられていることを特徴とする請求項 1 または 2 記載の T F T アレイ基板。

## 【請求項 4】

前記第 2 の共通電極は、前記第 1 の共通電極と同層で形成されることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の T F T アレイ基板。

30

## 【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の T F T アレイ基板と、  
前記 T F T アレイ基板と対向配置される対向基板と、  
前記両基板間に配置される液晶と、を備え、  
前記両基板と平行な方向に電界が印加されることで画像を表示する横電界方式の液晶パネル。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、横電界方式の液晶パネルに形成された液晶を駆動するスイッチング素子である T F T (薄膜トランジスタ: Thin Film Transistor 以下、T F T と称する) アレイ基板および該 T F T アレイ基板を用いた液晶パネルに関するものである。

40

## 【背景技術】

## 【0002】

横電界方式の液晶パネルを搭載した液晶表示装置は、従来の T N (Twisted Nematic) 方式の液晶表示装置と比較し視野角が広い特徴を有しており、T F T アレイ基板の構造から I P S (インプレーンスイッチング: In-Plane Switching 以下、I P S と称する) 方式や F F S (フリンジフィールドスイッチング: Fringe Field Switching 以下、F F S と称する) 方式の開発がな

50



されている。

【 0 0 0 3 】

横電界方式の液晶表示装置のうち、たとえばIPS方式の液晶表示装置は、TFTアレイ基板の画素領域に櫛歯状に形成された画素電極および対向電極となる共通電極の間の液晶に電界が加わることで、液晶の配向を制御し、液晶パネルの透過率をコントロールしている。

【 0 0 0 4 】

したがって、TFTアレイ基板の構造として、画素電極と共通電極以外の電界が、液晶に影響を与えない構造が提案されている。

【 0 0 0 5 】

特許文献1に開示された液晶表示装置は、ドレイン信号線DLの形成領域上においてドレイン信号線DLよりも幅広の第1の導電層CND1が形成され、ドレイン信号線DLを覆う構成が開示されている。これにより、電界による光漏れを遮光する構成となっている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

特開2002-131767号公報（第7ページ、第3図）

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

特許文献1に開示された横電界方式のTFTアレイ基板は、第1の導電層CND1でドレイン信号線DLを覆う構成となっているため、TFTアレイ製造工程で発生した異物等が、ドレイン信号線DLと第1の導電層CND1の間に混入すると、ドレイン信号線DLと第1の導電層CND1間の絶縁膜に欠損が生じ、両電極間の絶縁が保たれず、ドレイン信号線DLと第1の導電層CND1がショートするということがあった。

【 0 0 0 8 】

すなわち、ドレイン信号線DL形成後に配線上に異物等が付着した場合に、その後形成する絶縁膜に異物の存在により、ドレイン信号線DL上を十分覆うことができず、絶縁膜が形成されない部分が発生する。その上に第1の導電層CND1が形成されると、異物部分では絶縁膜が形成されない部分が発生しているため、各ドレイン信号線DL配線が露出され、ドレイン信号線DLと第1の導電層CND1が直接接触する部分が発生してしまう。その結果、ドレイン信号線DLと第1の導電層CND1間のショートを引き起こすこととなる。

【 0 0 0 9 】

ドレイン信号線DLと第1の導電層CND1がショートした場合、ドレイン信号線DLの電位は、ほぼ第1の導電層CND1の電位となり、正常なドレイン信号を供給できなくなる。その結果、ドレイン信号線DLに沿った画素が全て表示しなくなる。特にIPS方式の場合は信号OFFで黒くなるノーマリーブラックモードとなっているので、ドレイン信号線DLに沿って黒い線欠陥として視認されてしまう。

【 0 0 1 0 】

配線のオープン不良欠陥の場合は、電氣的な検査や点灯表示検査によって、欠陥位置を特定することが可能なため、リペア配線と呼ばれる冗長配線を用いて、レーザーリペア等により配線の修正を行い、歩留を向上させることが可能であるが、上記のようにショートした場合は電氣的にも、表示状態でも欠陥位置を検出することが難しいため、その液晶パネルは廃却処置となり、歩留の低下を招いていた。

【 0 0 1 1 】

さらに、ショート欠陥が微小なリークの場合は、製造時に検出できず、出荷後に、通電することでリーク量が徐々に大きくなり、線欠陥不良が製品の使用中に発生し、品質問題を発生させるという、不具合があった。

10

20

30

40

50



## 【 0 0 1 2 】

この発明は画素電極および共通電極以外の電界が液晶に影響を与えることを防止する構成を備える横電界方式の液晶表示装置であって、上記のような問題点を解消するためになされたものであり、製造工程中での線欠陥不良の発生を防止できるとともに、製品の使用中に線欠陥が発生することを防止できるＴＦＴアレイ基板を用いた横電界方式の液晶パネルを得ることを目的とする。

## 【課題を解決するための手段】

## 【 0 0 1 3 】

本発明におけるＴＦＴアレイ基板および液晶パネルは、基板上にマトリクス状に配置されるソース配線およびゲート配線、ソース配線とゲート配線の交差部に形成される第１のＴＦＴ（Thin Film Transistor：薄膜トランジスタ）、第１のＴＦＴに接続され、ソース配線とゲート配線により囲まれる画素領域内に配置される画素電極、画素電極と所定の間隔を保って配置され、画素電極とともに基板に対し平行な電界を印加する第１の共通電極、ソース配線上に沿って形成される第２の共通電極をさらに備え、第２の共通電極は、ゲート配線上を延在し、ゲート配線上に設けられた第２のＴＦＴに接続されていることを特徴とする。

10

## 【発明の効果】

## 【 0 0 1 4 】

本発明の横電界方式のＴＦＴアレイ基板を用いた液晶パネルによれば、画素電極および共通電極以外の電界が液晶に影響を与えることを防止する構成を備えるとともに、製造工程中での線欠陥不良の発生を防止できるとともに、製品の使用中に線欠陥が発生することを低減できる。

20

## 【図面の簡単な説明】

## 【 0 0 1 5 】

【図１】本発明の液晶パネルを構成するＴＦＴアレイ基板の１画素の構成を示す平面図である。

【図２】図１のＡ－Ａ断面図である。

【図３】図１のＢ－Ｂ断面図である。

【図４】本発明における液晶パネルの電位を示す図である。

【図５】本発明の液晶パネルを構成するＴＦＴアレイ基板の１画素の構成を示す平面図である。

30

【図６】図５のＣ－Ｃ断面図である。

【図７】図５のＤ－Ｄ断面図である。

【図８】図５のＥ－Ｅ断面図である。

## 【発明を実施するための形態】

## 【 0 0 1 6 】

実施の形態１．

以下、本発明に係るＴＦＴアレイ基板および液晶パネルの実施形態を図面に基づいて説明する。各図において同一の符号を付されたものは、実質的に同様の構成要素を示す。

## 【 0 0 1 7 】

図１は、本発明の液晶パネルを構成するＴＦＴアレイ基板の画素領域である１画素の構成を示す平面図、図２は図１のＡ－Ａ断面図、図３はＢ－Ｂ断面図である。

40

## 【 0 0 1 8 】

図１乃至図３に示すように、本発明のＩＰＳ方式の液晶パネルを構成するＴＦＴアレイ基板１００は、ガラス等の絶縁性基板１０１上に形成されたゲート配線１、ゲート配線１とともに形成された共通配線４、ゲート配線１および共通配線４とマトリクス状に交差するようゲート絶縁膜３１を介して形成されたソース配線２を備えている。また、ゲート配線１とソース配線２の交点には、液晶パネルのスイッチング素子である第１のＴＦＴ３が形成されている。第１のＴＦＴ３は、ゲート配線１の上に形成されたゲート絶縁膜３１、 $a-Si$ 等の半導体層３２、半導体層３２上であって、ソース配線２より延在したソース

50



電極 2 1 およびドレイン電極 8 1 で構成され、基板保護膜 9 5 が積層されている。基板保護膜 9 5 上の画素領域には、画素電極 5 および第 1 の共通電極 6 が形成されている。

【 0 0 1 9 】

画素電極 5 はドレイン 8 1 上の基板保護膜 9 5 に形成されたコンタクトホール 8 を介して、第 1 の T F T 3 に接続されている。また、第 1 の共通電極 6 は共通配線 4 上のゲート絶縁膜 3 1、基板保護膜 9 5 に形成されたコンタクトホール 9 を介して共通配線 4 に接続されている。画素電極 5 および第 1 の共通電極 6 は数  $\mu\text{m}$  幅の電極であり、1 画素の画素領域内に数  $\mu\text{m}$  ~ 数十  $\mu\text{m}$  間隔で互いに平行であって、対向する櫛歯状となるよう同層に配置されている。また、共通配線 4 の上には電圧を保持する保持容量電極が、ゲート絶縁膜 3 1 を介して形成され、保持容量電極 3 5 上に設けられたコンタクトホール 3 6 を介して画素電極 5 と接続されている。

10

【 0 0 2 0 】

このように形成された T F T アレイ基板 1 0 0 は、カラーフィルタやブラックマトリックスを形成した対向基板（図示せず）と所定の間隔で貼りあわせ、両基板の間に液晶を封入、表面にそれぞれ偏光板（図示せず）を貼付けることで、液晶パネルが完成する。さらに、この液晶パネルに駆動 I C（図示せず）や、バックライト（図示せず）等を実装することで液晶表示装置が完成する。

【 0 0 2 1 】

本発明の横電界方式の液晶パネルは、画素電極 5 と第 1 の共通電極 6 が櫛歯状に形成され、対向配置されているため、画素電極 5 と第 1 の共通電極 6 との間に配置する液晶（図示せず）に電界が加わる。よって、画素領域全域に絶縁性基板 1 0 1 と平行となる方向に電界が発生させ、液晶の配向を制御し、液晶パネルの透過率をコントロールしている。また、共通配線 4 上に形成された保持容量電極 3 5 により、画素電極 5 に印加された電圧を保持している。

20

【 0 0 2 2 】

また、図 1、図 3 に示すように、本発明の T F T アレイ基板 1 0 0 においては、ソース配線 2 上に、第 2 の共通電極 7 が上記第 1 の共通電極 6 とは別に設けられている。第 2 の共通電極 7 は、ソース配線 2 上に基板保護膜 9 5 を介し、ソース配線 2 に沿って、かつ、画素領域に対応して独立して設けられている。また、第 2 の共通電極 7 は、画素電極 5 の駆動に用いられる第 1 の T F T 3 とは別の T F T であって、第 1 の T F T 3 を構成するゲート配線 1 上に設けられた第 2 の T F T 1 0 に接続される。第 2 の T F T 1 0 は、ゲート配線 1 上にゲート絶縁膜 3 1、半導体層 3 2 を介し、ソース配線 2 と同層で形成されるソース電極 2 2、ドレイン電極 8 1 より構成されている。また、第 2 の共通電極 7 と第 2 の T F T 1 0 は、第 2 の T F T 1 0 上の基板保護膜 9 5 に設けられたコンタクトホール 1 2 で接続されている。また、第 2 の T F T 1 0 は、前段に形成される第 1 の共通電極 6 と第 2 の T F T 1 0 上の基板保護膜 9 5 に設けられたコンタクトホール 1 1 を介して接続されている。

30

【 0 0 2 3 】

次に、図 1 乃至図 3 を用いて、液晶パネルを構成する T F T アレイ基板 1 0 0 の製造方法について説明する。

40

【 0 0 2 4 】

T F T アレイ基板 1 0 0 はガラス等の絶縁性基板 1 0 1 上に、C r や A l 等の金属を成膜し、パターニングすることで、ゲート配線 1 および共通配線 4 を形成する。次に、絶縁膜である S i N 等や、半導体である a - S i ( i、n 層 ) 等を順次成膜し、a - S i ( i、n 層 ) 等を第 1 の T F T 3 および第 2 の T F T 1 0 が形成される領域に、島状にパターニングすることで、ゲート絶縁膜 3 1 および半導体層 3 2 を形成する。

【 0 0 2 5 】

次いで、C r や A l 等の金属を成膜し、パターニングすることで、ソース配線 2、ソース電極 2 1、ドレイン電極 8 1、ソース電極 2 2、保持容量電極 3 5 を形成する。その後、第 1 の T F T 3 および第 2 の T F T 1 0 の位置に形成した島状の半導体層 3 2 において

50



、ソース２、ドレイン電極８１で覆われていない半導体層３２の表面を前記ソース配線２（ソース電極２１）、ドレイン電極８１のパターンをマスクとし、表面の導電率が高いｎ層をエッチングすることで、ＴＦＴ（薄膜トランジスタ）のチャネル領域が形成され、第１のＴＦＴ３、第２のＴＦＴ１０が同時に完成する。

【００２６】

その後、ＳｉＮ等を成膜、パターニングし、基板保護膜９５を形成する。次に、基板保護膜９５に、第１のＴＦＴ３のドレイン電極８１上のコンタクトホール８、共通配線４上のコンタクトホール９、第２のＴＦＴ１０と第１の共通電極６とを接続するコンタクトホール１１、第２のＴＦＴ１０と第２の共通電極７とを接続するコンタクトホール１２、保持容量電極３５に形成されたコンタクトホール３６を形成する。

10

【００２７】

その後、ＩＴＯ等の透明電極を成膜、パターニングすることで、画素電極５および、画素内の第１の共通電極６、ソース配線２上の第２の共通電極７が形成される。

【００２８】

画素電極５は、コンタクトホール８で第１のＴＦＴ３のドレイン電極８１、コンタクトホール３６で保持容量電極３５とそれぞれ接続される。また、第１の共通電極６は、コンタクトホール９で共通配線４、コンタクトホール１１で第２のＴＦＴ１０とそれぞれ接続される。第２の共通電極７は、コンタクトホール１２で第２のＴＦＴ１０と接続される。

【００２９】

このように、第２の共通電極７および第２の共通電極７と接続させる第２のＴＦＴ１０は、新たな工程を追加することなく形成することが可能であり、コストを上昇させることがない。

20

【００３０】

本発明におけるＴＦＴアレイ基板１００を用いた液晶パネルは、ゲート配線１、共通配線４およびソース配線２に電圧が印加されると、第１のＴＦＴ３を介して画素電極５に電圧が印加される。また、第２のＴＦＴ１０を介して共通電極６に電圧が印加される。画素電極５および共通電極との間の電界が液晶に加わることで、液晶の配向が制御され、液晶パネルに画像が表示される。

【００３１】

次に本発明における、ＴＦＴアレイ基板１００を用いた液晶パネルにおける動作を説明する。

30

【００３２】

図４は液晶パネルに印加される電位を示す図であり、図４（ａ）は正常に動作している場合の任意のソース配線２に印加される電位を示す図、図４（ｂ）は任意のゲート配線１に印加される電位を示す図、図４（ｃ）は共通配線４に印加される電位を示す図である。また、図４（ｄ）は任意の第２の共通電極７（ソース配線２上の共通電極）の電位を示す図、図４（ｅ）は任意の第２の共通電極７（ソース配線２上の共通電極）とソース配線２とがショートした場合のソース配線２に印加される電位を示す図、図４（ｆ）は従来の液晶パネルにおいて、共通電極とソース配線がショートした場合のソース配線の電位を示す図である。ここで、図４（ａ）～図４（ｆ）の電位中心電圧は、図４（ｃ）に示す、共通配線４の電位とほぼ等しい電圧に設定されている。

40

【００３３】

まず、ソース配線２より画素電極５に印加されるソース電圧の印加方法を説明する。正常な状態でのソース配線２は、図４（ａ）に示す電圧波形のソース電圧が印加されている。ゲート配線１には図４（ｂ）に示す電圧波形のゲート電圧が印加されている。ゲート配線１は、一般的に１フレームを６０Ｈｚの周期で駆動する場合は１６．７ｍｓｅｃに１回電位が印加され、ゲート電位が高くなる。また、ソース電圧は、１フレーム間（１６．７ｍｓｅｃ）にゲート配線１の本数分の電圧が印加されており、ゲート電圧が高くなるタイミングで、任意のソース電圧が選択される。また、液晶の劣化を避けるため、ソース電圧は、電位中心（共通配線４の電位）を中心として１フレーム毎に交流電圧が選択される。

50



## 【0034】

ソース電圧の選択動作としては、ゲート電圧が高くなると、第1のTFT3の半導体層32にa-Siを用いた場合、チャネル抵抗(図示せず)が $10^6$ オーダーの低い抵抗値となり、ソース配線2の電圧がソース配線2から画素電極5へ供給され、保持容量電極35および画素電極5と、第1の共通電極6間の容量へ保持される。ゲート電圧が低くなると、第1のTFT3が $10^{12}$ 程度の高抵抗となるので、画素電極5に印加された電位は保持容量電極35および画素電極5と第1の共通電極6間の容量へ保持された状態を保つ。

## 【0035】

次に、第2の共通電極7への電位の印加方法について説明する。上述した画素電極5への電圧印加動作と同様、図4(b)に示すゲート配線1のゲート電圧が高くなるタイミングで、図4(d)に示す第2の共通電極7の電位は、第2のTFT10のチャネル抵抗が $10^6$ 程度の低い抵抗値となり、第2のTFT10を介して第2の共通電極7へ供給され、電位が印加される。その後、ゲート配線1のゲート電位が低くなると、第2のTFT10のチャネル抵抗が $10^{12}$ 程度と極めて高い抵抗値となるため、第2の共通電極7に印加された、共通電極電位は、図4(d)に示すように、ゲート電圧が高くなるまでの期間、保持されることとなる。この動作が液晶パネルを駆動中、継続して繰り返される。

10

## 【0036】

結果、第2の共通電極7の電位は図4(c)に示す波形となり、図4(d)に示す、共通配線4の電位とほぼ同じ電位を保つ。このような構成であるため、ソース配線2の電界の影響が画素領域内の液晶におよぶことがない、よって、画素領域内の液晶の配向が制御できるため、ソース配線2の端部の電界の乱れにより発生していた光漏れを防止することができる。

20

## 【0037】

次に、ソース配線2と第2の共通電極7がショートした場合の動作を従来構造の液晶パネルと比較しながら、説明する。

## 【0038】

図4(f)に示すとおり、従来の液晶パネルの構造で共通電極4とソース配線2がショートした場合のソース配線2の電位であるソース電位は、共通配線4の電位とほぼ同じ電位となってしまう、ソース配線2に接続された画素電極5には全て共通配線4の電圧が印加される。共通配線4の電位は、ソース電圧の電位中心とほぼ同じ電位のため、ソース配線2に接続された画素電極5は共通配線4と同じ電位となり、画素電極5の液晶に電圧が印加されなくなる。したがって、ノーマリーブラックモードの場合はソース配線2に沿った画素が全て黒点となるので、ソース配線2が形成される方向に沿った黒線として視認される。

30

## 【0039】

次に、本発明の液晶パネルの構造で、ソース配線2上の基板保護膜95に異物等による絶縁不良が発生した場合の動作を説明する。前述のとおり、第2の共通電極7への電圧の供給は第2のTFT10を介して行われるので、第2のTFT10がONして第1の共通電極6と $10^6$ 程度の低抵抗で接続されている時間は、例えば、ゲート配線の本数が480本でフレーム周波数60Hzの場合、 $60\text{Hz}(16.7\text{ms})/480\text{本} = 34.7\mu\text{s}$ と極めて短い時間となる。図4(d)に示すとおり、ソース配線2と第2の共通電極7がショートした場合、上記の極めて短い時間しか、ソース配線2と共通電極6間が低抵抗でショートしないので、ほとんどの期間はソース配線2へのソース駆動IC(図示せず)からの出力は正常な電圧を維持するようになり、その結果、ソース配線2が共通配線4の電位の影響を受けにくくなる。したがって、ソース配線2の電位は正常な状態(図4(a))からほぼ変化しないので、ソース配線2に接続された画素電極5へ印加される電位はショートが無い場合とほぼ変わらない電位が印加される。したがって、ソース配線2が第2の共通電極7とショートしていても、線欠陥の発生を防止することができる。

40

50



## 【 0 0 4 0 】

上記説明したとおり、本発明のＴＦＴアレ基板１００を用いた液晶パネルによれば、画素領域内に形成した第１の共通電極６とは独立してソース配線２上に第２の共通電極７を形成したので、画素電極および共通電極以外の電界が液晶に影響を与えることを防止できる。また、第２の共通電極７は、画素電極５を駆動する第１のＴＦＴ３とは別の第２のＴＦＴ１０により駆動させるので、ソース配線２と第２の共通電極７とのショートに起因するソース配線２の線欠陥が低減される。よって、液晶表示装置の歩留が向上する。

## 【 0 0 4 1 】

また、上述の通り、ソース配線２と第２の共通電極７のショートに起因した線欠陥が大幅に低減されるため、製品を出荷した後にソース配線２と第２共通電極７のショートに起因する線欠陥が発生することも低減することとなり、液晶表示装置の信頼性が向上する。

## 【 0 0 4 2 】

実施の形態２．

図５は本発明の実施の形態２におけるＴＦＴアレ基板の部分平面図、図６は図５のＣ－Ｃの断面図、図７は図５のＤ－Ｄの断面図、図８は図５のＥ－Ｅの断面図を示す。

## 【 0 0 4 3 】

実施の形態１においては、ＩＰＳ方式の液晶パネルを構成するＴＦＴアレ基板の構造について説明したが、本実施の形態２においては、ＦＦＳ方式の液晶パネルを構成するＴＦＴアレ基板に本発明を適用する例を説明する。その他、実施の形態１と同様の構成および効果を奏するものは、説明を省略する。

## 【 0 0 4 4 】

実施の形態１で説明したＩＰＳ方式のＴＦＴアレ基板は、画素電極５と第１の共通電極６が同層に構成されているが、図５乃至図８に示すように、本実施の形態２におけるＦＦＳ方式では、画素電極５は第１の共通電極６の下層に絶縁膜である基板保護膜９５を介して形成されている。共通電極６には開口部１３が形成されている。また、図７に示すように第１のＴＦＴ３は、ドレイン電極８の形成後に画素電極５を形成しており、コンタクトホールを介することなく、ドレイン電極８と画素電極５が直接接続されている。

## 【 0 0 4 5 】

図６に示すように、共通配線４と接続された共通電極６が第２のＴＦＴ１９を介して、第２の共通電極７へ接続される構造においては、実施の形態１で説明したＴＦＴアレ基板と同一の構造となる。したがって、本実施の形態２に示すＦＦＳ方式においても第２の共通電極７をソース配線２に沿って独立して形成させ、第２のＴＦＴ１９を介して、共通配線４と接続させる構成であるため、ソース配線２からの電界の影響を防止する構成であって、ソース配線２上に形成した第２の共通電極７とソース配線２が異物等でショートした場合でも、線欠陥を引き起こすことが大幅に低減される。よって、実施の形態１の液晶パネルと同様、ＦＦＳ方式の液晶パネルにおいても、上記実施の形態１と同様の効果を奏する。

## 【 符号の説明 】

## 【 0 0 4 6 】

- １ ゲート配線
- ２ ソース配線
- ２１、２２ ソース電極
- ３、３９ 第１のＴＦＴ
- ３１ ゲート絶縁膜
- ３２ 半導体層
- ３５ 保持容量電極
- ４ 共通配線
- ５ 画素電極
- ６、６１ 第１の共通電極

10

20

30

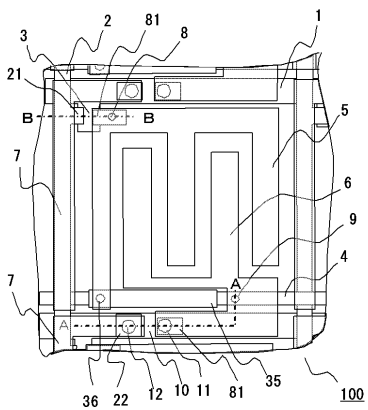
40

50

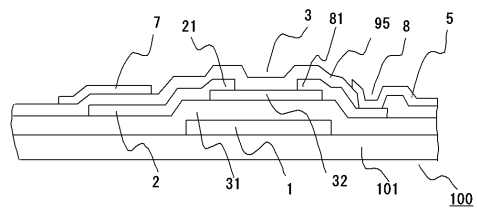


- 7、7 1 第 2 の共通電極  
 8 、9、1 1、1 2、3 6 コンタクトホール  
 8 1 ドレイン電極  
 9 5 基板保護膜  
 1 0、1 9 第 2 の T F T  
 1 0 0 T F T アレイ基板  
 1 0 1 絶縁性基板。

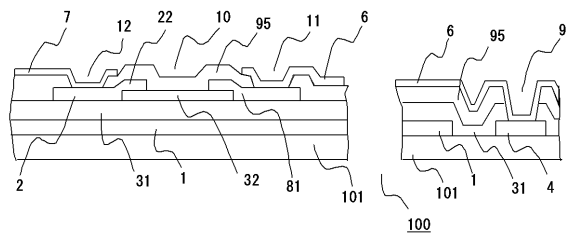
【図 1】



【図 3】



【図 2】









专利名称(译)	TFT阵列基板和具有该TFT阵列基板的液晶面板		
公开(公告)号	<a href="#">JP2013246250A</a>	公开(公告)日	2013-12-09
申请号	JP2012118839	申请日	2012-05-24
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	横溝政幸		
发明人	横溝 政幸		
IPC分类号	G02F1/1368		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA46 2H092/JB13 2H092/JB22 2H092/JB33 2H092/JB42 2H092/JB69 2H092/NA04 2H092/NA29 2H092/QA06 2H192/AA24 2H192/BB03 2H192/BB12 2H192/BB53 2H192/BB91 2H192/BC31 2H192/CB05 2H192/DA32 2H192/GA03		
代理人(译)	高桥省吾 稻叶忠彦 村上佳菜子		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

具有用于防止像素电极和公共电极之外的电场影响液晶的配置的面内切换模式液晶显示装置可以防止在制造过程中出现缺陷线缺陷，本发明的一个目的是获得一种使用TFT阵列基板的横向电场型液晶面板，其可以防止在产品使用期间发生线缺陷。用于本发明的横向电场型液晶面板的TFT阵列基板在与第一公共电极6分开的源极配线2上设置有第二公共电极。第二公共电极7经由基板保护膜95设置在源极线2上，并且沿着源极线2独立地设置并且对应于像素区域。此外，第二公共电极7是与用于驱动像素电极5的第一TFT 3不同的TFT，第二公共电极7是设置在构成第一TFT 3的栅极布线1上的第二TFT 10。它是连接到。点域1

