

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第3609977号
(P3609977)

(45) 発行日 平成17年1月12日(2005. 1. 12)

(24) 登録日 平成16年10月22日(2004. 10. 22)

(51) Int.Cl.⁷

F I

H O 3 K 19/0185

G O 9 G 3/20

G O 9 G 3/36

H O 3 K 19/00

G O 9 G 3/20

G O 9 G 3/36

I O 1 D

6 2 1 L

請求項の数 9 (全 21 頁)

(21) 出願番号	特願2000-92725 (P2000-92725)	(73) 特許権者	000005049
(22) 出願日	平成12年3月30日 (2000. 3. 30)		シャープ株式会社
(65) 公開番号	特開2001-85990 (P2001-85990A)		大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
(43) 公開日	平成13年3月30日 (2001. 3. 30)	(74) 代理人	100103296
審査請求日	平成14年7月12日 (2002. 7. 12)		弁理士 小池 隆彌
(31) 優先権主張番号	特願平11-201100	(74) 代理人	100073667
(32) 優先日	平成11年7月15日 (1999. 7. 15)		弁理士 木下 雅晴
(33) 優先権主張国	日本国 (JP)	(72) 発明者	佐々木 修
			大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
			シャープ株式会社内
		(72) 発明者	小川 康行
			大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 レベルシフト回路および画像表示装置

(57) 【特許請求の範囲】

【請求項 1】

入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が 1 本であり、
前記バイアス設定手段は、第 1 の p チャンネルのトランジスタのソースが正電源電圧に接続され、第 1 の n チャンネルのトランジスタのソースが負電源電圧に接続され、第 2 の p チャンネルのトランジスタのゲートとドレインと第 2 の n チャンネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されることを特徴とするレベルシフト回路。

10

【請求項 2】

前記アンプ手段が C M O S インバータ回路であることを特徴とする請求項 1 記載のレベルシフト回路。

【請求項 3】

前記バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えることを特徴とする請求 1 乃至 2 記載のレベルシフト回路。

【請求項 4】

前記バイアス電圧設定手段で設定された直流電圧レベルが前記電圧クランプ手段によりクランプするときに、電圧降下した電圧を補償する手段を備えることを特徴とする請求項 3

20

記載のレベルシフト回路。

【請求項 5】

入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路を用いた画像表示装置において、

前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が 1 本であり、

前記バイアス設定手段は、第 1 の p チャンネルのトランジスタのソースが正電源電圧に接続され、第 1 の n チャンネルのトランジスタのソースが負電源電圧に接続され、第 2 の p チャンネルのトランジスタのゲートとドレインと第 2 の n チャンネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されることを特徴とする画像表示装置。

10

【請求項 6】

前記アンプ手段が CMOS インバータ回路であることを特徴とする請求項 5 記載の画像表示装置。

【請求項 7】

前記バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えることを特徴とする請求 5 乃至 6 記載の画像表示装置。

【請求項 8】

入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路において、

20

前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が 1 本であり、

前記分圧手段として複数個の p チャンネルのトランジスタと複数個の n チャンネルのトランジスタとが用いられ、

各前記 p チャンネルのトランジスタは、隣接するもの同士でソースとドレインとが接続されることにより直列に接続され、

各前記 p チャンネルのトランジスタのゲートは負電源電圧に接続され、

端に位置する前記 p チャンネルのトランジスタのソースは正電源電圧に接続され、

30

各前記 n チャンネルのトランジスタは、隣接するもの同士でソースとドレインとが接続されて直列に接続され、

端に位置する n チャンネルのトランジスタのソースは負電源電圧に接続され、

各前記 n チャンネルのトランジスタのゲートは正電源電圧に接続されていることを特徴とするレベルシフト回路。

【請求項 9】

入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路を用いた画像表示装置において、

40

前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が 1 本であり、

前記分圧手段として複数個の p チャンネルのトランジスタと複数個の n チャンネルのトランジスタとが用いられ、

各前記 p チャンネルのトランジスタは、隣接するもの同士でソースとドレインとが接続されることにより直列に接続され、

各前記 p チャンネルのトランジスタのゲートは負電源電圧に接続され、

端に位置する前記 p チャンネルのトランジスタのソースは正電源電圧に接続され、

各前記 n チャンネルのトランジスタは、隣接するもの同士でソースとドレインとが接続されて直列に接続され、

50

端に位置する n チャンネルのトランジスタのソースは負電源電圧に接続され、
各前記 n チャンネルのトランジスタのゲートは正電源電圧に接続されていることを特徴とする
画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、レベルシフト回路およびそれを用いた画像表示装置に関し、特にドライバモノリシック型（駆動回路一体型）の画像表示装置に内蔵され、低振幅（ロジックレベル）の入力信号を増幅するためのレベルシフト回路および画像表示装置に関する。

【0002】

10

【従来の技術】

近年、液晶を用いた表示装置の研究および開発が著しく進んでおり、特に多結晶シリコンを用いた TFT（薄膜トランジスタ：Thin Film Transistor）液晶表示装置について、今後の高い需要が見込まれている。多結晶シリコンを用いた TFT 液晶表示装置は、アモルファスシリコンを用いたものと比較して、電子および正孔の移動度が 2 桁高く、 n チャンネル TFT と p チャンネル TFT とを組み合わせた CMOS 構成が可能である。そのため、アモルファスシリコンを用いた TFT 液晶表示装置が駆動回路を液晶セル用の画素 TFT の基板の外部で、例えば単結晶シリコンを用いて形成しなければならないのに対し、多結晶シリコンを用いて液晶セル用の画素 TFT と同一基板上に駆動回路を形成することができる、すなわちドライバモノリシック型の TFT 液晶表示装置を形成

20

【0003】

図 11 は、ドライバモノリシック型の TFT 液晶表示装置の構成を示す。図 11 において、1 は外部よりビデオ信号を入力するためのビデオ信号端子、2 は対向電極へ電圧を入力するための対向電圧端子、3 は n （ n は $n > 1$ の整数）段のゲートバスライン駆動用のシフトレジスタ、4 は m （ m は $m > 1$ の整数）段のソースバスライン駆動用のシフトレジスタ、5～8 は入力制御信号の振幅レベルを増幅するためのレベルシフト回路、SPV はシフトレジスタ 3 へ入力されるスタートパルス、 $\phi 1V$ および $\phi 2V$ は水平期間と同じ周波数であるクロック信号、 $\phi V1 \sim \phi Vn$ は TFT 素子をオン又はオフさせるためにシフトレジスタ 3 より出力される駆動パルス、 $G1 \sim Gn$ はゲートバスライン、SPH はシフトレジスタ 4 へ入力されるスタートパルス、 $\phi 1H$ および $\phi 2H$ は水平期間の m 倍の周波数であるクロック信号、 $\phi H1 \sim \phi Hm$ はシフトレジスタ 4 より出力されるサンプリングパルス、 $M1 \sim Mm$ はビデオ信号をサンプリングするためのサンプリングスイッチ、 $L1 \sim Lm$ はソースバスライン、 $M11 \sim Mnm$ はソースバスライン $L1 \sim Lm$ とゲートバスライン $G1 \sim Gn$ との各交点に設けられる TFT 素子、 $C11 \sim Cnm$ は TFT 素子 $M11 \sim Mnm$ に接続された画素電極と対向電極の間に存在する液晶セルである。

30

【0004】

図 11 では、レベルシフト回路 5～8 として、スタートパルス SPV および SPH 並びにクロック信号 $\phi 1V$ 、 $\phi 2V$ 、 $\phi 1H$ および $\phi 2H$ の振幅レベルを増幅するための回路を設けている。ドライバモノリシック型の TFT 液晶表示装置では、多結晶シリコンを用いて駆動回路を形成しているが、単結晶シリコンを用いて駆動回路を形成しているものと比べてトランジスタのしきい値電圧が高くなる。そこで、スタートパルス SPV および SPH 並びにクロック信号 $\phi 1V$ 、 $\phi 2V$ 、 $\phi 1H$ および $\phi 2H$ の振幅レベルは、ロジックレベルの電源電圧 3V、3.3V および 5V などの電圧では十分高いとは言えず、例えば 12～15V まで高くする必要がある、そのためにレベルシフト回路 5～8 を設けている。

40

【0005】

図 12 は、従来のレベルシフト回路を示す。図 12 において、VDD は正電源電圧、GND は負電源電圧、IN は入力信号、 $(\neg IN)$ は入力信号 IN と電圧レベルが反転した関係にある入力信号、OUT は出力信号、 $p121$ 、 $p122$ および $p123$ は p チャンネル TFT、 $n121$ 、 $n122$ および $n123$ は n チャンネル TFT である。

50

【0006】

図12では、入力信号INはnチャネルTFTn121のゲートへ入力され、入力信号(/ IN)はnチャネルTFTn122のゲートへ入力される。nチャネルTFTn121のドレインはpチャネルTFTp121のドレインおよびゲート並びにpチャネルTFTp122のゲートと接続され、nチャネルTFTn122のドレインはpチャネルTFTp122のドレインおよびpチャネルTFTp123とnチャネルTFTn123とからなるインバータ回路部の入力端子と接続される。また、pチャネルTFTp121のソースおよびpチャネルTFTp122のソースは正電源電圧VDDと接続され、nチャネルTFTn121のソースおよびnチャネルTFTn122のソースは負電源電圧GNDと接続される。

10

【0007】

図12に示す従来のレベルシフト回路の動作について説明する。入力信号INがハイレベル、入力信号(/ IN)がローレベルのとき、nチャネルTFTn121はオンとなり、nチャネルTFTn122はオフとなる。そうすると、負電源電圧GNDがpチャネルTFTp121のゲートおよびpチャネルTFTp122のゲートへ入力され、pチャネルTFTp121は抵抗成分とみなされ、正電源電圧VDDおよび負電源電圧GND間で電流が流れる。一方、pチャネルTFTp122はオンとなり、pチャネルTFTp122のドレインおよびpチャネルTFTp123とnチャネルTFTn123とからなるインバータ回路部の入力端子は正電源電圧VDDに充電され、インバータ回路部の出力端子からは負電源電圧GNDが出力される。入力信号INがローレベル、入力信号(/ IN)がハイレベルに反転すると、nチャネルTFTn121はオフとなり、nチャネルTFTn122はオンとなる。そうすると、pチャネルTFTp123とnチャネルTFTn123とからなるインバータ回路部の入力端子は負電源電圧GNDに放電され、インバータ回路部の出力端子からは正電源電圧VDDが出力される。すなわち、入力信号INの振幅レベルは、図12に示す従来のレベルシフト回路により増幅されている。(但し、正電源電圧VDDと負電源電圧GNDとの電位差は、入力信号INの振幅レベルより高く設定される。)

20

【0008】

【発明が解決しようとする課題】

ここで、図12に示す従来のレベルシフト回路を他の駆動回路と同じように多結晶シリコンを用いて形成する場合、トランジスタのしきい値電圧は単結晶シリコンを用いて形成したものと比べて高くなる。また、トランジスタを形成するプロセスの途上で、しきい値電圧のばらつきが大きくなることがある。トランジスタのしきい値電圧が高くなることはトランジスタのオン抵抗が高くなることに繋がり、pチャネルTFTp121およびp122並びにnチャネルTFTn121およびn122のオン抵抗が高くなると、pチャネルTFTp123とnチャネルTFTn123とからなるインバータ回路部の入力端子を充電する時定数も高くなることになる。それに対して、スタートパルスSPVおよびSPH並びにクロック信号Φ1V、Φ2V、Φ1HおよびΦ2Hの振幅レベルは、ロジックレベルの電源電圧3V、3.3Vおよび5Vなどの電圧では十分高いとは言えず、レベルシフト回路から出力される波形は訛ったもの、または歪んだものになるという問題点があった。

30

40

【0009】

そこで、その時定数を小さくするためにトランジスタのチャネル幅を大きくすることが考えられるが、トランジスタのチャネル幅を大きくすればレベルシフト回路の面積の増大に繋がる。また、トランジスタのチャネル幅を大きくすると、そのトランジスタ自身の容量も同時に大きくなるため、トランジスタのチャネル幅を大きくしても、時定数の低減効果はトランジスタのチャネル幅の大きさには比例しないことになる。

【0010】

このような問題点を解決するための技術としては、例えば、特開平4-242317号公報などが提案されている。図13は、この特開平4-242317号公報で開示されてい

50

る従来のレベルシフト回路を示す。図13において、VBは正電源電圧、R131およびR132は抵抗、C131およびC132はコンデンサ、T131およびT132はnpn型バイポーラトランジスタ、p131、p132およびp133はpチャネルTFET、n131、n132およびn133はnチャネルTFET、他の構成要素は図12と同様である。

【0011】

図13では、正電源電圧VB、負電源電圧GND、抵抗R131およびR132、npn型バイポーラトランジスタT131およびT132からなる電圧クランプ回路部と、正電源電圧VDD、負電源電圧GND、pチャネルTFET p131、p132およびp133、nチャネルTFET n131、n132およびn133からなるレベルシフト回路部とから構成される。電圧クランプ回路部では、正電源電圧VBと負電源電圧GNDとを抵抗R131およびR132で分圧した電圧（この電圧をVB'と定義する）がnpn型バイポーラトランジスタT131のベースおよびT132のベースへ入力される。npn型バイポーラトランジスタT131のエミッタはコンデンサC131の一方の電極およびnチャネルTFET n131のゲートと接続され、npn型バイポーラトランジスタT132のエミッタはコンデンサC132の一方の電極およびnチャネルTFET n132のゲートと接続される。また、npn型バイポーラトランジスタT131のコレクタおよびT132のコレクタは正電源電圧VBと接続される。尚、レベルシフト回路部は、図12に示す従来のレベルシフト回路と同じ構成である。

【0012】

図13に示す従来のレベルシフト回路の動作について説明する。入力信号INはコンデンサC131により容量結合されてnチャネルTFET n131のゲートへ入力され、入力信号(/IN)はコンデンサC132により容量結合されてnチャネルTFET n132のゲートへ入力される。ここで、電圧クランプ回路部からの電圧により、入力信号INおよび(/IN)の振幅レベルは変わらないが、そのローレベルは電圧VB'から順方向電圧だけ電圧降下した電圧にシフトされる。つまり、レベルシフト回路部を構成するトランジスタのしきい値電圧が高くなった場合においても、入力信号INおよび(/IN)のハイレベルをしきい値電圧より高く設定することが可能となり、トランジスタのオンおよびオフの動作を正常に行うことができる。そして、レベルシフト回路部では、図12に示す従来のレベルシフト回路と同じように、入力信号INの振幅レベルを増幅している。

【0013】

しかしながら、上記のレベルシフト回路では、電圧レベルが反転した関係にある入力信号INおよび(/IN)の2つの入力信号が必要であるという問題点があった。つまり、図11に示すドライバモノリシック型のTFET液晶表示装置に上記のレベルシフト回路を内蔵する場合、スタートパルスSPVおよびSPHは、シフトレジスタ3および4を駆動するという目的からみると各々の入力制御信号の電圧レベルが反転した関係にある信号は必要ないが、レベルシフト回路では各々の入力制御信号と各々の入力制御信号の電圧レベルが反転した関係にある信号との2つの信号を必要としている。このことは、ドライバモノリシック型のTFET液晶表示装置を形成する場合に外部からの入力信号数が増加するため、外部信号との接続端子数の増加を招くことになる。

【0014】

また、上記のレベルシフト回路では、電圧クランプ回路部がnpn型バイポーラトランジスタT131およびT132で構成されており、駆動回路と同一基板上に多結晶シリコンでモノリシックに形成することは困難であるという問題点があった。すなわち、電圧クランプ回路部は外部に用意する必要がある、部品点数の増加をもたらすことになる。

【0015】

さらに、上記のレベルシフト回路では、レベルシフト回路部を構成するpチャネルTFET p131、p132およびp133並びにnチャネルTFET n131、n132およびn133のしきい値電圧が変動した場合、トランジスタのしきい値電圧に応じて電圧VB'を調整する必要があるという問題点があった。すなわち、トランジスタのしきい値電圧に

10

20

30

40

50

合わせて、正電源電圧 V_B または抵抗 R_{131} および R_{132} の値を調整しなければならない。一般に、多結晶シリコンを用いて形成されるトランジスタのしきい値電圧のばらつきは単結晶シリコンで形成されるものと比べて大きく、量産化を行う場合、各液晶表示装置毎に電圧 V_B' を調整することは非常に効率が悪くなる。

【0016】

本発明は、上記問題点を解決するためになされたものであり、1つの入力信号のみで動作し、レベルシフト回路全体を駆動回路と同一基板上に多結晶シリコンを用いてモノリシックに形成することを可能とし、各液晶表示装置毎に電源電圧および抵抗の値を調整する必要がないレベルシフト回路および画像表示装置を提供するものである。

【0017】

【課題を解決するための手段】

本発明のレベルシフト回路は、入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が1本であり、前記バイアス設定手段は、第1のpチャネルのトランジスタのソースが正電源電圧に接続され、第1のnチャネルのトランジスタのソースが負電源電圧に接続され、第2のpチャネルのトランジスタのゲートとドレインと第2のnチャネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されることを特徴としている。

【0018】

本発明のレベルシフト回路は、前記アンプ手段がCMOSインバータ回路であることを特徴としている。

【0020】

本発明のレベルシフト回路は、前記分圧手段として、容量を用いることを特徴としている。

【0025】

本発明のレベルシフト回路は、前記バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えることを特徴としている。

【0026】

本発明のレベルシフト回路は、前記バイアス電圧設定手段で設定された直流電圧レベルが前記電圧クランプ手段によりクランプするときに、電圧降下した電圧を補償する手段を備えることを特徴としている。

【0027】

本発明の画像処理装置は、入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路を用いた画像表示装置において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が1本であり、前記バイアス設定手段は、第1のpチャネルのトランジスタのソースが正電源電圧に接続され、第1のnチャネルのトランジスタのソースが負電源電圧に接続され、第2のpチャネルのトランジスタのゲートとドレインと第2のnチャネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されることを特徴としている。

【0028】

本発明の画像表示装置は、前記アンプ手段がCMOSインバータ回路であることを特徴としている。

【0032】

本発明の画像表示装置は、前記バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えることを特徴としている。

本発明のレベルシフト回路は、入力部に設けられる容量手段と、前記容量手段により容量

10

20

30

40

50

結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が1本であり、前記分圧手段として複数個のpチャネルのトランジスタと複数個のnチャネルのトランジスタとが用いられ、各前記pチャネルのトランジスタは、隣接するもの同士でソースとドレインとが接続されることにより直列に接続され、各前記pチャネルのトランジスタのゲートは負電源電圧に接続され、端に位置する前記pチャネルのトランジスタのソースは正電源電圧に接続され、各前記nチャネルのトランジスタは、隣接するもの同士でソースとドレインとが接続されて直列に接続され、端に位置するnチャネルのトランジスタのソースは負電源電圧に接続され、各前記nチャネルのトランジスタのゲートは正電源電圧に接続されていることを特徴としている。

10

本発明の画像表示装置は、入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路を用いた画像表示装置において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が1本であり、前記分圧手段として複数個のpチャネルのトランジスタと複数個のnチャネルのトランジスタとが用いられ、各前記pチャネルのトランジスタは、隣接するもの同士でソースとドレインとが接続されることにより直列に接続され、各前記pチャネルのトランジスタのゲートは負電源電圧に接続され、端に位置する前記pチャネルのトランジスタのソースは正電源電圧に接続され、各前記nチャネルのトランジスタは、隣接するもの同士でソースとドレインとが接続されて直列に接続され、端に位置するnチャネルのトランジスタのソースは負電源電圧に接続され、各前記nチャネルのトランジスタのゲートは正電源電圧に接続されていることを特徴としている。

20

【0033】

以下、上記構成による作用を説明する。

【0034】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されるため、簡単な回路構成でバイアス電圧設定手段を実現することができると共に、入力信号の直流電圧レベルを容易にアンプ手段の動作点の範囲にシフトすることができる。また、アンプ手段の入力端子が1つの端子から構成されるため、レベルシフト回路への入力信号線数が少なくすむと共に、簡単な回路構成でアンプ手段を実現することができる。

30

【0035】

本発明のレベルシフト回路および画像表示装置は、アンプ手段がCMOSインバータ回路であるため、pチャネルのトランジスタとnチャネルのトランジスタを用いた簡単な構成でアンプ手段を実現することができる。

【0036】

本発明のレベルシフト回路および画像表示装置は、分圧手段としてpチャネルのトランジスタとnチャネルのトランジスタを用いるため、入力信号の直流電圧レベルをトランジスタのオン抵抗比により容易に設定することができる。また、単結晶シリコンと比べてしきい値電圧にばらつきのある多結晶シリコンでレベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

40

【0037】

本発明のレベルシフト回路および画像表示装置は、分圧手段として容量を用いるため、入力信号の直流電圧レベルを容量の面積比により容易に設定することができる。容量は多結晶シリコン上にも簡単に構成できるため、レベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装

50

置を実現することが可能となる。

【 0 0 3 8 】

本発明のレベルシフト回路および画像表示装置は、分圧手段として抵抗体を用いるため、入力信号の直流電圧レベルを抵抗比により容易に設定することができると共に、レベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【 0 0 3 9 】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段の構成として、pチャネルのトランジスタのソースとnチャネルのトランジスタのゲートとが正電源電圧に接続され、pチャネルのトランジスタのゲートとnチャネルのトランジスタのソースとが負電源電圧に接続され、pチャネルのトランジスタのドレインとnチャネルのトランジスタのドレインとがアンプ手段の入力端子に接続されるため、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ手段の動作点がシフトしても、それに追従して入力信号の直流電圧レベルを自動的に設定することができる。

10

【 0 0 4 0 】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段の構成として、pチャネルのトランジスタのソースが正電源電圧に接続され、nチャネルのトランジスタのソースが負電源電圧に接続され、pチャネルのトランジスタのゲートとドレインとnチャネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されるため、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ手段の動作点がシフトしても、入力信号の直流電圧レベルの設定を容易に行うことができる。

20

【 0 0 4 1 】

本発明のレベルシフト回路および画像表示装置は、pチャネルのトランジスタとnチャネルのトランジスタは各々複数個を用いて前記分圧手段を構成するため、各々のトランジスタのソース・ドレイン端子間にかかる電界によるストレスを低減することができる。また、トランジスタの数により入力信号の直流電圧レベルを決められるので、設定の自由度を高くすることができる。

【 0 0 4 2 】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えるため、入力信号の周波数、バイアス電圧設定手段を構成するトランジスタおよび入力部に設けられる容量手段に関わらず、入力信号の波形の歪みを防ぐことができる。そのため、設計の自由度を高くすることも可能である。

30

【 0 0 4 3 】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段で設定された直流電圧レベルが前記電圧クランプ手段によりクランプするときに、電圧降下した電圧を補償する手段を備えるため、入力信号の直流電圧レベルをバイアス電圧設定手段で容易に設定することができる。

【 0 0 4 4 】

【 発明の実施の形態 】

40

本発明の実施の形態について以下に説明する。

【 0 0 4 5 】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 における画像表示装置に用いるレベルシフト回路を示す。図 1 において、VDDは正電源電圧、GNDは負電源電圧、INは入力信号、OUTは出力信号、C11はコンデンサ、p11およびp12はpチャネルTFT、n11およびn12はnチャネルTFTである。

【 0 0 4 6 】

図 1 では、正電源電圧VDD、負電源電圧GND、pチャネルTFT p11、nチャネルTFT n11からなるバイアス電圧設定部と、正電源電圧VDD、負電源電圧GND、p

50

チャンネルTFTp12、nチャンネルTFTn12からなるアンプ回路部とから構成される。バイアス電圧設定部では、pチャンネルTFTp11のドレインとnチャンネルTFTn11のドレインとが接続されると共にコンデンサC11の一方の電極と接続され、pチャンネルTFTp11のソースおよびnチャンネルTFTn11のゲートは正電源電圧VDDと接続され、pチャンネルTFTp11のゲートおよびnチャンネルTFTn11のソースは負電源電圧GNDと接続される。アンプ回路部では、pチャンネルTFTp12のゲートとnチャンネルTFTn12のゲートとが接続されると共にコンデンサC11の一方の電極と接続され（アンプ回路部の入力端子となる）、pチャンネルTFTp12のドレインとnチャンネルTFTn12のドレインとが接続され（アンプ回路部の出力端子となる）、pチャンネルTFTp12のソースは正電源電圧VDDと接続され、nチャンネルTFTn12のソースは負電源電圧GNDと接続される。

10

【0047】

図1に示す本発明の実施の形態1におけるレベルシフト回路の動作について説明する。入力信号INはコンデンサC11により容量結合されてアンプ回路部の入力端子へ入力される。ここで、pチャンネルTFTp11およびnチャンネルTFTn11のオン抵抗の比によって決定されるバイアス電圧（この電圧をVbと定義する）により、入力信号INの振幅レベルは変わらないが、その振幅レベルの中心電圧はバイアス電圧Vbにシフトされる。つまり、そのバイアス電圧Vbを正しく設定することにより、アンプ回路部の動作を正常に行うことができる。そして、アンプ回路部では、入力信号INがハイレベルのとき、pチャンネルTFTp12はオフとなり、nチャンネルTFTn12はオンとなり、アンプ回路部の出力端子からは負電源GNDが出力される。入力信号INがローレベルのとき、pチャンネルTFTp12はオンとなり、nチャンネルTFTn12はオフとなり、アンプ回路部の出力端子からは正電源VDDが出力される。すなわち、入力信号INの振幅レベルは、図1に示す本発明の実施の形態1におけるレベルシフト回路により増幅されている。（但し、正電源電圧VDDと負電源電圧GNDとの電位差は、入力信号INの振幅レベルより高く設定される。）

20

図2は、本発明の実施の形態1におけるレベルシフト回路の入出力の関係を示す。入力信号INの振幅レベルの中心電圧はバイアス電圧Vbにシフトされ、信号inbとなり、アンプ回路部の入力端子へ入力される。そして、アンプ回路部の入出力の電圧特性が波形bのような特性で、信号inbの振幅レベルがアンプ回路部の出力電圧を正電源電圧VDDから負電源電圧GNDへ反転するような入力電圧の動作点の範囲となれば、アンプ回路部の出力端子からは信号outbが出力される。

30

【0048】

ここで、レベルシフト回路を構成するpチャンネルTFTのしきい値電圧の絶対値がnチャンネルTFTのしきい値電圧の絶対値に対して小さくなった場合、アンプ回路部の入出力の電圧特性は波形cのような特性になり、動作点が正電源電圧VDD側にシフトされる。その場合でも、アンプ回路部の入力端子へ入力される信号が信号inbのままであれば、アンプ回路部の出力端子からは信号outcが出力され、振幅レベルの十分な変換が行われないことになる。しかしながら、pチャンネルTFTのしきい値電圧の絶対値がnチャンネルTFTのしきい値電圧の絶対値に対して小さくなった場合、pチャンネルTFTp11のオン抵抗はnチャンネルTFTn11のオン抵抗より値が低くなるため、バイアス電圧設定部により決定されるバイアス電圧はVbより正電源電圧VDD側にシフトされVcとなり、アンプ回路部の入力端子へ入力される信号が信号incとなる。その結果、アンプ回路部の出力端子からは信号outbが出力される。

40

【0049】

上述とは逆に、レベルシフト回路を構成するpチャンネルTFTのしきい値電圧の絶対値がnチャンネルTFTのしきい値電圧の絶対値に対して大きくなった場合、アンプ回路部の入出力の電圧特性は波形aのような特性になり、動作点が負電源電圧GND側にシフトされる。その場合は、pチャンネルTFTp11のオン抵抗はnチャンネルTFTn11のオン抵抗より値が高くなるため、バイアス電圧設定部により決定されるバイアス電圧はVbより

50

負電源電圧 GND 側にシフトされ V_a となり、アンプ回路部の入力端子へ入力される信号が信号 i_{na} となる。その結果、アンプ回路の出力端子からは、信号 out_a ではなく信号 out_b が出力される。

【0050】

つまり、本発明の実施の形態 1 におけるレベルシフト回路では、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ回路部の動作点がシフトしても、それに追従してバイアス電圧がバイアス電圧設定部で自動的に設定されることになる。

【0051】

尚、図 1 に示す本発明の実施の形態 1 におけるレベルシフト回路では、p チャンネル T F T および n チャンネル T F T を各々 1 つずつでバイアス電圧設定部を構成しているが、p チャンネル T F T および n チャンネル T F T を両方またはいずれか一方を 2 つ以上で構成しても良い。

10

【0052】

図 3 は、本発明の実施の形態 1 におけるレベルシフト回路の別の例を示す。図 3 において、C 3 1 はコンデンサ、p 3 1、p 3 2 および p 3 3 は p チャンネル T F T、n 3 1、n 3 2 および n 3 3 は n チャンネル T F T、他の構成要素は図 1 と同様である。

【0053】

図 3 では、図 1 に示す本発明の実施の形態 1 におけるレベルシフト回路と比べて、バイアス電圧設定部が各々 2 つの p チャンネル T F T および n チャンネル T F T から構成される点が異なる。このようにすることで、各トランジスタの端子間にかかる電圧を低減できるため、トランジスタのソース・ドレイン端子間にかかる電界によるストレス低減効果が期待できる。また、p チャンネル T F T および n チャンネル T F T の個数の比でもバイアス電圧を決めることが可能となり、バイアス電圧の設定の自由度が増すことになる。

20

【0054】

(実施の形態 2)

図 4 は、本発明の実施の形態 2 における画像表示装置に用いるレベルシフト回路を示す。図 4 において、C 4 1 はコンデンサ、p 4 1、p 4 2 および p 4 3 は p チャンネル T F T、n 4 1、n 4 2 および n 4 3 は n チャンネル T F T、他の構成要素は図 1 と同様である。

【0055】

図 4 では、図 3 に示す本発明の実施の形態 1 におけるレベルシフト回路と比べて、バイアス電圧設定部を構成する p チャンネル T F T p 4 2 のゲートと n チャンネル T F T n 4 1 のゲートとが接続されると共に、p チャンネル T F T p 4 2 のドレインおよび n チャンネル T F T n 4 1 のドレインと接続される点異なる。

30

【0056】

ここで、図 2 および図 3 に示す実施の形態 1 におけるレベルシフト回路では、トランジスタのしきい値電圧の変動によるアンプ回路部の動作点のシフト量およびバイアス電圧設定部からのバイアス電圧のシフト方向は一致するが、一般的にバイアス電圧のシフト量がアンプ回路部の動作点よりも大きくなる。そのため、バイアス電圧のシフト量が大きくなりすぎると、入力信号 I_N の振幅レベルがアンプ回路部の動作点の範囲とずれる可能性がある。一方、図 4 に示す本発明の実施の形態 2 におけるレベルシフト回路では、バイアス電圧設定部からのバイアス電圧が p チャンネル T F T p 4 2 のゲートおよび n チャンネル T F T n 4 1 のゲートにフィードバックされ、トランジスタのしきい値電圧の変動によるバイアス電圧のシフト量を補償することができる。

40

【0057】

その補償効果について詳しく説明する。レベルシフト回路を構成する p チャンネル T F T のしきい値電圧の絶対値が n チャンネル T F T のしきい値電圧の絶対値に対して小さくなった場合、p チャンネル T F T p 4 1 および p 4 2 のオン抵抗は n チャンネル T F T n 4 1 および n 4 2 のオン抵抗より値が低くなるため、バイアス電圧は正電源電圧 V_{DD} 側にシフトされる。しかしながら、バイアス電圧設定部からのバイアス電圧は、p チャンネル T F T p 4 2 のゲートおよび n チャンネル T F T n 4 1 のゲートにフィードバックされるため、正電源

50

電圧 V_{DD} 側にシフトされたバイアス電圧により n チャンネル TFT $n41$ のオン抵抗の値が低くなるように働く。その結果、バイアス電圧のシフト量は、図 2 および図 3 に示す実施の形態 1 におけるレベルシフト回路と比べて小さくなる。上述とは逆に、レベルシフト回路を構成する p チャンネル TFT のしきい値電圧の絶対値が n チャンネル TFT のしきい値電圧の絶対値に対して大きくなった場合、バイアス電圧は負電源電圧 GND 側にシフトされるが、 p チャンネル TFT $p42$ のオン抵抗の値が低くなるように働く。その結果、上述と同様に、バイアス電圧のシフト量は、図 2 および図 3 に示す実施の形態 1 におけるレベルシフト回路と比べて小さくなる。

【0058】

つまり、本発明の実施の形態 2 におけるレベルシフト回路では、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ回路部の動作点がシフトする場合、バイアス電圧設定部からのバイアス電圧をアンプ回路部のシフト量に合わせて設定することが容易になる。

【0059】

尚、図 4 に示す本発明の実施の形態 2 におけるレベルシフト回路では、 p チャンネル TFT および n チャンネル TFT を各々 2 つずつでバイアス電圧設定部を構成しているが、 p チャンネル TFT および n チャンネル TFT を両方またはいずれか一方を 3 つ以上で構成しても良い。また、 p チャンネル TFT および n チャンネル TFT を両方またはいずれか一方を 1 つで構成しても良い。すなわち、図 4 に示す本発明の実施の形態 2 におけるレベルシフト回路から p チャンネル TFT $p41$ または n チャンネル TFT $n42$ を取り除いた構成としても良い。

【0060】

(実施の形態 3)

図 5 は、本発明の実施の形態 3 における画像表示装置に用いるレベルシフト回路を示す。図 5 において、 $C51$ はコンデンサ、 $p51$ および $p52$ は p チャンネル TFT 、 $n51$ 、 $n52$ および $n53$ は n チャンネル TFT 、他の構成要素は図 1 と同様である。

【0061】

図 5 では、図 1 に示す本発明の実施の形態 1 におけるレベルシフト回路と比べて、バイアス電圧設定部の出力端子とアンプ回路部の入力端子との間に電圧クランプ用の n チャンネル TFT $n52$ が設けられている点異なる。 n チャンネル TFT $n52$ のドレインは、アンプ回路部の入力端子となる p チャンネル TFT $p52$ のゲートと n チャンネル TFT $n53$ のゲートと接続されると共にコンデンサ $C51$ の一方の電極と接続される。また、 n チャンネル TFT $n52$ のゲートはバイアス電圧設定部の出力端子となる p チャンネル TFT $p51$ のドレインおよび n チャンネル TFT $n51$ のドレインと接続され、 n チャンネル TFT $n52$ のソースは正電源電圧 V_{DD} と接続される。

【0062】

ここで、図 1 および図 3 に示す本発明の実施の形態 1 におけるレベルシフト回路並びに図 4 示す本発明の実施の形態 2 におけるレベルシフト回路では、コンデンサのインピーダンスがバイアス電圧設定部を構成する p チャンネル TFT および n チャンネル TFT のオン抵抗の値に対して、十分低くする必要がある。図 1 に示す本発明の実施の形態 1 におけるレベルシフト回路で考えると、入力信号 IN の周波数を fHz 、 p チャンネル TFT $p11$ のオン抵抗を R_{p11} 、 n チャンネル TFT $n11$ のオン抵抗を R_{n11} とした場合、コンデンサ $C11$ のインピーダンス Z_{c11} は $Z_{c11} = 1 / (2\pi \cdot f \cdot C11)$ となるが、 $1 / (2\pi \cdot f \cdot C11) \ll R_{p11}$ 、 R_{n11} の関係式が成り立つようにしなければならない。そうでないと、アンプ回路部の入力端子で信号波形が歪んだものとなり、レベルシフト回路が正常に動作しなくなる。

【0063】

尚、入力信号 IN の周波数 fHz から $f/10Hz$ になった場合、上式を満たすためには、コンデンサ $C11$ の値を 10 倍、または p チャンネル TFT $p11$ のオン抵抗 R_{p11} および n チャンネル TFT $n11$ のオン抵抗 R_{n11} の値を 10 倍にする必要がある。すなわ

10

20

30

40

50

ち、入力信号 I_N の周波数におけるコンデンサ C_{11} のインピーダンス Z_{c11} とバイアス電圧設定部のトランジスタのオン抵抗との比を十分に大きくするために、コンデンサのサイズを大きくして容量を増やすか、またはバイアス電圧設定部を構成するトランジスタの数を多くしてトランジスタのオン抵抗を高くしなければならない。しかしながら、コンデンサのサイズを大きくしたり、トランジスタの数を増やすことは、レベルシフト回路の規模の増大につながるため必ずしも好ましくない。また、 p チャネル TFT_{p11} のオン抵抗 R_{p11} および n チャネル TFT_{n11} のオン抵抗 R_{n11} の値を高くするため、トランジスタのサイズを調整する方法も考えられるが、トランジスタの設計ルールを考慮すると、トランジスタのオン抵抗の値を一定以上にすることは困難である。

【0064】

10

一方、図5に示す本発明の実施の形態3におけるレベルシフト回路では、入力信号 I_N のローレベルが p チャネル TFT_{p51} のオン抵抗と n チャネル TFT_{n51} のオン抵抗との比で設定された電圧から、 n チャネル TFT_{n52} のしきい値電圧だけ電圧降下した電圧 V' にシフトされる。もし、入力信号 I_N のローレベルが電圧 V' よりも低くなる方向で動作しても、 n チャネル TFT_{n52} を介して、アンプ回路部を構成する p チャネル TFT_{p52} のゲートおよび n チャネル TFT_{n53} のゲート並びにコンデンサ C_{51} を充電することになり、常に電圧 V' より低くなることはなく、電圧 V' にクランプされる。そして、入力信号 I_N の振幅レベルがアンプ回路部の動作点の範囲となるように、入力信号のローレベル、すなわち電圧 V' を設定すれば良い。

【0065】

20

つまり、本発明の実施の形態3におけるレベルシフト回路では、入力信号のローレベルを電圧クランプすることにより、入力信号の波形が歪むことなくアンプ回路部へ入力されるため、バイアス電圧設定部を構成する p チャネル TFT および n チャネル TFT のオン抵抗の値、コンデンサの容量の調整が不要となり、設計時の自由度が増すことになる。

【0066】

図6は、本発明の実施の形態3におけるレベルシフト回路の別の例を示す。図6において、 C_{61} はコンデンサ、 p_{61} および p_{62} は p チャネル TFT 、 n_{61} 、 n_{62} および n_{63} は n チャネル TFT 、他の構成要素は図1と同様である。

【0067】

図6では、図5に示す本発明の実施の形態3におけるレベルシフト回路と比べて、バイアス電圧設定部の出力端子とアンプ回路部の入力端子との間に設けられる電圧クランプ用の n チャネル TFT_{n62} のゲートとソースとが接続される点が異なる。このようにすることで、 n チャネル TFT_{n62} はダイオードとして機能し、入力信号 I_N のローレベルが p チャネル TFT_{p61} のオン抵抗と n チャネル TFT_{n61} のオン抵抗との比で設定された電圧から、 n チャネル TFT_{n62} のしきい値電圧だけ電圧降下した電圧にシフトされる。

【0068】

尚、本発明の実施の形態3におけるレベルシフト回路では、 p チャネル TFT および n チャネル TFT を各々1つずつでバイアス電圧設定部を構成しているが、 p チャネル TFT および n チャネル TFT を両方またはいずれか一方を2つ以上で構成しても良い。

【0069】

また、本発明の実施の形態3におけるレベルシフト回路では、電圧クランプ用として n チャネル TFT を用いているが、 p チャネル TFT を用いても良い。

【0070】

(実施の形態4)

図7は、本発明の実施の形態4における画像表示装置に用いるレベルシフト回路を示す。図7において、 C_{71} はコンデンサ、 p_{71} 、 p_{72} および p_{73} は p チャネル TFT 、 n_{71} 、 n_{72} 、 n_{73} 、 n_{74} および n_{75} は n チャネル TFT 、他の構成要素は図1と同様である。

【0071】

50

図 7 では、図 4 に示す本発明の実施の形態 2 におけるレベルシフト回路と比べて、バイアス電圧設定部の出力端子とアンプ回路部の入力端子との間に電圧クランプ用の n チャンネル T F T n 7 3 および n チャンネル T F T n 7 4 が設けられている点異なる。n チャンネル T F T n 7 3 のドレインと n チャンネル T F T n 7 4 のソースとが接続され、n チャンネル T F T n 7 3 のゲートは、p チャンネル T F T p 7 2 のゲートおよび n チャンネル T F T n 7 2 のゲートと接続されると共に p チャンネル T F T p 7 2 のドレインおよび n チャンネル T F T n 7 2 のドレインと接続される。また、n チャンネル T F T n 7 3 のソースは正電源電圧 V D D と接続され、n チャンネル T F T n 7 4 のゲートとドレインとが接続されると共に、アンプ回路部の入力端子となる p チャンネル T F T p 7 3 のゲートおよび n チャンネル T F T n 7 5 のゲート並びにコンデンサ C 7 1 の一方の電極と接続される。

10

【 0 0 7 2 】

ここで、図 7 に示す本発明の実施の形態 4 におけるレベルシフト回路の電圧クランプのレベルについて考える。バイアス電圧設定部からのバイアス電圧は、n チャンネル T F T n 7 3 のしきい値電圧だけ電圧降下した電圧が n チャンネル T F T n 7 3 のドレインより出力される。そして、n チャンネル T F T n 7 4 のゲートとドレインとが接続されるため、n チャンネル T F T n 7 3 のドレインより出力される電圧は、n チャンネル T F T n 7 4 のしきい値電圧だけ高くなる。

【 0 0 7 3 】

つまり、本発明の実施の形態 4 におけるレベルシフト回路では、電圧クランプ用のトランジスタを 2 つ設け、最初のトランジスタのしきい値電圧だけ電圧降下した電圧を次のトランジスタで補償することにより、バイアス電圧設定部で設定された電圧で入力信号のローレベルを電圧クランプすることができるため、バイアス電圧の設定が容易になる。

20

【 0 0 7 4 】

尚、本発明の実施の形態 4 におけるレベルシフト回路では、バイアス電圧設定部を本発明の実施の形態 2 におけるレベルシフト回路のバイアス電圧設定部と同じ構成としているが、本発明の実施の形態 1 におけるレベルシフト回路のバイアス電圧設定部と同じ構成としても良い。

【 0 0 7 5 】

また、本発明の実施の形態 4 におけるレベルシフト回路では、p チャンネル T F T および n チャンネル T F T を各々 2 つずつでバイアス電圧設定部を構成しているが、p チャンネル T F T および n チャンネル T F T を両方またはいずれか一方を 3 つ以上で構成しても良い。

30

【 0 0 7 6 】

さらに、本発明の実施の形態 4 におけるレベルシフト回路では、電圧クランプ用として n チャンネル T F T を用いているが、p チャンネル T F T を用いても良い。

【 0 0 7 7 】

(実施の形態 5)

図 8 ~ 図 1 0 は、本発明の実施の形態 5 における画像表示装置に用いるレベルシフト回路を示す。レベルシフト回路を構成する p チャンネル T F T および n チャンネル T F T のしきい値電圧の変動が小さく、アンプ回路部の動作点の範囲の変動が小さい場合、バイアス電圧設定部からのバイアス電圧をトランジスタのしきい値電圧に合わせる必要はなく、固定することが可能である。従って、図 8 ~ 図 1 0 に示す本発明の実施の形態 5 におけるレベルシフト回路が考えられる。

40

【 0 0 7 8 】

図 8 において、C 8 1、C 8 2 および C 8 3 はコンデンサ、p 8 1 は p チャンネル T F T、n 8 1 は n チャンネル T F T、他の構成要素は図 1 と同様である。図 8 では、図 1 に示す本発明の実施の形態 1 におけるレベルシフト回路と比べて、トランジスタを容量に置き換えた点異なる。バイアス電圧はコンデンサ C 8 2 とコンデンサ C 8 3 との容量比に応じて設定される。

【 0 0 7 9 】

図 9 において、C 9 1、C 9 2 および C 9 3 はコンデンサ、p 9 1 は p チャンネル T F T、

50

n 9 1 および n 9 2 は n チャネル T F T、他の構成要素は図 1 と同様である。図 9 では、図 5 に示す本発明の実施の形態 3 におけるレベルシフト回路と比べて、トランジスタを容量に置き換える点異なる。コンデンサ C 9 2 とコンデンサ C 9 3 との容量比に応じて設定されるバイアス電圧は、n チャネル T F T n 9 1 のしきい値電圧だけ電圧降下した電圧により電圧クランプされる。

【 0 0 8 0 】

図 1 0 において、C 1 0 1 はコンデンサ、R 1 0 1、R 1 0 2 は抵抗、p 1 0 1 は p チャネル T F T、n 1 0 1 は n チャネル T F T、他の構成要素は図 1 と同様である。図 1 0 では、図 1 に示す本発明の実施の形態 1 におけるレベルシフト回路と比べて、トランジスタを抵抗に置き換える点異なる。バイアス電圧は抵抗 R 1 0 1 と抵抗 1 0 2 との抵抗比に 10

【 0 0 8 1 】

図 8 ~ 図 1 0 に示す本発明の実施の形態 5 におけるレベルシフト回路では、コンデンサまたは抵抗を用いてバイアス電圧設定部を構成しているため、トランジスタの特性による影響を受けずにバイアス電圧を安定にかつ容易に設定できる。

【 0 0 8 2 】

尚、本発明の実施の形態 5 におけるレベルシフト回路では、コンデンサを用いたバイアス電圧設定部とアンプ回路部との間に電圧クランプ用のトランジスタを設けているが、抵抗を用いたバイアス電圧設定部とアンプ回路部との間に電圧クランプ用のトランジスタを設けても良いし、本発明の実施の形態 4 におけるレベルシフト回路のように電圧クランプ用 20

【 0 0 8 3 】

また、本発明の実施の形態 5 におけるレベルシフト回路では、コンデンサまたは抵抗を正電源電圧側と負電源電圧側とに各々 1 つずつでバイアス電圧設定部を構成しているが、正電源電圧側と負電源電圧側との両方またはいずれか一方を 2 つ以上で構成しても良い。

【 0 0 8 4 】

本発明の実施の形態におけるレベルシフト回路では、多結晶シリコンとして、連続粒界結晶性シリコンを用いても良い。

【 0 0 8 5 】

また、本発明の実施の形態におけるレベルシフト回路では、入力信号の振幅レベルの増幅手段であるアンプ回路部として、入力信号に対して反転した信号を出力するための C M O S インバータ回路を用いているが、入力信号に対して反転しない信号を出力する回路手段を用いても良い。

【 0 0 8 6 】

【 発明の効果 】

以上説明したように、本発明のレベルシフト回路および画像表示装置においては、以下のような効果を奏する。

【 0 0 8 7 】

本発明のレベルシフト回路および画像表示装置には、バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されるため、簡単な回路構成でバイアス電圧設定手段を実現することができると共に、入力信号の直流電圧レベルを容易にアンプ手段の動作点の範囲にシフトすることができる。また、アンプ手段の入力端子が 1 つの端子から構成されるため、レベルシフト回路への入力信号線数が少なくすむと共に、簡単な回路構成でアンプ手段を実現することができる。

【 0 0 8 8 】

本発明のレベルシフト回路および画像表示装置には、アンプ手段が C M O S インバータ回路であるため、p チャネルのトランジスタと n チャネルのトランジスタを用いた簡単な構成でアンプ手段を実現することができる。

【 0 0 8 9 】

本発明のレベルシフト回路および画像表示装置には、分圧手段として p チャネルのトラン 50

ジスタとnチャネルのトランジスタを用いるため、入力信号の直流電圧レベルをトランジスタのオン抵抗比により容易に設定することができる。また、単結晶シリコンに比べて V_{th} ばらつきのある多結晶シリコンでレベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【0090】

本発明のレベルシフト回路および画像表示装置は、分圧手段として容量を用いるため、入力信号の直流電圧レベルを容量の面積比により容易に設定することができる。容量は多結晶シリコン上にも簡単に構成できるため、レベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

10

【0091】

本発明のレベルシフト回路および画像表示装置は、分圧手段として抵抗体を用いるため、入力信号の直流電圧レベルを抵抗比により容易に設定できると共に、レベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【0092】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段の構成として、pチャネルのトランジスタのソースとnチャネルのトランジスタのゲートとが正電源電圧に接続され、pチャネルのトランジスタのゲートとnチャネルのトランジスタのソースとが負電源電圧に接続され、pチャネルのトランジスタのドレインとnチャネルのトランジスタのドレインとがアンプ手段の入力端子に接続されるため、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ手段の動作点がシフトしても、それに追従して入力信号の直流電圧レベルを自動的に設定することができる。

20

【0093】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段の構成として、pチャネルのトランジスタのソースが正電源電圧に接続され、nチャネルのトランジスタのソースが負電源電圧に接続され、pチャネルのトランジスタのゲートとドレインとnチャネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されるため、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ手段の動作点がシフトしても、入力信号の直流電圧レベルの設定を容易に行うことができる。

30

【0094】

本発明のレベルシフト回路および画像表示装置は、pチャネルのトランジスタとnチャネルのトランジスタは各々複数個を用いて前記分圧手段を構成するため、各々のトランジスタのソース・ドレイン端子間にかかる電界によるストレスを低減することができる。また、トランジスタの数により入力信号の直流電圧レベルを決められるので、設定の自由度を高くすることができる。

【0095】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えるため、入力信号の周波数、バイアス電圧設定手段を構成するトランジスタおよび入力部に設けられる容量手段に関わらず、入力信号の波形の歪みを防ぐことができる。そのため、設計の自由度を高くすることも可能である。

40

【0096】

本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段で設定された直流電圧レベルが前記電圧クランプ手段によりクランプするときに、電圧降下した電圧を補償する手段を備えるため、入力信号の直流電圧レベルをバイアス電圧設定手段で容易に設定することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるレベルシフト回路を示す図である。

50

【図 2】本発明の実施の形態 1 におけるレベルシフト回路の入出力の関係を示す図である。

【図 3】本発明の実施の形態 1 におけるレベルシフト回路の別の例を示す図である。

【図 4】本発明の実施の形態 2 におけるレベルシフト回路を示す図である。

【図 5】本発明の実施の形態 3 におけるレベルシフト回路を示す図である。

【図 6】本発明の実施の形態 3 におけるレベルシフト回路の別の例を示す図である。

【図 7】本発明の実施の形態 4 におけるレベルシフト回路を示す図である。

【図 8】本発明の実施の形態 5 におけるレベルシフト回路を示す図である。

【図 9】本発明の実施の形態 5 におけるレベルシフト回路の別の例を示す図である。

【図 10】本発明の実施の形態 5 におけるレベルシフト回路の別の例を示す図である。 10

【図 11】ドライバモノリシック型の TFT 液晶表示装置の構成を示す図である。

【図 12】従来のレベルシフト回路を示す図である。

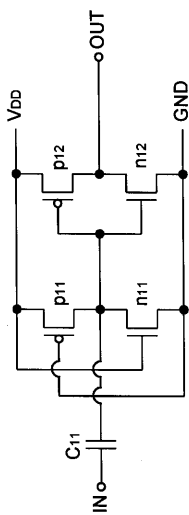
【図 13】特開平 4 - 2 4 2 3 1 7 号公報に開示されている、従来のレベルシフト回路を示す図である。

【符号の説明】

- 1 ビデオ信号端子
- 2 対向電圧端子
- 3 n 段のシフトレジスタ
- 4 m 段のシフトレジスタ
- 5 ~ 8 レベルシフト回路 20
- SPV ゲート用のスタートパルス
- $\Phi 1V$ 、 $\Phi 2V$ 水平周波数のクロック信号
- $\Phi V 1 \sim \Phi V n$ ゲートバスラインの駆動パルス
- $G 1 \sim G n$ ゲートバスライン
- SPH ソース用のスタートパルス
- $\Phi 1H$ 、 $\Phi 2H$ 水平周波数の m 倍の周波数のクロック信号
- $\Phi H 1 \sim \Phi H m$ サンプリングパルス
- $M 1 \sim M m$ サンプリングスイッチ
- $L 1 \sim L m$ ソースバスライン
- $M 11 \sim M nm$ TFT 素子 30
- $C 11 \sim C nm$ 液晶セル
- VDD、VB 正電源電圧
- GND 負電源電圧
- IN 入力信号
- (/IN) 入力信号 IN と電圧レベルが反転した関係にある入力信号
- OUT 出力信号
- $p 11$ 、 $p 12$ 、 $p 31 \sim p 33$ 、 $p 41 \sim p 43$ 、 $p 51$ 、 $p 52$ 、 $p 61$ 、 $p 62$ 、 $p 71 \sim p 73$ 、 $p 81$ 、 $p 91$ 、 $p 101$ 、 $p 121 \sim p 123$ 、 $p 131 \sim p 133$
- p チャネル TFT
- $n 11$ 、 $n 12$ 、 $n 31$ 、 $n 32$ 、 $n 33$ 、 $n 41$ 、 $n 42$ 、 $n 43$ 、 $n 51$ 、 $n 52$ 、 40
- $n 53$ 、 $n 61 \sim n 63$ 、 $n 71 \sim n 75$ 、 $n 81$ 、 $n 91$ 、 $n 92$ 、 $n 101$ 、 $n 121 \sim n 123$ 、 $n 131 \sim n 133$ n チャネル TFT
- $R 101$ 、 $R 102$ 、 $R 131$ 、 $R 132$ 抵抗
- $C 11$ 、 $C 31$ 、 $C 41$ 、 $C 51$ 、 $C 61$ 、 $C 71$ 、 $C 81 \sim C 83$ 、 $C 91 \sim C 93$ 、 $C 101$ 、 $C 131$ 、 $C 132$ コンデンサ
- $T 131$ 、 $T 132$ npn 型バイポーラトランジスタ
- VB' 分圧した電圧
- Va、Vb、Vc バイアス電圧
- ina、inb、inc アンプ回路部の入力信号
- a、b、c アンプ回路部の入出力の電圧波形 50

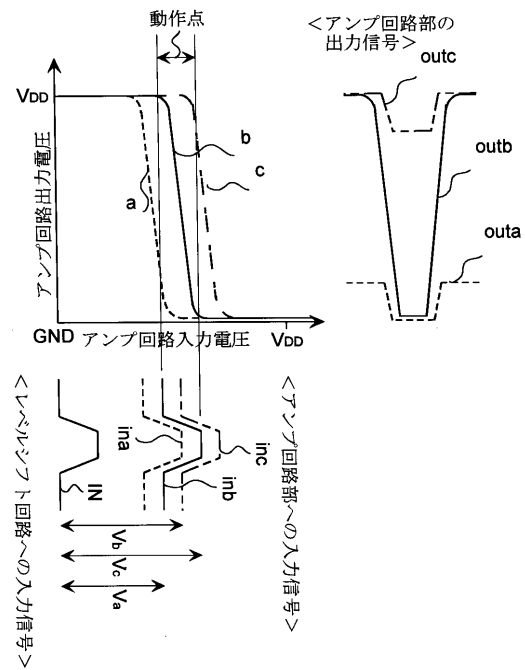
out a、out b、out c アンプ回路部の出力信号
 R p 1 1 pチャネルT F T p 1 1のオン抵抗
 R n 1 1 nチャネルT F T n 1 1のオン抵抗
 Z c 1 1 コンデンサC 1 1のインピーダンス

【図 1】

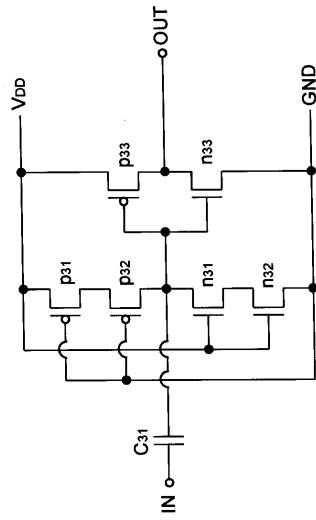


【図 2】

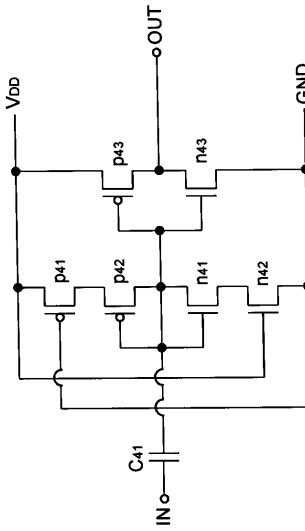
<アンプ回路部の入出力の電圧特性>



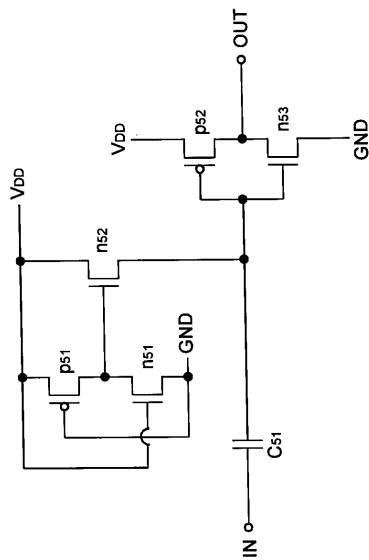
【 図 3 】



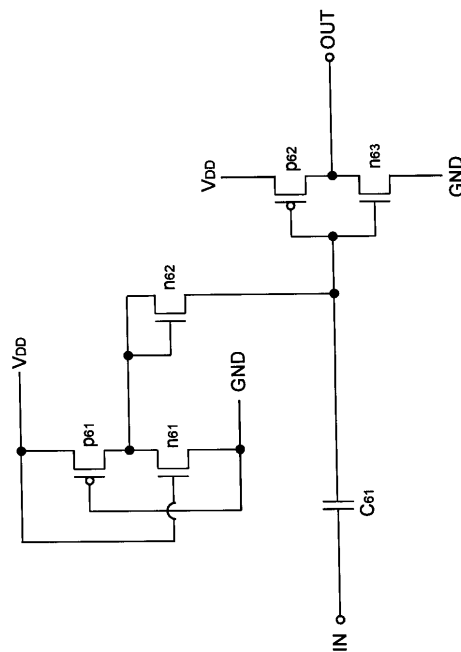
【 図 4 】



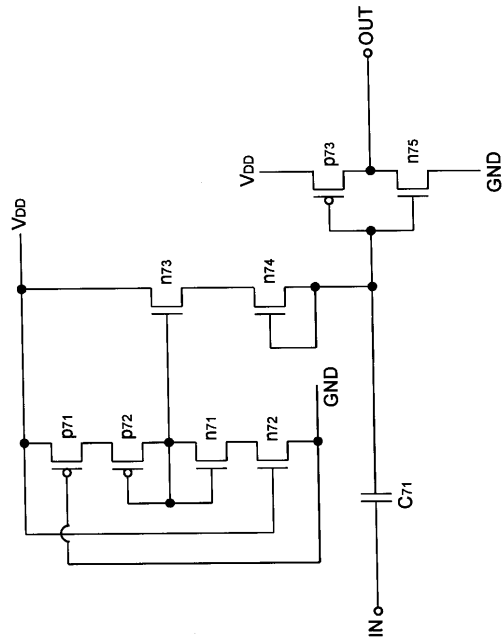
【 図 5 】



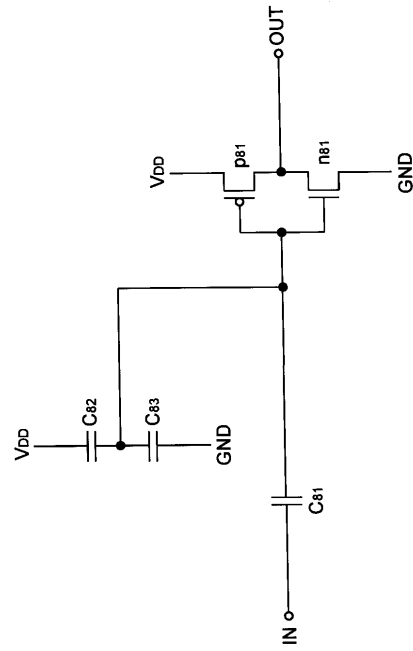
【 図 6 】



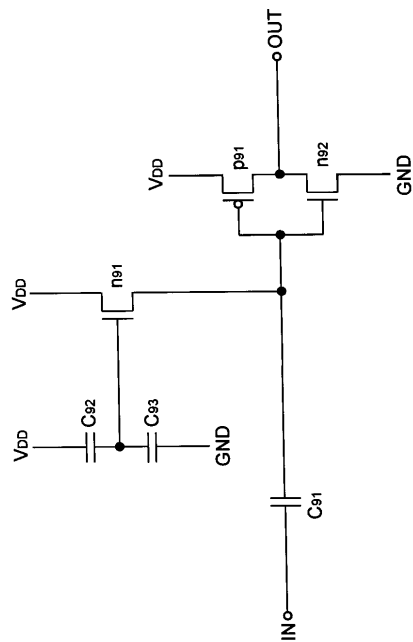
【 図 7 】



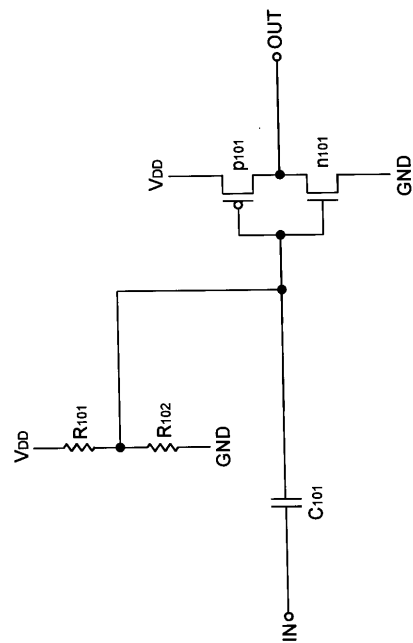
【 図 8 】



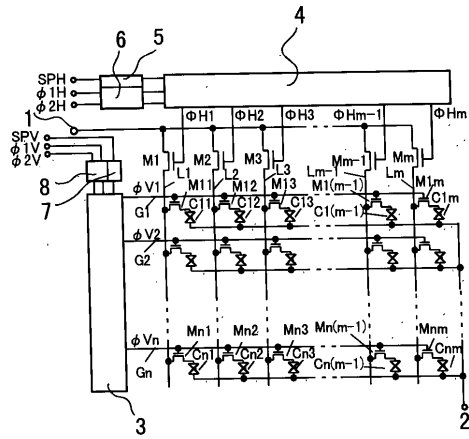
【 図 9 】



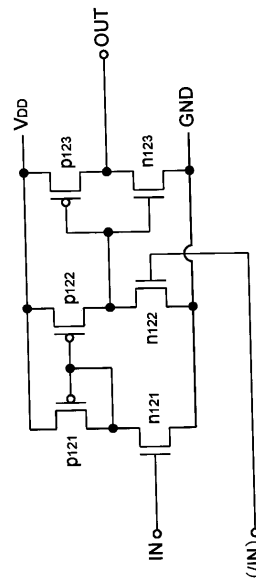
【 図 10 】



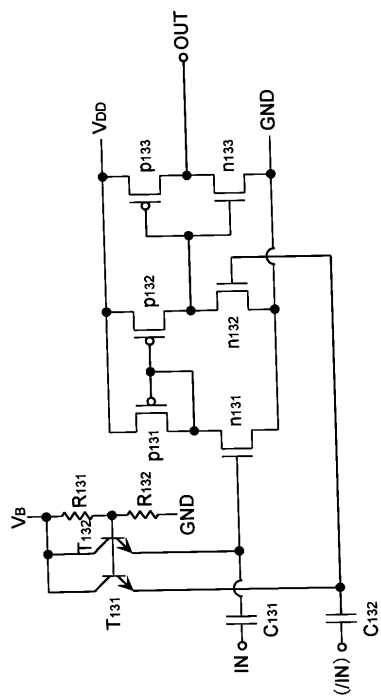
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(72)発明者 ▲高▼藤 裕
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 彦田 克文

(56)参考文献 特開平07-170167(JP,A)
特開平02-216911(JP,A)
特開平04-175011(JP,A)
特開昭60-105320(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
H03K 19/0185
G09G 3/20 621
G09G 3/36

专利名称(译)	电平移位电路和图像显示装置		
公开(公告)号	JP3609977B2	公开(公告)日	2005-01-12
申请号	JP2000092725	申请日	2000-03-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	佐々木修 小川康行 高藤裕		
发明人	佐々木 修 小川 康行 ▲高▼藤 裕		
IPC分类号	G09G3/36 G09G3/20 H03K19/0185		
CPC分类号	H03K19/018585 G09G3/3648 G09G2300/0408		
FI分类号	H03K19/00.101.D G09G3/20.621.L G09G3/36 H03K19/0185.230		
F-TERM分类号	5C006/BB11 5C006/BC20 5C006/BF25 5C006/BF37 5C006/BF46 5C006/EB05 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD25 5C080/JJ02 5C080/JJ03 5C080/JJ05 5J056/AA32 5J056/BB53 5J056/BB58 5J056/BB59 5J056/CC21 5J056/DD29 5J056/DD51 5J056/EE03 5J056/EE11 5J056/FF08 5J056/GG06 5J056/GG09 5J056/KK03		
优先权	1999201100 1999-07-15 JP		
其他公开文献	JP2001085990A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过在正电源电压和负电源电压之间提供分压装置并设置偏置电压来不必调整每个液晶显示装置中的电源电压和电阻值。解决方案：输入信号IN与电容器C11进行电容耦合，并输入到放大器电路的输入端。这里，信号IN的幅度电平的中心电压通过由p沟道TFT p11和n沟道TFT的导通电阻之比决定的偏置电压（定义为Vb）移位到偏置电压Vb。N11。然后，在放大器电路中，当信号IN处于高电平时，p沟道TFT p12截止，n沟道TFT n12导通，而负电源GND从放大器的输出端输出。电路。当信号IN处于低电平时，TFT p12导通并且TFT n12截止，并且正电源VDD从放大器电路的输出端输出。

【 図 2 】

＜アンプ回路部の入出力の電圧特性＞

