

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)			
H 0 3 K 19/0185		H 0 3 K 19/00	101	D	5	C 0 0 6
G 0 9 G 3/20	621	G 0 9 G 3/20	621	L	5	C 0 8 0
3/36		3/36			5	J 0 5 6

審査請求 未請求 請求項の数 16 O L (全 15数)

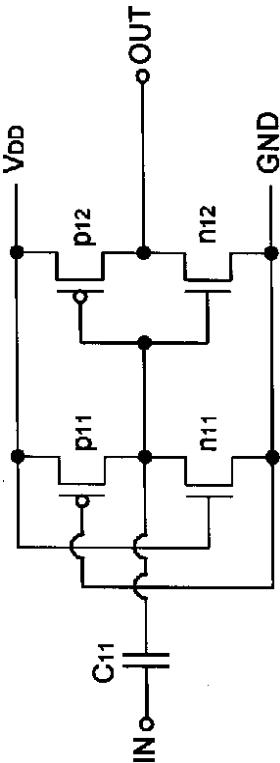
(21)出願番号	特願2000 - 92725(P2000 - 92725)	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成12年3月30日(2000.3.30)	(72)発明者	佐々木 修 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
(31)優先権主張番号	特願平11 - 201100	(72)発明者	小川 康行 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
(32)優先日	平成11年7月15日(1999.7.15)	(74)代理人	100102277 弁理士 佐々木 晴康 (外 2 名)
(33)優先権主張国	日本(JP)		
		最終頁に続く	

(54)【発明の名称】 レベルシフト回路および画像表示装置

(57)【要約】

【課題】 これまでは、入力信号とその反転した信号を2つの信号を必要としていた。また、他の駆動回路と同一基板にモノリシックで形成することは困難であった。さらに、各画像表示装置毎にバイアス電圧を調整していた。

【解決手段】 バイアス電圧設定部で入力信号 I Nの振幅レベルの中心電圧を設定し、アンプ回路部で入力信号 I Nの振幅レベルを増幅する。



【特許請求の範囲】

【請求項 1】 入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が 1 本であることを特徴とするレベルシフト回路。

【請求項 2】 前記アンプ手段が CMOS インバータ回路であることを特徴とする請求項 1 記載のレベルシフト回路。

【請求項 3】 前記分圧手段として、p チャンネルのトランジスタと n チャンネルのトランジスタとを用いることを特徴とする請求項 1 または 2 記載のレベルシフト回路。

【請求項 4】 前記分圧手段として、容量を用いることを特徴とする請求項 1 または 2 記載のレベルシフト回路。

【請求項 5】 前記分圧手段として、抵抗体を用いることを特徴とする請求項 1 または 2 記載のレベルシフト回路。

【請求項 6】 前記バイアス電圧設定手段では、p チャンネルのトランジスタのソースと n チャンネルのトランジスタのゲートとが正電源電圧に接続され、p チャンネルのトランジスタのゲートと n チャンネルのトランジスタのソースとが負電源電圧に接続され、p チャンネルのトランジスタのドレインと n チャンネルのトランジスタのドレインとがアンプ手段の入力端子に接続されることを特徴とする請求項 3 記載のレベルシフト回路。

【請求項 7】 前記バイアス電圧設定手段では、p チャンネルのトランジスタのソースが正電源電圧に接続され、n チャンネルのトランジスタのソースが負電源電圧に接続され、p チャンネルのトランジスタのゲートとドレインと n チャンネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されることを特徴とする請求項 3 記載のレベルシフト回路。

【請求項 8】 前記 p チャンネルのトランジスタと前記 n チャンネルのトランジスタは、各々複数個を用いて前記分圧手段を構成することを特徴とする請求項 3 記載のレベルシフト回路。

【請求項 9】 前記バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えることを特徴とする請求 1 乃至 8 記載のレベルシフト回路。

【請求項 10】 前記バイアス電圧設定手段で設定された直流電圧レベルが前記電圧クランプ手段によりクランプするときに、電圧降下した電圧を補償する手段を備えることを特徴とする請求 9 記載のレベルシフト回路。

【請求項 11】 入力部に設けられる容量手段と、前記

*容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路を用いた画像表示装置において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が 1 本であることを特徴とする画像表示装置。

10 【請求項 12】 前記アンプ手段が CMOS インバータ回路であることを特徴とする請求項 11 記載の画像表示装置。

【請求項 13】 前記分圧手段として、p チャンネルのトランジスタと n チャンネルのトランジスタとを用いることを特徴とする請求項 11 または 12 記載の画像表示装置。

【請求項 14】 前記分圧手段として、容量を用いることを特徴とする請求項 11 または 12 記載の画像表示装置。

20 【請求項 15】 前記分圧手段として、抵抗体を用いることを特徴とする請求項 11 または 12 記載の画像表示装置。

【請求項 16】 前記バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えることを特徴とする請求 11 乃至 15 記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、レベルシフト回路およびそれを用いた画像表示装置に関し、特にドライバモノリシック型（駆動回路一体型）の画像表示装置に内蔵され、低振幅（ロジックレベル）の入力信号を増幅するためのレベルシフト回路および画像表示装置に関する。

【0002】

【従来の技術】近年、液晶を用いた表示装置の研究および開発が著しく進んでおり、特に多結晶シリコンを用いた TFT（薄膜トランジスタ：Thin Film Transistor）液晶表示装置について、今後の高い需要が見込まれている。多結晶シリコンを用いた TFT 液晶表示装置は、アモルファスシリコンを用いたものと比較して、電子および正孔の移動度が 2 桁高く、n チャンネル TFT と p チャンネル TFT とを組み合わせた CMOS 構成が可能である。そのため、アモルファスシリコンを用いた TFT 液晶表示装置が駆動回路を液晶セル用の画素 TFT の基板の外部で、例えば単結晶シリコンを用いて形成しなければならないのに対し、多結晶シリコンを用いて液晶セル用の画素 TFT と同一基板上に駆動回路を形成することができる、すなわちドライバモノリシック型の TFT 液晶表示装置を形成することができる

ので、小形化、高機能化および低コスト化の実現が可能となる。

【0003】図11は、ドライバモノリシック型のTFT液晶表示装置の構成を示す。図11において、1は外部よりビデオ信号を入力するためのビデオ信号端子、2は対向電極へ電圧を入力するための対向電圧端子、3は n (n は $n > 1$ の整数) 段のゲートバスライン駆動用のシフトレジスタ、4は m (m は $m > 1$ の整数) 段のソースバスライン駆動用のシフトレジスタ、5~8は入力制御信号の振幅レベルを増幅するためのレベルシフト回路、SPVはシフトレジスタ3へ入力されるスタートパルス、 $\phi 1V$ および $\phi 2V$ は水平期間と同じ周波数であるクロック信号、 $\phi V1 \sim \phi Vn$ はTFT素子をオン又はオフさせるためにシフトレジスタ3より出力される駆動パルス、 $G1 \sim Gn$ はゲートバスライン、SPHはシフトレジスタ4へ入力されるスタートパルス、 $\phi 1H$ および $\phi 2H$ は水平期間の m 倍の周波数であるクロック信号、 $\phi H1 \sim \phi Hm$ はシフトレジスタ4より出力されるサンプリングパルス、 $M1 \sim Mm$ はビデオ信号をサンプリングするためのサンプリングスイッチ、 $L1 \sim Lm$ は20 ソースバスライン、 $M11 \sim Mnm$ はソースバスライン $L1 \sim Lm$ とゲートバスライン $G1 \sim Gn$ との各交点に設けられるTFT素子、 $C11 \sim Cnm$ はTFT素子 $M11 \sim Mnm$ に接続された画素電極と対向電極の間に存在する液晶セルである。

【0004】図11では、レベルシフト回路5~8として、スタートパルスSPVおよびSPH並びにクロック信号 $\phi 1V$ 、 $\phi 2V$ 、 $\phi 1H$ および $\phi 2H$ の振幅レベルを増幅するための回路を設けている。ドライバモノリシック型のTFT液晶表示装置では、多結晶シリコンを用いて駆動回路を形成しているが、単結晶シリコンを用いて駆動回路を形成しているものと比べてトランジスタのしきい値電圧が高くなる。そこで、スタートパルスSPVおよびSPH並びにクロック信号 $\phi 1V$ 、 $\phi 2V$ 、 $\phi 1H$ および $\phi 2H$ の振幅レベルは、ロジックレベルの電源電圧3V、3.3Vおよび5Vなどの電圧では十分高いとは言えず、例えば12~15Vまで高くする必要があり、そのためにレベルシフト回路5~8を設けている。

【0005】図12は、従来のレベルシフト回路を示す。図12において、VDDは正電源電圧、GNDは負電源電圧、INは入力信号、($\neg$ IN)は入力信号INと電圧レベルが反転した関係にある入力信号、OUTは出力信号、p121、p122およびp123はpチャネルTFT、n121、n122およびn123はnチャネルTFTである。

【0006】図12では、入力信号INはnチャネルTFT n121のゲートへ入力され、入力信号($\neg$ IN)はnチャネルTFT n122のゲートへ入力される。nチャネルTFT n121のドレインはpチャネルTFT

p121のドレインおよびゲート並びにpチャネルTFT p122のゲートと接続され、nチャネルTFT n122のドレインはpチャネルTFT p122のドレインおよびpチャネルTFT p123とnチャネルTFT n123とからなるインバータ回路部の入力端子と接続される。また、pチャネルTFT p121のソースおよびpチャネルTFT p122のソースは正電源電圧VDDと接続され、nチャネルTFT n121のソースおよびnチャネルTFT n122のソースは負電源電圧GNDと接続される。

【0007】図12に示す従来のレベルシフト回路の動作について説明する。入力信号INがハイレベル、入力信号($\neg$ IN)がローレベルのとき、nチャネルTFT n121はオンとなり、nチャネルTFT n122はオフとなる。そうすると、負電源電圧GNDがpチャネルTFT p121のゲートおよびpチャネルTFT p122のゲートへ入力され、pチャネルTFT p121は抵抗成分とみなされ、正電源電圧VDDおよび負電源電圧GND間で電流が流れる。一方、pチャネルTFT p122はオンとなり、pチャネルTFT p122のドレインおよびpチャネルTFT p123とnチャネルTFT n123とからなるインバータ回路部の入力端子は正電源電圧VDDに充電され、インバータ回路部の出力端子からは負電源電圧GNDが出力される。入力信号INがローレベル、入力信号($\neg$ IN)がハイレベルに反転すると、nチャネルTFT n121はオフとなり、nチャネルTFT n122はオンとなる。そうすると、pチャネルTFT p123とnチャネルTFT n123とからなるインバータ回路部の入力端子は負電源電圧GNDに放電され、インバータ回路部の出力端子からは正電源電圧VDDが出力される。すなわち、入力信号INの振幅レベルは、図12に示す従来のレベルシフト回路により増幅されている。(但し、正電源電圧VDDと負電源電圧GNDとの電位差は、入力信号INの振幅レベルより高く設定される。)

【0008】

【発明が解決しようとする課題】ここで、図12に示す従来のレベルシフト回路を他の駆動回路と同じように多結晶シリコンを用いて形成する場合、トランジスタのしきい値電圧は単結晶シリコンを用いて形成したものとは比べて高くなる。また、トランジスタを形成するプロセスの途上で、しきい値電圧のばらつきが大きくなることもある。トランジスタのしきい値電圧が高くなることはトランジスタのオン抵抗が高くなることに繋がり、pチャネルTFT p121およびp122並びにnチャネルTFT n121およびn122のオン抵抗が高くなると、pチャネルTFT p123とnチャネルTFT n123とからなるインバータ回路部の入力端子を充放電する時定数も高くなることになる。それに対して、スタートパルスSPVおよびSPH並びにクロック信号 $\phi 1V$ 、 ϕ

2 V、 $\phi 1H$ および $\phi 2H$ の振幅レベルは、ロジックレベルの電源電圧3 V、3.3 Vおよび5 Vなどの電圧では十分高いとは言えず、レベルシフト回路から出力される波形は訛ったもの、または歪んだものになるという問題点があった。

【0009】そこで、その時定数を小さくするためにトランジスタのチャネル幅を大きくすることが考えられるが、トランジスタのチャネル幅を大きくすればレベルシフト回路の面積の増大に繋がる。また、トランジスタのチャネル幅を大きくすると、そのトランジスタ自身の容量も同時に大きくなるため、トランジスタのチャネル幅を大きくしても、時定数の低減効果はトランジスタのチャネル幅の大きさには比例しないことになる。

【0010】このような問題点を解決するための技術としては、例えば、特開平4-242317号公報などが提案されている。図13は、この特開平4-242317号公報で開示されている従来のレベルシフト回路を示す。図13において、VBは正電源電圧、R131およびR132は抵抗、C131およびC132はコンデンサ、T131およびT132はnpn型バイポーラトランジスタ、p131、p132およびp133はpチャネルTFT、n131、n132およびn133はnチャネルTFT、他の構成要素は図12と同様である。

【0011】図13では、正電源電圧VB、負電源電圧GND、抵抗R131およびR132、npn型バイポーラトランジスタT131およびT132からなる電圧クランプ回路部と、正電源電圧VDD、負電源電圧GND、pチャネルTFT p131、p132およびp133、nチャネルTFT n131、n132およびn133からなるレベルシフト回路部とから構成される。電圧クランプ回路部では、正電源電圧VBと負電源電圧GNDとを抵抗R131およびR132で分圧した電圧（この電圧をVB'と定義する）がnpn型バイポーラトランジスタT131のベースおよびT132のベースへ入力される。npn型バイポーラトランジスタT131のエミッタはコンデンサC131の一方の電極およびnチャネルTFT n131のゲートと接続され、npn型バイポーラトランジスタT132のエミッタはコンデンサC132の一方の電極およびnチャネルTFT n132のゲートと接続される。また、npn型バイポーラトランジスタT131のコレクタおよびT132のコレクタは正電源電圧VBと接続される。尚、レベルシフト回路部は、図12に示す従来のレベルシフト回路と同じ構成である。

【0012】図13に示す従来のレベルシフト回路の動作について説明する。入力信号INはコンデンサC131により容量結合されてnチャネルTFT n131のゲートへ入力され、入力信号(/IN)はコンデンサC132により容量結合されてnチャネルTFT n132のゲートへ入力される。ここで、電圧クランプ回路部から

の電圧により、入力信号INおよび(/IN)の振幅レベルは変わらないが、そのローレベルは電圧VB'から順方向電圧だけ電圧降下した電圧にシフトされる。つまり、レベルシフト回路部を構成するトランジスタのしきい値電圧が高くなった場合においても、入力信号INおよび(/IN)のハイレベルをしきい値電圧より高く設定することが可能となり、トランジスタのオンおよびオフの動作を正常に行うことができる。そして、レベルシフト回路部では、図12に示す従来のレベルシフト回路と同じように、入力信号INの振幅レベルを増幅している。

【0013】しかしながら、上記のレベルシフト回路では、電圧レベルが反転した関係にある入力信号INおよび(/IN)の2つの入力信号が必要であるという問題点があった。つまり、図11に示すドライバモノリシック型のTFT液晶表示装置に上記のレベルシフト回路を内蔵する場合、スタートパルスSPVおよびSPHは、シフトレジスタ3および4を駆動するという目的からみると各々の入力制御信号の電圧レベルが反転した関係にある信号は必要ないが、レベルシフト回路では各々の入力制御信号と各々の入力制御信号の電圧レベルが反転した関係にある信号との2つの信号を必要としている。このことは、ドライバモノリシック型のTFT液晶表示装置を形成する場合に外部からの入力信号数が増加するため、外部信号との接続端子数の増加を招くことになる。

【0014】また、上記のレベルシフト回路では、電圧クランプ回路部がnpn型バイポーラトランジスタT131およびT132で構成されており、駆動回路と同一基板上に多結晶シリコンでモノリシックに形成することは困難であるという問題点があった。すなわち、電圧クランプ回路部は外部に用意する必要があり、部品点数の増加をもたらすことになる。

【0015】さらに、上記のレベルシフト回路では、レベルシフト回路部を構成するpチャネルTFT p131、p132およびp133並びにnチャネルTFT n131、n132およびn133のしきい値電圧が変動した場合、トランジスタのしきい値電圧に応じて電圧VB'を調整する必要があるという問題点があった。すなわち、トランジスタのしきい値電圧に合わせて、正電源電圧VBまたは抵抗R131およびR132の値を調整しなければならない。一般に、多結晶シリコンを用いて形成されるトランジスタのしきい値電圧のばらつきは単結晶シリコンで形成されるものと比べて大きく、量産化を行う場合、各液晶表示装置毎に電圧VB'を調整することは非常に効率が悪くなる。

【0016】本発明は、上記問題点を解決するためになされたものであり、1つの入力信号のみで動作し、レベルシフト回路全体を駆動回路と同一基板上に多結晶シリコンを用いてモノリシックに形成することを可能とし、各液晶表示装置毎に電源電圧および抵抗の値を調整する

必要がないレベルシフト回路および画像表示装置を提供するものである。

【0017】

【課題を解決するための手段】本発明のレベルシフト回路は、入力部に設けられる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が1本であることを特徴としている。

【0018】本発明のレベルシフト回路は、前記アンプ手段がCMOSインバータ回路であることを特徴としている。

【0019】本発明のレベルシフト回路は、前記分圧手段として、pチャンネルのトランジスタとnチャンネルのトランジスタとを用いることを特徴としている。

【0020】本発明のレベルシフト回路は、前記分圧手段として、容量を用いることを特徴としている。

【0021】本発明のレベルシフト回路は、前記分圧手段として、抵抗体を用いることを特徴としている。

【0022】本発明のレベルシフト回路は、前記バイアス電圧設定手段では、pチャンネルのトランジスタのソースとnチャンネルのトランジスタのゲートとが正電源電圧に接続され、pチャンネルのトランジスタのゲートとnチャンネルのトランジスタのソースとが負電源電圧に接続され、pチャンネルのトランジスタのドレインとnチャンネルのトランジスタのドレインとがアンプ手段の入力端子に接続されることを特徴としている。

【0023】本発明のレベルシフト回路は、前記バイアス電圧設定手段では、pチャンネルのトランジスタのソースが正電源電圧に接続され、nチャンネルのトランジスタのソースが負電源電圧に接続され、pチャンネルのトランジスタのゲートとドレインとnチャンネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されることを特徴としている。

【0024】本発明のレベルシフト回路は、前記pチャンネルのトランジスタと前記nチャンネルのトランジスタは、各々複数個を用いて前記分圧手段を構成することを特徴としている。

【0025】本発明のレベルシフト回路は、前記バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えることを特徴としている。

【0026】本発明のレベルシフト回路は、前記バイアス電圧設定手段で設定された直流電圧レベルが前記電圧クランプ手段によりクランプするときに、電圧降下した電圧を補償する手段を備えることを特徴としている。

【0027】本発明の画像表示装置は、入力部に設けら

れる容量手段と、前記容量手段により容量結合された入力信号の直流電圧レベルを設定するためのバイアス電圧設定手段と、直流電圧レベルを設定された入力信号の振幅レベルを増幅するためのアンプ手段とを備えたレベルシフト回路を用いた画像表示装置において、前記バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されると共に、前記アンプ手段への入力信号線が1本であることを特徴としている。

【0028】本発明の画像表示装置は、前記アンプ手段がCMOSインバータ回路であることを特徴としている。

【0029】本発明の画像表示装置は、前記分圧手段として、pチャンネルのトランジスタとnチャンネルのトランジスタとを用いることを特徴としている。

【0030】本発明の画像表示装置は、前記分圧手段として、容量を用いることを特徴としている。

【0031】本発明の画像表示装置は、前記分圧手段として、抵抗体を用いることを特徴としている。

【0032】本発明の画像表示装置は、前記バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えることを特徴としている。

【0033】以下、上記構成による作用を説明する。

【0034】本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されるため、簡単な回路構成でバイアス電圧設定手段を実現することができると共に、入力信号の直流電圧レベルを容易にアンプ手段の動作点の範囲にシフトすることができる。また、アンプ手段の入力端子が1つの端子から構成されるため、レベルシフト回路への入力信号線数が少なくてもよく共に、簡単な回路構成でアンプ手段を実現することができる。

【0035】本発明のレベルシフト回路および画像表示装置は、アンプ手段がCMOSインバータ回路であるため、pチャンネルのトランジスタとnチャンネルのトランジスタを用いた簡単な構成でアンプ手段を実現することができる。

【0036】本発明のレベルシフト回路および画像表示装置は、分圧手段としてpチャンネルのトランジスタとnチャンネルのトランジスタを用いるため、入力信号の直流電圧レベルをトランジスタのオン抵抗比により容易に設定することができる。また、単結晶シリコンと比べてしきい値電圧にばらつきのある多結晶シリコンでレベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【0037】本発明のレベルシフト回路および画像表示装置は、分圧手段として容量を用いるため、入力信号の直流電圧レベルを容量の面積比により容易に設定するこ

とができる。容量は多結晶シリコン上にも簡単に構成できるため、レベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【0038】本発明のレベルシフト回路および画像表示装置は、分圧手段として抵抗体を用いるため、入力信号の直流電圧レベルを抵抗比により容易に設定することができると共に、レベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【0039】本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段の構成として、pチャネルのトランジスタのソースとnチャネルのトランジスタのゲートとが正電源電圧に接続され、pチャネルのトランジスタのゲートとnチャネルのトランジスタのソースとが負電源電圧に接続され、pチャネルのトランジスタのドレインとnチャネルのトランジスタのドレインとがアンプ手段の入力端子に接続されるため、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ手段の動作点がシフトしても、それに追従して入力信号の直流電圧レベルを自動的に設定することができる。

【0040】本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段の構成として、pチャネルのトランジスタのソースが正電源電圧に接続され、nチャネルのトランジスタのソースが負電源電圧に接続され、pチャネルのトランジスタのゲートとドレインとnチャネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されるため、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ手段の動作点がシフトしても、入力信号の直流電圧レベルの設定を容易に行うことができる。

【0041】本発明のレベルシフト回路および画像表示装置は、pチャネルのトランジスタとnチャネルのトランジスタは各々複数個を用いて前記分圧手段を構成するため、各々のトランジスタのソース・ドレイン端子間にかかる電界によるストレスを低減することができる。また、トランジスタの数により入力信号の直流電圧レベルを決められるので、設定の自由度を高くすることができる。

【0042】本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えるため、入力信号の周波数、バイアス電圧設定手段を構成するトランジスタおよび入力部に設けられる容量手段に関わらず、入力信号の波形の歪みを防ぐことができる。そのため、設計の自由度を高くすることも可能である。

【0043】本発明のレベルシフト回路および画像表示

装置は、バイアス電圧設定手段で設定された直流電圧レベルが前記電圧クランプ手段によりクランプするとき、電圧降下した電圧を補償する手段を備えるため、入力信号の直流電圧レベルをバイアス電圧設定手段で容易に設定することができる。

【0044】

【発明の実施の形態】本発明の実施の形態について以下に説明する。

【0045】(実施の形態1)図1は、本発明の実施の形態1における画像表示装置に用いるレベルシフト回路を示す。図1において、VDDは正電源電圧、GNDは負電源電圧、INは入力信号、OUTは出力信号、C11はコンデンサ、p11およびp12はpチャネルTFT、n11およびn12はnチャネルTFTである。

【0046】図1では、正電源電圧VDD、負電源電圧GND、pチャネルTFT p11、nチャネルTFT n11からなるバイアス電圧設定部と、正電源電圧VDD、負電源電圧GND、pチャネルTFT p12、nチャネルTFT n12からなるアンプ回路部とから構成される。バイアス電圧設定部では、pチャネルTFT p11のドレインとnチャネルTFT n11のドレインとが接続されると共にコンデンサC11の一方の電極と接続され、pチャネルTFT p11のソースおよびnチャネルTFT n11のゲートは正電源電圧VDDと接続され、pチャネルTFT p11のゲートおよびnチャネルTFT n11のソースは負電源電圧GNDと接続される。アンプ回路部では、pチャネルTFT p12のゲートとnチャネルTFT n12のゲートとが接続されると共にコンデンサC11の一方の電極と接続され(アンプ回路部の入力端子となる)、pチャネルTFT p12のドレインとnチャネルTFT n12のドレインとが接続され(アンプ回路部の出力端子となる)、pチャネルTFT p12のソースは正電源電圧VDDと接続され、nチャネルTFT n12のソースは負電源電圧GNDと接続される。

【0047】図1に示す本発明の実施の形態1におけるレベルシフト回路の動作について説明する。入力信号INはコンデンサC11により容量結合されてアンプ回路部の入力端子へ入力される。ここで、pチャネルTFT p11およびnチャネルTFT n11のオン抵抗の比によって決定されるバイアス電圧(この電圧をVbと定義する)により、入力信号INの振幅レベルは変わらないが、その振幅レベルの中心電圧はバイアス電圧Vbにシフトされる。つまり、そのバイアス電圧Vbを正しく設定することにより、アンプ回路部の動作を正常に行うことができる。そして、アンプ回路部では、入力信号INがハイレベルのとき、pチャネルTFT p12はオフとなり、nチャネルTFT n12はオンとなり、アンプ回路部の出力端子からは負電源GNDが出力される。入力信号INがローレベルのとき、pチャネルTFT p12

はオンとなり、 n チャネルTFT $n12$ はオフとなり、アンプ回路部の出力端子からは正電源VDDが出力される。すなわち、入力信号INの振幅レベルは、図1に示す本発明の実施の形態1におけるレベルシフト回路により増幅されている。(但し、正電源電圧VDDと負電源電圧GNDとの電位差は、入力信号INの振幅レベルより高く設定される。)

図2は、本発明の実施の形態1におけるレベルシフト回路の入出力の関係を示す。入力信号INの振幅レベルの中心電圧はバイアス電圧Vbにシフトされ、信号inb 10となり、アンプ回路部の入力端子へ入力される。そして、アンプ回路部の入出力の電圧特性が波形bのような特性で、信号inbの振幅レベルがアンプ回路部の出力電圧を正電源電圧VDDから負電源電圧GNDへ反転するような入力電圧の動作点の範囲となれば、アンプ回路部の出力端子からは信号outbが出力される。

【0048】ここで、レベルシフト回路を構成するpチャネルTFTのしきい値電圧の絶対値がnチャネルTFTのしきい値電圧の絶対値に対して小さくなった場合、アンプ回路部の入出力の電圧特性は波形cのような特性 20になり、動作点が正電源電圧VDD側にシフトされる。その場合でも、アンプ回路部の入力端子へ入力される信号が信号inbのままであれば、アンプ回路部の出力端子からは信号outcが出力され、振幅レベルの十分な変換が行われないことになる。しかしながら、pチャネルTFTのしきい値電圧の絶対値がnチャネルTFTのしきい値電圧の絶対値に対して小さくなった場合、pチャネルTFT $p11$ のオン抵抗はnチャネルTFT $n11$ のオン抵抗より値が低くなるため、バイアス電圧設定部により決定されるバイアス電圧はVbより正電源電圧 30VDD側にシフトされVcとなり、アンプ回路部の入力端子へ入力される信号が信号incとなる。その結果、アンプ回路の出力端子からは信号outbが出力される。

【0049】上述とは逆に、レベルシフト回路を構成するpチャネルTFTのしきい値電圧の絶対値がnチャネルTFTのしきい値電圧の絶対値に対して大きくなった場合、アンプ回路部の入出力の電圧特性は波形aのような特性になり、動作点が負電源電圧GND側にシフトされる。その場合は、pチャネルTFT $p11$ のオン抵抗 40はnチャネルTFT $n11$ のオン抵抗より値が高くなるため、バイアス電圧設定部により決定されるバイアス電圧はVbより負電源電圧GND側にシフトされVaとなり、アンプ回路部の入力端子へ入力される信号が信号inaとなる。その結果、アンプ回路の出力端子からは、信号outaではなく信号outbが出力される。

【0050】つまり、本発明の実施の形態1におけるレベルシフト回路では、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ回路部の動作点がシフトしても、それに追従してバイアス電圧がバイ 50

アス電圧設定部で自動的に設定されることになる。

【0051】尚、図1に示す本発明の実施の形態1におけるレベルシフト回路では、pチャネルTFTおよびnチャネルTFTを各々1つずつでバイアス電圧設定部を構成しているが、pチャネルTFTおよびnチャネルTFTを両方またはいずれか一方を2つ以上で構成しても良い。

【0052】図3は、本発明の実施の形態1におけるレベルシフト回路の別の例を示す。図3において、C31はコンデンサ、p31、p32およびp33はpチャネルTFT、n31、n32およびn33はnチャネルTFT、他の構成要素は図1と同様である。

【0053】図3では、図1に示す本発明の実施の形態1におけるレベルシフト回路と比べて、バイアス電圧設定部が各々2つのpチャネルTFTおよびnチャネルTFTから構成される点が異なる。このようにすることで、各トランジスタの端子間にかかる電圧を低減できるため、トランジスタのソース・ドレイン端子間にかかる電界によるストレス低減効果が期待できる。また、pチャネルTFTおよびnチャネルTFTの個数の比でもバイアス電圧を決めることが可能となり、バイアス電圧の設定の自由度が増すことになる。

【0054】(実施の形態2) 図4は、本発明の実施の形態2における画像表示装置に用いるレベルシフト回路を示す。図4において、C41はコンデンサ、p41、p42およびp43はpチャネルTFT、n41、n42およびn43はnチャネルTFT、他の構成要素は図1と同様である。

【0055】図4では、図3に示す本発明の実施の形態1におけるレベルシフト回路と比べて、バイアス電圧設定部を構成するpチャネルTFT $p42$ のゲートとnチャネルTFT $n41$ のゲートとが接続されると共に、pチャネルTFT $p42$ のドレインおよびnチャネルTFT $n41$ のドレインと接続される点が異なる。

【0056】ここで、図2および図3に示す実施の形態1におけるレベルシフト回路では、トランジスタのしきい値電圧の変動によるアンプ回路部の動作点のシフト量およびバイアス電圧設定部からのバイアス電圧のシフト方向は一致するが、一般的にバイアス電圧のシフト量がアンプ回路部の動作点よりも大きくなる。そのため、バイアス電圧のシフト量が大きくなりすぎると、入力信号INの振幅レベルがアンプ回路部の動作点の範囲とずれる可能性がある。一方、図4に示す本発明の実施の形態2におけるレベルシフト回路では、バイアス電圧設定部からのバイアス電圧がpチャネルTFT $p42$ のゲートおよびnチャネルTFT $n41$ のゲートにフィードバックされ、トランジスタのしきい値電圧の変動によるバイアス電圧のシフト量を補償することができる。

【0057】その補償効果について詳しく説明する。レベルシフト回路を構成するpチャネルTFTのしきい値

電圧の絶対値が n チャンネル TFT のしきい値電圧の絶対値に対して小さくなった場合、 p チャンネル TFT $p41$ および $p42$ のオン抵抗は n チャンネル TFT $n41$ および $n42$ のオン抵抗より値が低くなるため、バイアス電圧は正電源電圧 VDD 側にシフトされる。しかしながら、バイアス電圧設定部からのバイアス電圧は、 p チャンネル TFT $p42$ のゲートおよび n チャンネル TFT $n41$ のゲートにフィードバックされるため、正電源電圧 VDD 側にシフトされたバイアス電圧により n チャンネル TFT $n41$ のオン抵抗の値が低くなるように働く。その結果、バイアス電圧のシフト量は、図 2 および図 3 に示す実施の形態 1 におけるレベルシフト回路と比べて小さくなる。上述とは逆に、レベルシフト回路を構成する p チャンネル TFT のしきい値電圧の絶対値が n チャンネル TFT のしきい値電圧の絶対値に対して大きくなった場合、バイアス電圧は負電源電圧 GND 側にシフトされるが、 p チャンネル TFT $p42$ のオン抵抗の値が低くなるように働く。その結果、上述と同様に、バイアス電圧のシフト量は、図 2 および図 3 に示す実施の形態 1 におけるレベルシフト回路と比べて小さくなる。

【0058】つまり、本発明の実施の形態 2 におけるレベルシフト回路では、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ回路部の動作点がシフトする場合、バイアス電圧設定部からのバイアス電圧をアンプ回路部のシフト量に合わせて設定することが容易になる。

【0059】尚、図 4 に示す本発明の実施の形態 2 におけるレベルシフト回路では、 p チャンネル TFT および n チャンネル TFT を各々 2 つずつでバイアス電圧設定部を構成しているが、 p チャンネル TFT および n チャンネル TFT を両方またはいずれか一方を 3 つ以上で構成しても良い。また、 p チャンネル TFT および n チャンネル TFT を両方またはいずれか一方を 1 つで構成しても良い。すなわち、図 4 に示す本発明の実施の形態 2 におけるレベルシフト回路から p チャンネル TFT $p41$ または n チャンネル TFT $n42$ を取り除いた構成としても良い。

【0060】(実施の形態 3) 図 5 は、本発明の実施の形態 3 における画像表示装置に用いるレベルシフト回路を示す。図 5 において、 $C51$ はコンデンサ、 $p51$ および $p52$ は p チャンネル TFT 、 $n51$ 、 $n52$ および $n53$ は n チャンネル TFT 、他の構成要素は図 1 と同様である。

【0061】図 5 では、図 1 に示す本発明の実施の形態 1 におけるレベルシフト回路と比べて、バイアス電圧設定部の出力端子とアンプ回路部の入力端子との間に電圧クランプ用の n チャンネル TFT $n52$ が設けられている点異なる。 n チャンネル TFT $n52$ のドレインは、アンプ回路部の入力端子となる p チャンネル TFT $p52$ のゲートと n チャンネル TFT $n53$ のゲートと接続されると共にコンデンサ $C51$ の一方の電極と接続される。ま

た、 n チャンネル TFT $n52$ のゲートはバイアス電圧設定部の出力端子となる p チャンネル TFT $p51$ のドレインおよび n チャンネル TFT $n51$ のドレインと接続され、 n チャンネル TFT $n52$ のソースは正電源電圧 VDD と接続される。

【0062】ここで、図 1 および図 3 に示す本発明の実施の形態 1 におけるレベルシフト回路並びに図 4 示す本発明の実施の形態 2 におけるレベルシフト回路では、コンデンサのインピーダンスがバイアス電圧設定部を構成する p チャンネル TFT および n チャンネル TFT のオン抵抗の値に対して、十分低くする必要がある。図 1 に示す本発明の実施の形態 1 におけるレベルシフト回路で考えると、入力信号 IN の周波数を $f\text{ Hz}$ 、 p チャンネル TFT $p11$ のオン抵抗を $Rp11$ 、 n チャンネル TFT $n11$ のオン抵抗を $Rn11$ とした場合、コンデンサ $C11$ のインピーダンス $Zc11$ は $Zc11 = 1 / (2\pi \cdot f \cdot C11)$ となるが、

$1 / (2\pi \cdot f \cdot C11) \ll Rp11, Rn11$ の関係式が成り立つようにしなければならない。そうでない、アンプ回路部の入力端子で信号波形が歪んだものとなり、レベルシフト回路が正常に動作しなくなる。

【0063】尚、入力信号 IN の周波数 $f\text{ Hz}$ から $f / 10\text{ Hz}$ になった場合、上式を満たすためには、コンデンサ $C11$ の値を 10 倍、または p チャンネル TFT $p11$ のオン抵抗 $Rp11$ および n チャンネル TFT $n11$ のオン抵抗 $Rn11$ の値を 10 倍にする必要がある。すなわち、入力信号 IN の周波数におけるコンデンサ $C11$ のインピーダンス $Zc11$ とバイアス電圧設定部のトランジスタのオン抵抗との比を十分に大きくするために、コンデンサのサイズを大きくして容量を増やすか、またはバイアス電圧設定部を構成するトランジスタの数を多くしてトランジスタのオン抵抗を高くしなければならない。しかしながら、コンデンサのサイズを大きくしたり、トランジスタの数を増やすことは、レベルシフト回路の規模の増大につながるため必ずしも好ましくない。また、 p チャンネル TFT $p11$ のオン抵抗 $Rp11$ および n チャンネル TFT $n11$ のオン抵抗 $Rn11$ の値を高くするため、トランジスタのサイズを調整する方法も考えられるが、トランジスタの設計ルールを考慮すると、トランジスタのオン抵抗の値を一定以上にすることは困難である。

【0064】一方、図 5 に示す本発明の実施の形態 3 におけるレベルシフト回路では、入力信号 IN のローレベルが p チャンネル TFT $p51$ のオン抵抗と n チャンネル TFT $n51$ のオン抵抗との比で設定された電圧から、 n チャンネル TFT $n52$ のしきい値電圧だけ電圧降下した電圧 V' にシフトされる。もし、入力信号 IN のローレベルが電圧 V' よりも低くなる方向で動作しても、 n チャンネル TFT $n52$ を介して、アンプ回路部を構成する p チャンネル TFT $p52$ のゲートおよび n チャンネル TFT

Tn53のゲート並びにコンデンサC51を充電することになり、常に電圧V'より低くなることはなく、電圧V'にクランプされる。そして、入力信号INの振幅レベルがアンプ回路部の動作点の範囲となるように、入力信号のローレベル、すなわち電圧V'を設定すれば良い。

【0065】つまり、本発明の実施の形態3におけるレベルシフト回路では、入力信号のローレベルを電圧クランプすることにより、入力信号の波形が歪むことなくアンプ回路部へ入力されるため、バイアス電圧設定部を構成するpチャネルTFTおよびnチャネルTFTのオン抵抗の値、コンデンサの容量の調整が不要となり、設計時の自由度が増すことになる。

【0066】図6は、本発明の実施の形態3におけるレベルシフト回路の別の例を示す。図6において、C61はコンデンサ、p61およびp62はpチャネルTFT、n61、n62およびn63はnチャネルTFT、他の構成要素は図1と同様である。

【0067】図6では、図5に示す本発明の実施の形態3におけるレベルシフト回路と比べて、バイアス電圧設定部の出力端子とアンプ回路部の入力端子との間に設けられる電圧クランプ用のnチャネルTFTn62のゲートとソースとが接続される点が異なる。このようにすることで、nチャネルTFTn62はダイオードとして機能し、入力信号INのローレベルがpチャネルTFTp61のオン抵抗とnチャネルTFTn61のオン抵抗との比で設定された電圧から、nチャネルTFTn62のしきい値電圧だけ電圧降下した電圧にシフトされる。

【0068】尚、本発明の実施の形態3におけるレベルシフト回路では、pチャネルTFTおよびnチャネルTFTを各々1つずつでバイアス電圧設定部を構成しているが、pチャネルTFTおよびnチャネルTFTを両方またはいずれか一方を2つ以上で構成しても良い。

【0069】また、本発明の実施の形態3におけるレベルシフト回路では、電圧クランプ用としてnチャネルTFTを用いているが、pチャネルTFTを用いても良い。

【0070】(実施の形態4) 図7は、本発明の実施の形態4における画像表示装置に用いるレベルシフト回路を示す。図7において、C71はコンデンサ、p71、p72およびp73はpチャネルTFT、n71、n72、n73、n74およびn75はnチャネルTFT、他の構成要素は図1と同様である。

【0071】図7では、図4に示す本発明の実施の形態2におけるレベルシフト回路と比べて、バイアス電圧設定部の出力端子とアンプ回路部の入力端子との間に電圧クランプ用のnチャネルTFTn73およびnチャネルTFTn74が設けられている点が異なる。nチャネルTFTn73のドレインとnチャネルTFTn74のソースとが接続され、nチャネルTFTn73のゲート

は、pチャネルTFTp72のゲートおよびnチャネルTFTn72のゲートと接続されると共にpチャネルTFTp72のドレインおよびnチャネルTFTn72のドレインと接続される。また、nチャネルTFTn73のソースは正電源電圧VDDと接続され、nチャネルTFTn74のゲートとドレインとが接続されると共に、アンプ回路部の入力端子となるpチャネルTFTp73のゲートおよびnチャネルTFTn75のゲート並びにコンデンサC71の一方の電極と接続される。

【0072】ここで、図7に示す本発明の実施の形態4におけるレベルシフト回路の電圧クランプのレベルについて考える。バイアス電圧設定部からのバイアス電圧は、nチャネルTFTn73のしきい値電圧だけ電圧降下した電圧がnチャネルTFTn73のドレインより出力される。そして、nチャネルTFTn74のゲートとドレインとが接続されるため、nチャネルTFTn73のドレインより出力される電圧は、nチャネルTFTn74のしきい値電圧だけ高くなる。

【0073】つまり、本発明の実施の形態4におけるレベルシフト回路では、電圧クランプ用のトランジスタを2つ設け、最初のトランジスタのしきい値電圧だけ電圧降下した電圧を次のトランジスタで補償することにより、バイアス電圧設定部で設定された電圧で入力信号のローレベルを電圧クランプすることができるため、バイアス電圧の設定が容易になる。

【0074】尚、本発明の実施の形態4におけるレベルシフト回路では、バイアス電圧設定部を本発明の実施の形態2におけるレベルシフト回路のバイアス電圧設定部と同じ構成としているが、本発明の実施の形態1におけるレベルシフト回路のバイアス電圧設定部と同じ構成としても良い。

【0075】また、本発明の実施の形態4におけるレベルシフト回路では、pチャネルTFTおよびnチャネルTFTを各々2つずつでバイアス電圧設定部を構成しているが、pチャネルTFTおよびnチャネルTFTを両方またはいずれか一方を3つ以上で構成しても良い。

【0076】さらに、本発明の実施の形態4におけるレベルシフト回路では、電圧クランプ用としてnチャネルTFTを用いているが、pチャネルTFTを用いても良い。

【0077】(実施の形態5) 図8～図10は、本発明の実施の形態5における画像表示装置に用いるレベルシフト回路を示す。レベルシフト回路を構成するpチャネルTFTおよびnチャネルTFTのしきい値電圧の変動が小さく、アンプ回路部の動作点の範囲の変動が小さい場合、バイアス電圧設定部からのバイアス電圧をトランジスタのしきい値電圧に合わせる必要はなく、固定することが可能である。従って、図8～図10に示す本発明の実施の形態5におけるレベルシフト回路が考えられる。

【0078】図8において、C81、C82およびC83はコンデンサ、p81はpチャンネルTFT、n81はnチャンネルTFT、他の構成要素は図1と同様である。図8では、図1に示す本発明の実施の形態1におけるレベルシフト回路と比べて、トランジスタを容量に置き換えた点異なる。バイアス電圧はコンデンサC82とコンデンサC83との容量比に応じて設定される。

【0079】図9において、C91、C92およびC93はコンデンサ、p91はpチャンネルTFT、n91およびn92はnチャンネルTFT、他の構成要素は図1と同様である。図9では、図5に示す本発明の実施の形態3におけるレベルシフト回路と比べて、トランジスタを容量に置き換える点異なる。コンデンサC92とコンデンサC93との容量比に応じて設定されるバイアス電圧は、nチャンネルTFT n91のしきい値電圧だけ電圧降下した電圧により電圧クランプされる。

【0080】図10において、C101はコンデンサ、R101、R102は抵抗、p101はpチャンネルTFT、n101はnチャンネルTFT、他の構成要素は図1と同様である。図10では、図1に示す本発明の実施の形態1におけるレベルシフト回路と比べて、トランジスタを抵抗に置き換える点異なる。バイアス電圧は抵抗R101と抵抗R102との抵抗比に応じて設定される。

【0081】図8～図10に示す本発明の実施の形態5におけるレベルシフト回路では、コンデンサまたは抵抗を用いてバイアス電圧設定部を構成しているため、トランジスタの特性による影響を受けずにバイアス電圧を安定にかつ容易に設定できる。

【0082】尚、本発明の実施の形態5におけるレベルシフト回路では、コンデンサを用いたバイアス電圧設定部とアンプ回路部との間に電圧クランプ用のトランジスタを設けているが、抵抗を用いたバイアス電圧設定部とアンプ回路部との間に電圧クランプ用のトランジスタを設けても良いし、本発明の実施の形態4におけるレベルシフト回路のように電圧クランプ用のトランジスタを2つ設けても良い。

【0083】また、本発明の実施の形態5におけるレベルシフト回路では、コンデンサまたは抵抗を正電源電圧側と負電源電圧側とに各々1つずつでバイアス電圧設定部を構成しているが、正電源電圧側と負電源電圧側との両方またはいずれか一方を2つ以上で構成しても良い。

【0084】本発明の実施の形態におけるレベルシフト回路では、多結晶シリコンとして、連続粒界結晶性シリコンを用いても良い。

【0085】また、本発明の実施の形態におけるレベルシフト回路では、入力信号の振幅レベルの増幅手段であるアンプ回路部として、入力信号に対して反転した信号を出力するためのCMOSインバータ回路を用いているが、入力信号に対して反転しない信号を出力する回路手段を用いても良い。

【0086】

【発明の効果】以上説明したように、本発明のレベルシフト回路および画像表示装置においては、以下のような効果を奏する。

【0087】本発明のレベルシフト回路および画像表示装置には、バイアス電圧設定手段が正電源電圧と負電源電圧との間に分圧手段を設けることで構成されるため、簡単な回路構成でバイアス電圧設定手段を実現することができると共に、入力信号の直流電圧レベルを容易にアンプ手段の動作点の範囲にシフトすることができる。また、アンプ手段の入力端子が1つの端子から構成されるため、レベルシフト回路への入力信号線数が少なくすむと共に、簡単な回路構成でアンプ手段を実現することができる。

【0088】本発明のレベルシフト回路および画像表示装置には、アンプ手段がCMOSインバータ回路であるため、pチャンネルのトランジスタとnチャンネルのトランジスタを用いた簡単な構成でアンプ手段を実現することができる。

【0089】本発明のレベルシフト回路および画像表示装置には、分圧手段としてpチャンネルのトランジスタとnチャンネルのトランジスタを用いるため、入力信号の直流電圧レベルをトランジスタのオン抵抗比により容易に設定することができる。また、単結晶シリコンに比べてVthばらつきのある多結晶シリコンでレベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【0090】本発明のレベルシフト回路および画像表示装置は、分圧手段として容量を用いるため、入力信号の直流電圧レベルを容量の面積比により容易に設定することができる。容量は多結晶シリコン上にも簡単に構成できるため、レベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【0091】本発明のレベルシフト回路および画像表示装置は、分圧手段として抵抗体を用いるため、入力信号の直流電圧レベルを抵抗比により容易に設定することができると共に、レベルシフト回路全体を同一基板上に形成することができる。つまり、レベルシフト回路を含めたドライバモノリシック型の画像表示装置を実現することが可能となる。

【0092】本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段の構成として、pチャンネルのトランジスタのソースとnチャンネルのトランジスタのゲートとが正電源電圧に接続され、pチャンネルのトランジスタのゲートとnチャンネルのトランジスタのソースとが負電源電圧に接続され、pチャンネルのトランジスタのドレインとnチャンネルのトランジスタのドレインとが

アンプ手段の入力端子に接続されるため、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ手段の動作点がシフトしても、それに追従して入力信号の直流電圧レベルを自動的に設定することができる。

【0093】本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段の構成として、pチャネルのトランジスタのソースが正電源電圧に接続され、nチャネルのトランジスタのソースが負電源電圧に接続され、pチャネルのトランジスタのゲートとドレインとnチャネルのトランジスタのゲートとドレインとがアンプ手段の入力端子に接続されるため、レベルシフト回路を構成するトランジスタのしきい値電圧が変動してアンプ手段の動作点がシフトしても、入力信号の直流電圧レベルの設定を容易に行うことができる。

【0094】本発明のレベルシフト回路および画像表示装置は、pチャネルのトランジスタとnチャネルのトランジスタは各々複数個を用いて前記分圧手段を構成するため、各々のトランジスタのソース・ドレイン端子間にかかる電界によるストレスを低減することができる。また、トランジスタの数により入力信号の直流電圧レベルを決められるので、設定の自由度を高くすることができる。

【0095】本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段で設定された直流電圧レベルをクランプするための電圧クランプ手段を備えるため、入力信号の周波数、バイアス電圧設定手段を構成するトランジスタおよび入力部に設けられる容量手段に関わらず、入力信号の波形の歪みを防ぐことができる。そのため、設計の自由度を高くすることも可能である。

【0096】本発明のレベルシフト回路および画像表示装置は、バイアス電圧設定手段で設定された直流電圧レベルが前記電圧クランプ手段によりクランプするときに、電圧降下した電圧を補償する手段を備えるため、入力信号の直流電圧レベルをバイアス電圧設定手段で容易に設定することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるレベルシフト回路を示す図である。

【図2】本発明の実施の形態1におけるレベルシフト回路の入出力の関係を示す図である。

【図3】本発明の実施の形態1におけるレベルシフト回路の別の例を示す図である。

【図4】本発明の実施の形態2におけるレベルシフト回路を示す図である。

【図5】本発明の実施の形態3におけるレベルシフト回路を示す図である。

【図6】本発明の実施の形態3におけるレベルシフト回路の別の例を示す図である。

【図7】本発明の実施の形態4におけるレベルシフト回

路を示す図である。

【図8】本発明の実施の形態5におけるレベルシフト回路を示す図である。

【図9】本発明の実施の形態5におけるレベルシフト回路の別の例を示す図である。

【図10】本発明の実施の形態5におけるレベルシフト回路の別の例を示す図である。

【図11】ドライバモノリシック型のTFT液晶表示装置の構成を示す図である。

【図12】従来のレベルシフト回路を示す図である。

【図13】特開平4-242317号公報に開示されている、従来のレベルシフト回路を示す図である。

【符号の説明】

1 ビデオ信号端子

2 対向電圧端子

3 n段のシフトレジスタ

4 m段のシフトレジスタ

5~8 レベルシフト回路

SPV ゲート用のスタートパルス

$\Phi 1V$ 、 $\Phi 2V$ 水平周波数のクロック信号

$\Phi V1 \sim \Phi Vn$ ゲートバスラインの駆動パルス

$G1 \sim Gn$ ゲートバスライン

SPH ソース用のスタートパルス

$\Phi 1H$ 、 $\Phi 2H$ 水平周波数のm倍の周波数のクロック信号

$\Phi H1 \sim \Phi Hm$ サンプリングパルス

$M1 \sim Mm$ サンプリングスイッチ

$L1 \sim Lm$ ソースバスライン

$M11 \sim Mnm$ TFT素子

$C11 \sim Cnm$ 液晶セル

VDD、VB 正電源電圧

GND 負電源電圧

IN 入力信号(/IN) 入力信号INと電圧レベルが反転した関係にある入力信号

OUT 出力信号

$p11$ 、 $p12$ 、 $p31 \sim p33$ 、 $p41 \sim p43$ 、 $p51$ 、 $p52$ 、 $p61$ 、 $p62$ 、 $p71 \sim p73$ 、 $p81$ 、 $p91$ 、 $p101$ 、 $p121 \sim p123$ 、 $p131 \sim p133$ pチャネルTFT

$n11$ 、 $n12$ 、 $n31$ 、 $n32$ 、 $n33$ 、 $n41$ 、 $n42$ 、 $n43$ 、 $n51$ 、 $n52$ 、 $n53$ 、 $n61 \sim n63$ 、 $n71 \sim n75$ 、 $n81$ 、 $n91$ 、 $n92$ 、 $n101$ 、 $n121 \sim n123$ 、 $n131 \sim n133$ nチャネルTFT

$R101$ 、 $R102$ 、 $R131$ 、 $R132$ 抵抗

$C11$ 、 $C31$ 、 $C41$ 、 $C51$ 、 $C61$ 、 $C71$ 、 $C81 \sim C83$ 、 $C91 \sim C93$ 、 $C101$ 、 $C131$ 、 $C132$ コンデンサ

$T131$ 、 $T132$ npn型バイポーラトランジスタ

VB' 分圧した電圧

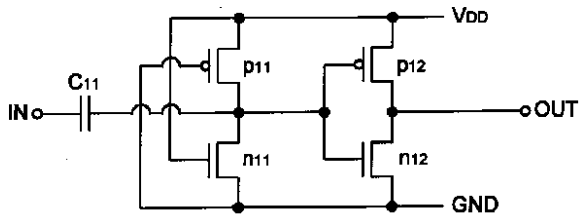
V_a 、 V_b 、 V_c バイアス電圧

ina 、 inb 、 inc アンプ回路部の入力信号

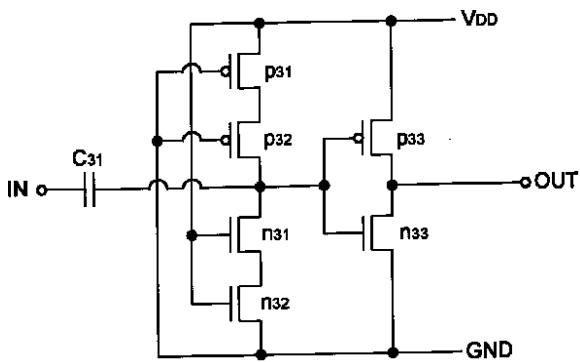
a 、 b 、 c アンプ回路部の入出力の電圧波形

$outa$ 、 $outb$ 、 $outc$ アンプ回路部の出力信*

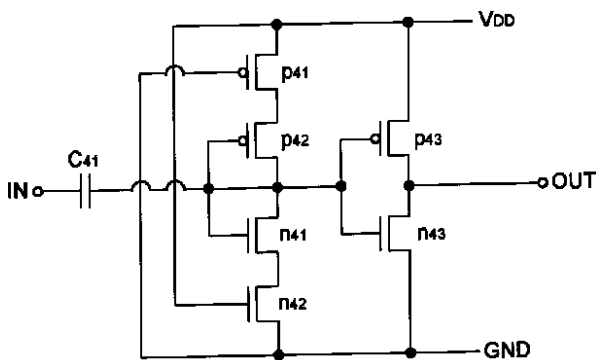
【図1】



【図3】

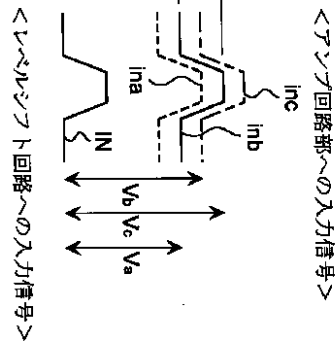
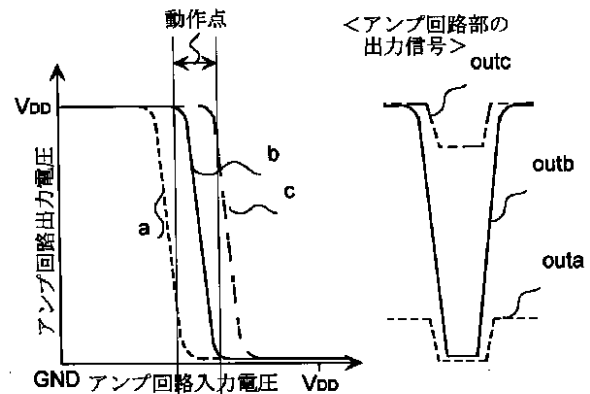


【図4】

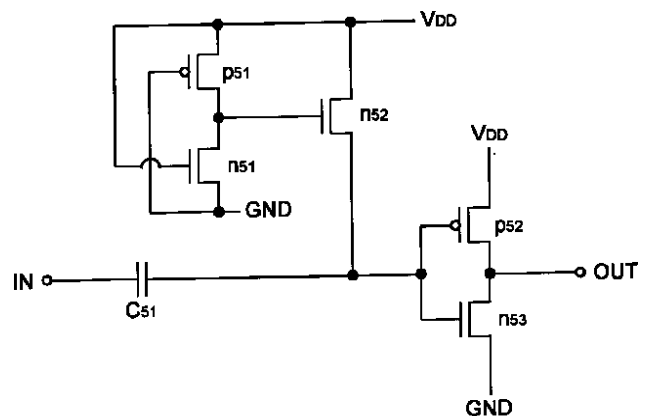


【図2】

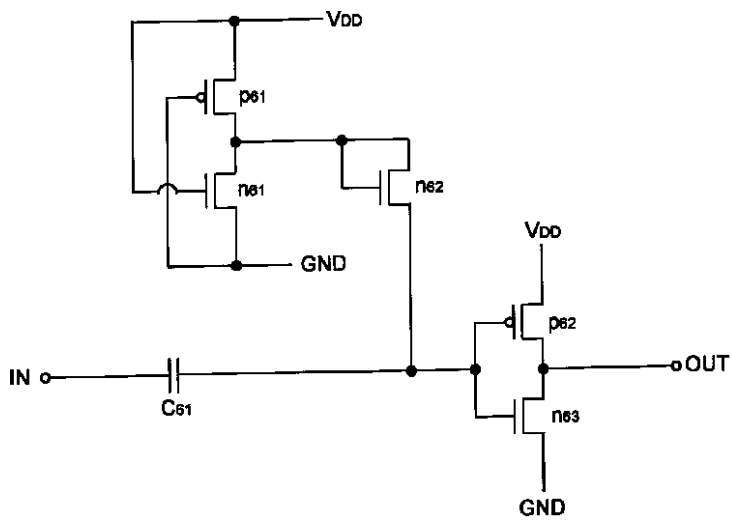
<アンプ回路部の入出力の電圧特性>



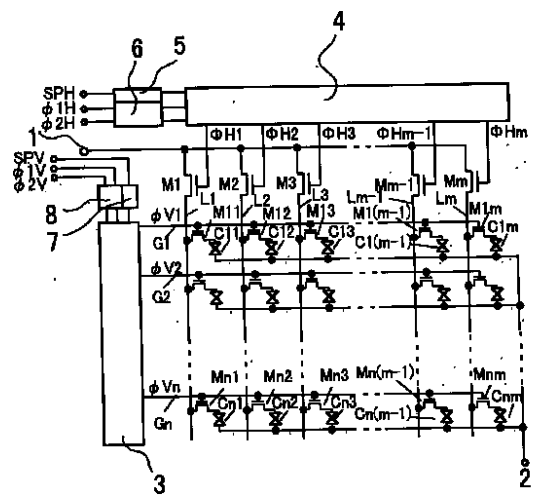
【図5】



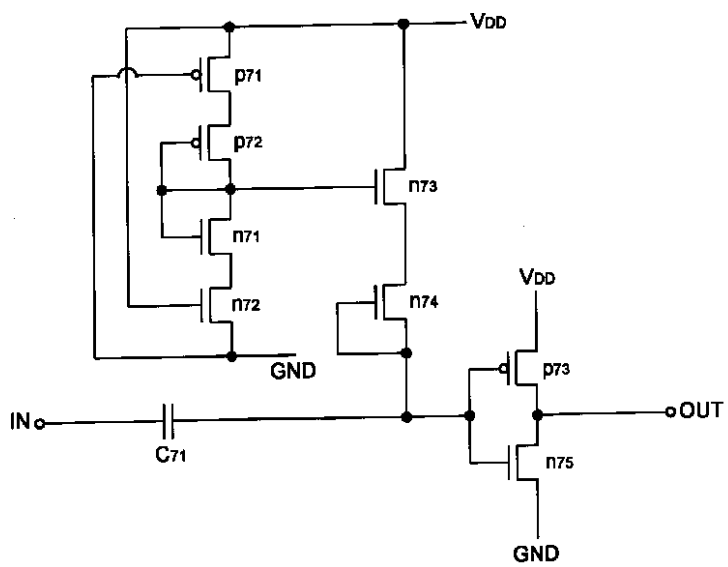
【図 6】



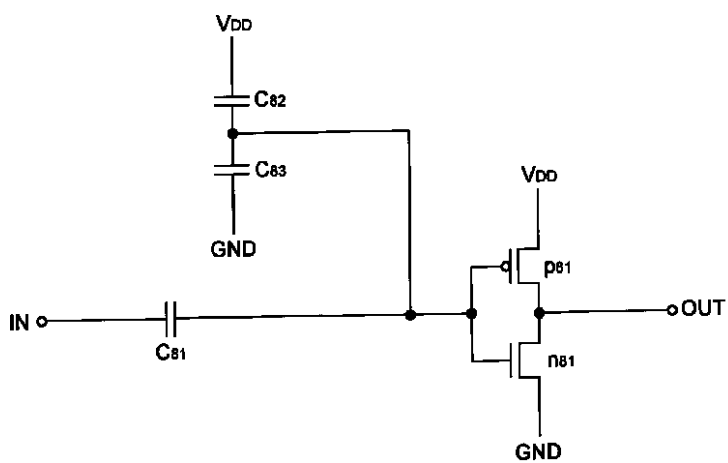
【図 11】



【図 7】

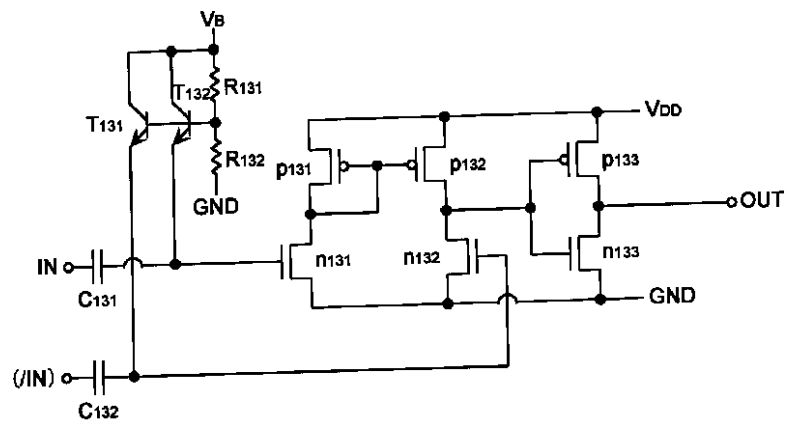


【図 8】



The diagram shows a CMOS inverter circuit. The input node, labeled 'IN', is connected to a capacitor C_{g1} and the gates of both the PMOS transistor (p81) and the NMOS transistor (n82). The PMOS transistor (p81) has its source connected to V_{DD} and its drain connected to the output node 'OUT'. The NMOS transistor (n82) has its source connected to GND and its drain also connected to the output node 'OUT'. Parasitic capacitances are indicated: C_{g2} and C_{g3} are shown at the input of the PMOS transistor (n81 in the diagram), with C_{g2} connected to V_{DD} and C_{g3} connected to GND. The output node 'OUT' is also connected to a load capacitor (not explicitly labeled, but implied by the context of the text).

【図 13】



フロントページの続き

(72)発明者 ▲高▼藤 裕
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

F ターム(参考) 5C006 BB11 BC20 BF25 BF37 BF46
EB05 FA42
5C080 AA10 BB05 DD23 DD25 JJ02
JJ03 JJ05
5J056 AA32 BB53 BB58 BB59 CC21
DD29 DD51 EE03 EE11 FF08
GG06 GG09 KK03

专利名称(译)	电平移位电路和图像显示装置		
公开(公告)号	JP2001085990A	公开(公告)日	2001-03-30
申请号	JP2000092725	申请日	2000-03-30
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	佐々木修 小川康行 高藤裕		
发明人	佐々木 修 小川 康行 ▲高▼藤 裕		
IPC分类号	G09G3/36 G09G3/20 H03K19/0185		
CPC分类号	H03K19/018585 G09G3/3648 G09G2300/0408		
FI分类号	H03K19/00.101.D G09G3/20.621.L G09G3/36 H03K19/0185.230		
F-TERM分类号	5C006/BB11 5C006/BC20 5C006/BF25 5C006/BF37 5C006/BF46 5C006/EB05 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD25 5C080/JJ02 5C080/JJ03 5C080/JJ05 5J056/AA32 5J056/BB53 5J056/BB58 5J056/BB59 5J056/CC21 5J056/DD29 5J056/DD51 5J056/EE03 5J056/EE11 5J056/FF08 5J056/GG06 5J056/GG09 5J056/KK03		
优先权	1999201100 1999-07-15 JP		
其他公开文献	JP3609977B2		
外部链接	Espacenet		

摘要(译)

到目前为止，需要两个信号，即输入信号和其反相信号。另外，难以与其他驱动电路在同一基板上单片形成。此外，针对每个图像显示装置调整偏置电压。偏置电压设置单元设置输入信号IN的幅度电平的中心电压，并且放大电路单元放大输入信号IN的幅度电平。

