

【特許請求の範囲】

【請求項 1】

液晶層を挟んで対向配置される一対のガラス基板と、
前記ガラス基板に配線された映像用デジタル信号を伝送するための複数の伝送線路と、
前記伝送線路のそれぞれに配置され、内部のトランジスタにポリシリコンが使用された
複数のバッファと、
前記バッファの出力性能が交互に異なるものとなるように設定する設定手段と、
を有することを特徴とする液晶表示装置。

【請求項 2】

前記設定手段は、
前記伝送線路の 1 つおきに前記バッファに対して並列に接続された複数のバッファと、
当該バッファに直列接続された複数のスイッチ素子と、
前記スイッチ素子のオン・オフを制御する制御回路と、
を有することを特徴とする請求項 1 記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に用いられるデジタル信号用伝送線路の絶縁性低下を検出する
ための技術に関する。

20

【背景技術】

【0002】

液晶ディスプレイに利用される多結晶 Si (p - Si) 形薄膜トランジスタ (p - Si
TFT) は、ガラス基板上に非結晶 Si (a - Si) 薄膜を塗布する方法と比べて電子
の移動速度を格段に向上することができるという優れた特徴があり、これまで液晶パネル
の外部に取り付けなければならなかった駆動回路をパネルと同一のガラス基板上に直接形
成することができ、配線密度を高めることが可能となっている (特許文献 1 参照) 。

【特許文献 1】特開 2005 - 49519 公報

【発明の開示】

【発明が解決しようとする課題】

30

【0003】

しかしながら、図 5 に示すように、映像用デジタル信号が伝送されるデジタル用伝送線
路 10 は、一画素当たり 18 本 (6 ビット × 3 (RGB)) 必要とされ、デスクトップ用
パソコンのモニターとして一般的に利用される 15 型 UXGA サイズ (画素数 : 1, 60
0 × 1, 200) の液晶画面の場合には、数千万本以上 (18 本 × 1, 600 × 1, 20
0) の伝送線路 10 を要することになる。従い、本伝送線路 10 を表示部 100 上に直接
形成するためには、微細化処理を施す必要があり、且つ伝送線路 10 の間隔を非常に狭く
する処理も必要である。

【0004】

故に、肉眼では確認できない微小な塵やほこり等 (以下、「抵抗 90」と称する) であ
っても、伝送線路上に付着した場合には、図 6 に示すように、本来であれば互いに影響を
受けることなく且つ絶縁性を有する伝送線路 10 a と伝送線路 10 b とが、抵抗 90 に
より相互に接続された状態になる。そして、伝送線路 10 a の入力側に配置されたバッ
ファ 20 a から出力される電流の一部は抵抗 90 へ流出し、且つ伝送線路 10 b の入力側に
配置されたバッファ 20 b から出力される電流の一部も抵抗 90 へ流出する。つまり、抵
抗 90 による伝送線路 10 a と伝送線路 10 b との接続は、伝送線路 10 a と伝送線路 1
0 b とを流れる電流に対して影響を与え、結果として、出力側で得られる出力信号は、入
力側の出力信号と比べて低下するという問題がある。

40

【0005】

また、例えば、抵抗 90 が薄い絶縁膜で覆われた金属性の浮遊物である場合、抵抗 90

50

が伝送線路 10 a 及び伝送線路 10 b へ接触した当初は、伝送線路 10 a と伝送線路 10 b とは未だ完全にショートされた状態ではないため、受信部 30 a 又は受信部 30 b は、バッファ 20 a 又はバッファ 20 b からの出力信号をほぼ正確に得ることが可能である。しかしながら、時間の経過により抵抗 90 は導通状態へと変化し、それに伴い伝送線路 10 a 及び伝送線路 10 b は次第に劣化するため、液晶表示装置の表示部 100 における画質が徐々に低下するという問題もある。

【0006】

本発明は、上記を鑑みてなされたものであり、液晶表示装置に用いられるデジタル信号用伝送線路の絶縁性低下を検出することを課題とする。

【課題を解決するための手段】

10

【0007】

本発明に係る液晶表示装置は、液晶層を挟んで対向配置される一对のガラス基板と、前記ガラス基板に配線された映像用デジタル信号を伝送するための複数の伝送線路と、前記伝送線路のそれぞれに配置され、内部のトランジスタにポリシリコンが使用された複数のバッファと、前記バッファの出力性能が交互に異なるものとなるように設定する設定手段と、を有することを特徴とする。

【0008】

本発明にあっては、設定手段により各伝送線路に配置されている各バッファの出力を交互に異なるものとなるように設定することで、伝送されてきた出力信号を用いて差分を検出することにより、各伝送線路に発生する電気的な絶縁性の低下を検出することを可能とする。

20

【0009】

上記液晶表示装置において、前記設定手段は、前記伝送線路の1つおきに前記バッファに対して並列に接続された複数のバッファと、当該バッファに直列接続された複数のスイッチ素子と、前記スイッチ素子のオン・オフを制御する制御回路と、を有することを特徴とする。

【0010】

本発明にあっては、伝送線路の1つおきにバッファに対して並列に接続された複数のバッファに直列接続された複数のスイッチ素子をオンに制御することにより、1つおきの伝送線路のバッファの出力性能を意図的に上げることで、各伝送線路に発生する電気的な絶縁性の低下を検出することを可能とする。

30

【発明の効果】

【0011】

本発明によれば、液晶表示装置に用いられるデジタル信号用伝送線路の絶縁性低下を検出することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について図面を用いて説明する。

【0013】

図1は、本発明の実施形態に係る液晶表示装置1における伝送線路部分の概略的な構成を示す模式図である。図1に示すように、本液晶表示装置1は、液晶層を挟んで対向配置される一对のガラス基板2上に、映像用デジタル信号を伝送する伝送線路10 a ~ 10 f、各伝送線路に配置され内部のトランジスタにポリシリコンが使用されたバッファ20 a ~ 20 f、バッファ20 a、バッファ20 c、バッファ20 eの各々に並列接続され内部のトランジスタにポリシリコンが使用されたバッファ21 a、バッファ21 c、バッファ21 e、バッファ21 a、バッファ21 c、バッファ21 eの各々に直列接続されたスイッチ素子60 a、スイッチ素子60 c、スイッチ素子60 e、各スイッチ素子のオン・オフを制御する制御回路50、各伝送線路に配置された受信部30 a ~ 30 f、伝送されてきたデジタル信号をアナログ信号へ変換するデジタルアナログコンバータ40、及びデジタルアナログコンバータ40によりアナログ変換された映像用アナログ信号を画像として

40

50

表示する表示部 100 を有する構成である。また、本実施形態については、各バッファから伝送されてきた出力信号を検査するために、各伝送線路に接続可能な差分検出回路 3、及び差分検出回路 3 から伝送される出力信号を波形として画面に表示するオシロスコープ 4 を液晶表示装置 1 の外部に更に有する構成である。

【0014】

次に、差分検出回路 3 の構成について説明する。図 2 は、差分検出回路 3 の内部構成を示す回路図である。差分検出回路 3 は、液晶表示装置 1 の各伝送線路から伝送されてきた出力信号を入力し任意の伝送線路の出力信号を出力するマルチプレクサ 70 a 及びマルチプレクサ 70 b、及び各マルチプレクサから出力された出力信号の差分演算を行う差分演算回路 71 を有する構成である。

10

【0015】

続いて、本実施形態における液晶表示装置 1 の動作について説明する。図 3 は、図 1 で示した模式図に記載されている伝送線路部分の隣り合う伝送線路 10 a と伝送線路 10 b について、抵抗 90 が付着した場合の構成を示す回路図である。

【0016】

最初に、制御回路 50 によりスイッチ素子 60 をオフに制御した場合の動作について説明する。オフに制御した場合、伝送線路 10 a 上で動作するバッファはバッファ 20 a の 1 つであり、結果として図 6 で示した回路における動作と等価である。図 6 に示すように、バッファ 20 a の入力信号としてハイレベル信号、バッファ 20 b の入力信号としてローレベル信号を用いた場合、伝送線路 10 a と伝送線路 10 b に抵抗 90 が付着していると出力側では両方の出力信号は平均化されて差が出ない。

20

【0017】

次に、スイッチ素子 60 をオンに制御した場合の動作について説明する。スイッチ素子 60 は、制御回路 50 によりオンに制御される。伝送線路 10 a 上を伝送されてきた映像用デジタル信号は、バッファ 20 a、バッファ 21 a が伝送線路 10 a に並列接続されている入力端子側の接点 A において分岐された後、各バッファに入力される。各バッファは、入力された映像用デジタル信号の駆動能力を回復し、回復された各バッファからの出力信号は、出力端子側の接点 B にて重畳された後に受信部 30 a へ伝送される。一方、伝送線路 10 b を伝送されてきた映像用デジタル信号は、バッファ 20 b に入力された後、受信部 30 b へ伝送される。バッファ 20 b に並列接続されるバッファは無いので、受信部 30 b へ伝送される出力信号が他のバッファの出力信号と重畳されることはない。

30

【0018】

続いて、差分検出回路 3 とオシロスコープ 4 の動作について図 2 を用いて説明する。差分検出回路 3 を構成するマルチプレクサ 70 a とマルチプレクサ 70 b は、伝送線路 10 a ~ 10 f から伝送されてきた出力信号が入力ポートから入力され、当該出力信号のうち、任意の伝送線路の出力信号を差分演算回路 71 に対して出力する。差分演算回路 71 は、マルチプレクサ 70 a とマルチプレクサ 70 b から伝送されてきた出力信号の差分演算を行い、差分演算結果をオシロスコープ 4 へ出力する。オシロスコープ 4 は、差分演算回路 71 から伝送された差分演算結果を、波形として視認できる形で画面に表示する。尚、マルチプレクサ 70 a 又はマルチプレクサ 70 b で選択される任意の伝送線路は、1 つに限られない。

40

【0019】

上記にて説明した液晶表示装置 1、差分検出回路 3 及びオシロスコープ 4 の一連の動作により、オシロスコープ 4 の画面に表示される出力波形を確認することで、各伝送線路において絶縁性低下が発生した場合にはバッファの出力性能の差分として検査することができる。

【0020】

即ち、伝送線路 10 a と伝送線路 10 b における入力側のバッファの出力性能が同等である場合、図 6 を用いて説明したように、抵抗 90 が付着した場合であっても出力側で検出される両方の出力信号は平均化されて差が出ない。更に、本発明で使用する多結晶 Si

50

(p-Si)形駆動方式は、非結晶Si(a-Si)形駆動方式とは異なりこれまで液晶パネルの外部に取り付けなければならなかった駆動回路をパネルと同一のガラス基板上に直接形成し配線密度を高めることができるが、バッファの出力性能にバラツキがあるため、出力側で検出される出力波形の鈍りが、各伝送線路における絶縁性の低下によるものがバッファ出力性能のバラツキによるものかを判断することができない。

【0021】

これに対し、本実施形態では、各伝送線路におけるバッファの出力性能を交互に異なるものに設定することにより、具体的には図3に示すように、伝送線路10aに配置されたバッファ20aに並列接続されたバッファ21aにより、伝送線路10aのバッファの出力性能を伝送線路10bのバッファの出力性能よりも高くすることで、各伝送線路における出力性能の差分を明らかなものとし、絶縁性低下の検出感度を高めることを可能とする。これにより、各伝送線路において弱いショートが発生した場合であっても、出力信号エラーを容易に検出することができる。

10

【0022】

本実施形態によれば、伝送線路の1つおきにバッファに対して並列に接続された複数のバッファに直列接続された複数のスイッチ素子のオンにより、1つおきの伝送線路のバッファ出力を意図的に上げることができるので、各伝送線路に発生する電気的な絶縁性の低下を検出することが可能である。

【0023】

また、検査用に事前準備された複数の画像パターンを用いて液晶表示装置1の表示部100に出力することにより、絶縁性低下の影響を伝送ビット情報のエラーとして各伝送線路の絶縁性を確認することも可能である。

20

【0024】

図4は、本発明の実施形態に係る液晶表示装置における伝送線路部分の変形例を示す模式図である。上記実施形態では、バッファの出力性能を交互に異なるものとなるように設定する設定手段として、伝送線路の1つおきにバッファに対して並列に接続されたバッファ、当該バッファに直列接続されたスイッチ素子、スイッチ素子のオン・オフを制御する制御回路50を用いたが、本変形例の場合には、制御回路50により各伝送線路に配置されたバッファの出力を交互に異なるように設定する。具体的には、バッファ20a、バッファ20c、バッファ20eに対して駆動性能を定めるための信号を与えることにより、各伝送線路の1つおきのバッファ出力を交互となるように設定する。その他の構成及び動作については、上記実施形態と同様であるので、ここでは説明を省略する。

30

【0025】

本変形例によれば、制御回路により各伝送線路に配置されている各バッファの出力を交互に異なるものとなるように設定することで、伝送されてきた出力信号を用いて差分を検出することにより、各伝送線路に発生する電気的な絶縁性の低下を検出することが可能になる。

【図面の簡単な説明】

【0026】

【図1】本発明の実施形態に係る液晶表示装置における伝送線路部分の概略的な構成を示す模式図である。

40

【図2】差分検出回路の内部構成を示す回路図である。

【図3】本発明の実施形態に係る液晶表示装置における伝送線路部分の隣り合う伝送線路について、抵抗が付着した場合の構成を示す回路図である。

【図4】本発明の実施形態に係る液晶表示装置における伝送線路部分の変形例を示す模式図である。

【図5】映像用デジタル信号の液晶表示装置を示す模式図である。

【図6】隣り合う伝送線路について、抵抗が付着した場合の構成を示す回路図である。

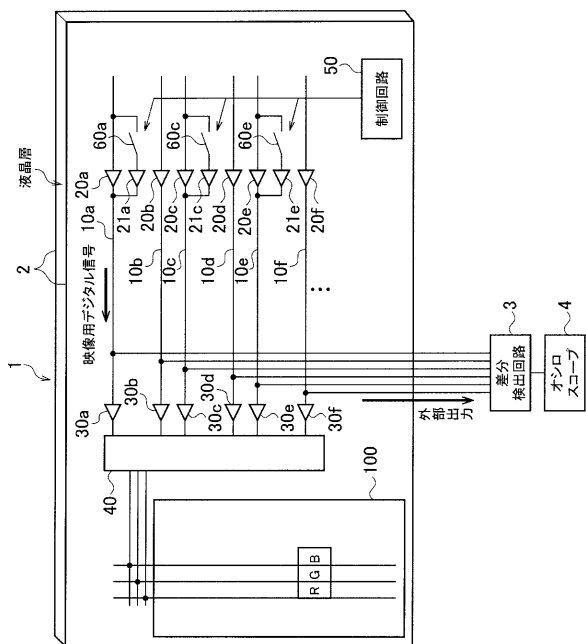
【符号の説明】

【0027】

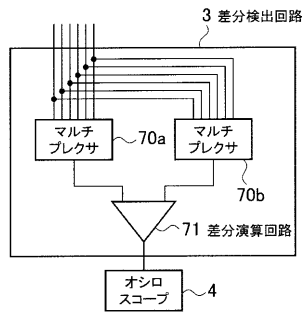
50

- 1 ... 液晶表示装置
- 2 ... ガラス基板
- 3 ... 差分検出回路
- 4 ... オシロスコープ
- 10 a ~ 10 f ... 伝送線路
- 20 a ~ 20 f, 21 a, 21 c, 21 e ... バッファ
- 30 a ~ 30 f ... 受信部
- 40 ... デジタルアナログコンバータ
- 50 ... 制御回路
- 60, 60 a, 60 c, 60 e ... スイッチ素子
- 70 a, 70 b ... マルチプレクサ
- 71 ... 差分演算回路
- 90 ... 抵抗
- 100 ... 表示部

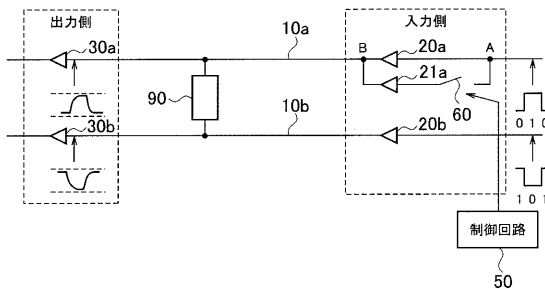
【 図 1 】



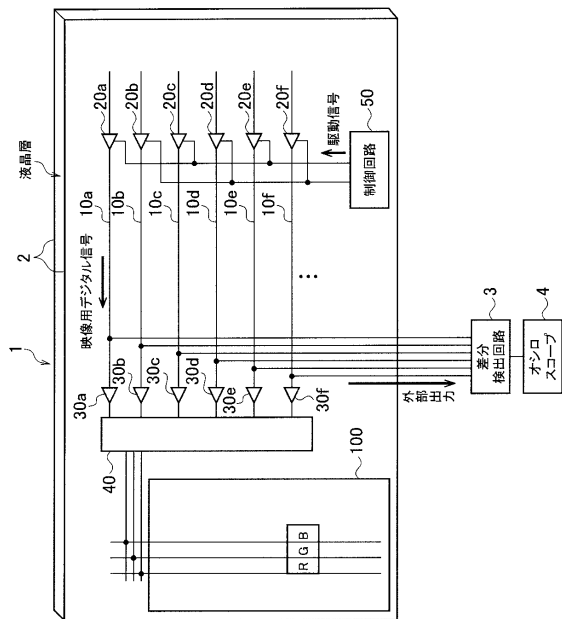
【 図 2 】



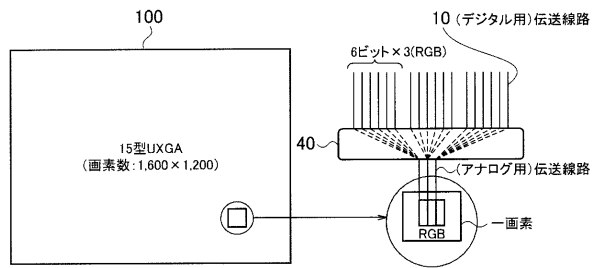
【 図 3 】



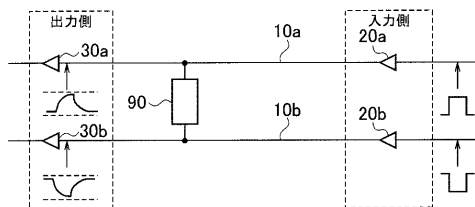
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 7 0 Q

(74)代理人 100101247
弁理士 高橋 俊一

(74)代理人 100098327
弁理士 高松 俊雄

(72)発明者 もたい 友信
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

Fターム(参考) 2H092 GA32 GA59 JA24 KA04 NA21 NA25
2H093 NA16 NC09 NC11 NC22 NC34 ND31 ND41
5C006 AF50 AF51 AF53 AF61 BC20 BF25 EB01 EB04 EB05 FA37
5C080 AA10 BB05 DD15 DD28 JJ02 JJ03 JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2007192937A	公开(公告)日	2007-08-02
申请号	JP2006009229	申请日	2006-01-17
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	もたい友信		
发明人	▲もたい▼ 友信		
IPC分类号	G02F1/1345 G02F1/133 G09G3/36 G09G3/20		
FI分类号	G02F1/1345 G02F1/133.550 G09G3/36 G09G3/20.611.J G09G3/20.621.M G09G3/20.680.G G09G3/20.670.Q		
F-TERM分类号	2H092/GA32 2H092/GA59 2H092/JA24 2H092/KA04 2H092/NA21 2H092/NA25 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC34 2H093/ND31 2H093/ND41 5C006/AF50 5C006/AF51 5C006/AF53 5C006/AF61 5C006/BC20 5C006/BF25 5C006/EB01 5C006/EB04 5C006/EB05 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD15 5C080/DD28 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04		
代理人(译)	三好秀 中村智之 伊藤雅一 高桥俊 高松俊夫		
外部链接	Espacenet		

摘要(译)

要解决的问题：检测用于液晶显示装置的数字信号的传输线的绝缘特性的降低。解决方案：通过使用与多个传输线中的每个其他传输线并联连接到缓冲器的缓冲器，可以有意地增加每隔一个传输线的缓冲器输出。由此，可以检测在每个传输线中发生的电绝缘特性的降低。 Z

