

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-18089

(P2005-18089A)

(43) 公開日 平成17年1月20日(2005.1.20)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 545

G09G 3/20 611C

G09G 3/20 621M

G09G 3/20 623D

テーマコード (参考)

2H093

5C006

5C080

審査請求 有 請求項の数 3 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2004-244851 (P2004-244851)

(22) 出願日 平成16年8月25日 (2004.8.25)

(62) 分割の表示 特願2003-371194 (P2003-371194)
の分割

原出願日 平成6年7月4日 (1994.7.4)

(71) 出願人 502356528

株式会社 日立ディスプレイズ

千葉県茂原市早野3300番地

(74) 代理人 100081938

弁理士 徳若 光政

(72) 発明者 大平 栄治

千葉県茂原市早野3300番地 株式会社

日立製作所電子デバイス事業部内

(72) 発明者 石田 一博

千葉県茂原市早野3300番地 株式会社

日立製作所電子デバイス事業部内

(72) 発明者 阿部 広伸

千葉県茂原市早野3300番地 株式会社

日立製作所電子デバイス事業部内

最終頁に続く

(54) 【発明の名称】 表示装置

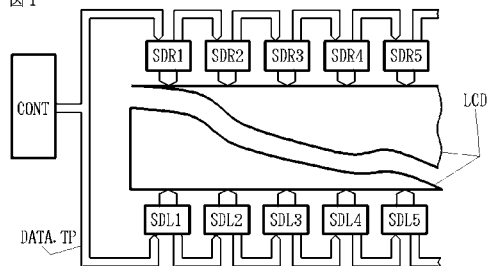
(57) 【要約】

【課題】 簡単な構成により表示品質の向上と動作の安定化を実現した液晶駆動回路と液晶表示装置を提供する。

【解決手段】 信号線と走査線とがマトリクス配置されている表示領域を有し、かかる表示領域の周辺に複数本の信号線が接続された半導体集積回路が配置され、前記半導体集積回路は、画像データに基づいて表示出力信号を形成して前記表示領域に出力させ、前記画像データ、及び前記表示領域に前記表示出力信号を出力させる表示タイミング信号は、隣接する半導体集積回路を介して順にそれぞれの半導体集積回路に供給され、前記表示タイミング信号の伝達経路には、バッファが配置される。

【選択図】 図1

図1



【特許請求の範囲】**【請求項 1】**

信号線と走査線とがマトリックス配置されている表示領域を有する表示装置において、複数本の信号線が接続された半導体集積回路が複数個前記表示領域の周辺に配置されており、

前記半導体集積回路は、画像データに基づいて表示出力信号を形成して前記表示領域に出力させるものであり、

前記画像データ、及び前記表示領域に前記表示出力信号を出力させる表示タイミング信号は、隣接する半導体集積回路を介して順にそれぞれの半導体集積回路に供給されており、

10

前記表示タイミング信号の伝達経路には、バッファ回路が配置されていることを特徴とする表示装置。

【請求項 2】

前記表示タイミング信号は、所定の数の半導体集積回路毎に、その一端の半導体集積回路に供給されることを特徴とする請求項 1 の表示装置。

【請求項 3】

前記複数の半導体集積回路は、隣接する半導体集積回路とは異なるタイミングで表示出力信号を上記表示領域に出力することを特徴とする請求項 1 又は 2 の表示装置。

【発明の詳細な説明】**【技術分野】**

20

【0001】

この発明は、表示装置に関し、例えば単純マトリックス方式の液晶表示パネルを用いて電圧平均化法により駆動されるものに利用して有効な技術に関するものである。

【背景技術】**【0002】**

単純マトリックス方式の液晶表示パネルを線順次方式でかつ電圧平均化法で駆動する場合、走査線電極及び信号線電極に印加する選択／非選択電圧は、例えば特開昭 5 4 - 2 0 9 6 号公報に記載されているような、電圧平均化法で決められたような一定の電圧である。

【特許文献 1】特開昭 5 4 - 2 0 9 6 号公報

30

【発明の開示】**【発明が解決しようとする課題】****【0003】**

単純マトリックス方式の液晶表示パネルを駆動する信号線駆動回路では、シリアルに取り込まれた画像データを一齐に平行に出力させる。そして、交流化駆動のために、交流化信号が反転すると、液晶表示パネルの信号線電極に供給される表示出力信号が一齐に極性が反転させられる。高精細化や画面の大型化に伴い信号線数が増大し、複数個からなる液晶駆動回路がほぼ一齐に表示出力信号を送出させるために、駆動電流が実装基板上の電源線に集中して流れることとなって大きなノイズを発生させてしまう。液晶表示パネルにおいては、走査線電極と信号線電極の交点に容量に加えられる 1 H 期間の実効電圧により液晶画素の点灯／非点灯を制御するため、上記のようなノイズの発生によって実効電圧が変化して点灯／非点灯の濃淡ムラを生じさせたり、実装基板において信号線に伝わり他の入力信号を歪ませて誤動作させてしまうという問題が生じる。

40

【0004】

この発明の目的は、簡単な構成により表示品質の向上と動作の安定化を実現した液晶駆動回路と液晶表示装置を提供することにある。

【0005】

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

50

【 0 0 0 6 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、信号線と走査線とがマトリックス配置されている表示領域を有し、かかる表示領域の周辺に複数本の信号線が接続された半導体集積回路が配置され、前記半導体集積回路は、画像データに基づいて表示出力信号を形成して前記表示領域に出力させ、前記画像データ、及び前記表示領域に前記表示出力信号を出力させる表示タイミング信号は、隣接する半導体集積回路を介して順にそれぞれの半導体集積回路に供給され、前記表示タイミング信号の伝達経路には、バッファが配置される。

【 発明の効果 】

【 0 0 0 7 】

上記した手段によれば、各液晶駆動回路毎に駆動電流が時間的に分散されるので、高精細化や大画面化においても、実装基板上の電源線に流れるピーク電流値が低減されて電源ノイズによる表示品質の低下や誤動作を防止できる。

【 発明を実施するための最良の形態 】

【 0 0 0 8 】

図 1 には、この発明に係る液晶駆動回路を用いた液晶表示装置の一実施例の概略ブロック図が示されている。同図には、液晶表示パネルとその信号線（セグメント）に供給される表示出力信号を形成する液晶駆動回路及びそのコントロール回路が代表として例示的に示され、液晶表示パネルの表示に必要な走査線駆動回路は本発明に直接関係が無いので省略されている。

【 0 0 0 9 】

液晶表示パネル L C D の縦方向に延長されるようにされる信号線電極は、高精細化のために高密度に形成される。それ故、半導体集積回路装置により構成される液晶駆動回路の出力端子のピッチと、上記液晶表示パネル L C D の信号線電極のピッチとを合わせ込むために、特に制限されないが、信号線は奇数番目と偶数番目のものを駆動する液晶駆動回路が上下に振り分けられる。

【 0 0 1 0 】

例えば、下側に設けられた液晶駆動回路 S D L 1 ~ S D L 5 ... 等は、奇数番目の信号線を駆動するようにされ、上側に設けられた液晶駆動回路 S D R 1 ~ S D R 5 ... 等は、偶数番目の信号線を駆動するようにされる。このように駆動回路を表示パネルの上下に振り分けることにより、液晶駆動回路からみた液晶表示パネルの信号線のピッチを 2 倍に広くでき、液晶駆動回路の出力端子とそれに接続される液晶表示パネル L C D の信号線のピッチをほぼ合わせ込むことができる。

【 0 0 1 1 】

この実施例の液晶駆動回路 S D L 1 ~ S D R 5 等は、それぞれが入力端子と出力端子を持つようにされる。つまり、入力端子からはシリアルに入力される画像データ D A T A と交流化信号及びクロックパルス T P 等が供給される。これらの信号 D A T A , T P は、そのまま出力回路と出力端子を通して出力させるようにする。

【 0 0 1 2 】

液晶表示パネル L C D は、高精細化や大画面等により約 6 0 0 本 ~ 1 0 0 0 本もの信号線を持つものに対して、半導体集積回路装置により構成される液晶駆動回路は、8 0 ないし 1 6 0 本程度の出力端子しか持ち得ない。そのため、1 つの液晶表示パネル L C D を駆動するためには多数個の液晶駆動回路が用いられ、1 ライン分のシリアル入力される画像データ D A T A は、各液晶駆動回路が順次に取り込むようにされる。つまり、パネルの左端の初段の液晶駆動回路 S D L 1 (S D R 1) が有効となって、それに対応した画像データ D A T A の取り込みが終了すると、次段の液晶駆動回路 S D L 2 (S D R 2) が有効となってそれに対応した画像データ D A T A を取り込むという動作を繰り返す。

【 0 0 1 3 】

この実施例では、従来のように実装基板上に形成された入力信号線に対して液晶駆動回路が平行に接続されるのではなく、各液晶駆動回路を通して順次にクロックパルス T P

10

20

30

40

50

とそれに同期して入力されるシリアル画像データDATAと、交流化信号が供給される。それ故、下側の液晶駆動回路SDL1～SDL5を例にして説明すると、初段の液晶駆動回路SDL1にシリアル画像データが取り込まれると、かかる液晶駆動回路SDL1の入力回路及び内部配線と出力回路が信号伝送経路として用いられて次段の液晶駆動回路SDL2に伝えられる。このとき、上記内部配線や出力回路は、遅延回路として利用され、次段の液晶駆動回路SDL2に伝えられる入力信号は、コントロール回路CONTから出力される信号バスの信号DATA、TP等との関係では遅延させられたものとなる。ただし、上記画像データDATAや交流化信号とクロックパルスTPとの相対的な時間関係は保たれているので、その取り込みや表示出力には何ら支障は生じない。以下、上記液晶駆動回路SDL3、SDL4、SDL5...の順に入力信号が伝えられ、その前段回路は遅延回路として作用させられる。 10

【0014】

このため、シリアルに入力された画像データは、各液晶駆動回路SDL1～SDL5等での遅延時間に相当する時間だけずれて順次に液晶駆動回路SDL2～SDL5等に取り込まれるとともに、パラレル出力動作を行う表示タイミングTPも同様に遅延させられるために、上記の遅延時間だけずれて、初段の液晶駆動回路SDL1、第2段目の液晶駆動回路SDL2・・・図示しない最終段の液晶駆動回路のように表示出力信号が出力される。このことは、上側の液晶駆動回路SDR1～SDR5等においても同様である。

【0015】

これにより、表示駆動電流が上記のように液晶駆動回路の数ずつが分散されて出力されるために、高精細化や大画面化により信号線の数が増大しても実装基板上の電源線に流れるピーク電流が分散されて流れることになる。これにより、電源線に流れるピーク電流を大幅に低減させることができる。 20

【0016】

図2には、この発明に係る液晶駆動回路を用いた液晶表示装置の他の一実施例の概略ブロック図が示されている。同図には、液晶表示パネルとその信号線に供給される表示出力信号を形成する液晶駆動回路及びそのコントロール回路が代表として例示的に示され、液晶表示パネルの表示に必要な走査線駆動回路は本発明に直接関係が無いので省略されている。また、前記のように液晶表示パネルLCDの上側に設けられる液晶駆動回路も省略されている。 30

【0017】

この実施例の液晶駆動回路では、80本ないし160本程度の表示出力信号しか持ち得ないのに対して、駆動される液晶表示パネルLCDの信号線の本数は高精細化や大画面化により1000本以上に増大される傾向にあり、上記液晶駆動回路の数も多くなって、最終段回路では加算された遅延時間により1つの走査タイミング期間に表示出力が間に合わなくなってしまう虞れがある。つまり、表示データのシリアル取り込み信号の周期Tの1/2を上限にして最終段の液晶駆動回路に対する遅延時間を設定する必要がある。逆に、従来回路における電源ノイズのピーク部の時間幅が約20ns程度であるので、これと同じかそれより大きくなるように最終段液晶駆動回路の総遅延時間が設定される必要がある。この実施例では、表示出力数と上記のような遅延時間の条件を考慮して液晶駆動回路を複数組に分割して構成される。 40

【0018】

この実施例では、液晶駆動回路が奇数番目と偶数番目の液晶駆動回路に2分割される。つまり、第1と第3及び第5段目の液晶駆動回路が初段回路としてコントロール回路CONTから出力される画像データDATAやクロックパルスTP等をパラレルに取り込むようにされる。そして、偶数番目の液晶駆動回路SDL2、SDL4等は、その前段とされる液晶駆動回路SDL1、SDL3等を通して入力される遅延信号が供給される。

【0019】

この構成では、液晶表示パネルLCDの高精細化や大画面化により、いかに液晶駆動回路の数が増大しようとも、表示出力タイミングが2つに分割されるのもであるので、例え 50

ば表示データのシリアル取り込み信号の周期 T の $1/2$ を上限にし、電源ノイズのピーク部の時間幅を下限とする範囲を広くでき、各液晶駆動回路での遅延時間の設定が容易になる。

【0020】

図3には、この発明に係る液晶駆動回路を用いた液晶表示装置の更に他の一実施例の概略ブロック図が示されている。この実施例では、表示出力タイミングが3つに分割する例が示されている。つまり、入力信号バスに対して、3個ずつの液晶駆動回路 $SDL1 \sim SDL3$ 等が縦列形態にされるようにする。これにより、液晶駆動回路の出力タイミングを3つに分散させて電源線に発生するピーク電流をほぼ $1/3$ に緩和させることができる。以下、同様に縦列形態にされる液晶駆動回路の数を増加すれば、それに応じて電源線に流れるピーク電流値も低減され、最終的には図1の実施例が最もピーク電流が小さくされるが、反面遅延時間の制約による限界が生じるものとなる。

10

【0021】

図4には、液晶駆動回路の一実施例の概略ブロック図が示されている。この実施例では、入力端子には入力回路としての入力保護回路が設けられる。これらの保護回路を通した信号は、内部配線を通して内部ロジック・駆動回路（ドライバ）等へ供給される。内部配線には、バッファ（出力）回路が設けられて出力端子から信号送出を行う機能が設けられる。これらの内部配線での信号伝播遅延時間やバッファ回路での信号伝播遅延時間により、出力端子から出力される信号は、入力端子から入力される各信号に対して遅延させられるものとなる。

20

【0022】

上記入力保護回路は、入力端子から入り込んでくる急峻電流や静電気による破壊から内部回路を保護するとともに、内部ロジックや駆動回路へ信号伝達する際の入力波形の歪の整形と振幅を安定化させる。すなわち、外部と内部配線を電氣的に分離させる役割を持ち、半導体装置一般に設けられることが常識となっている回路である。

【0023】

入力端子から供給されるタイミング信号は、後述するようなラインクロック信号 $CL1$ 、データラッチクロック信号 $CL2$ 、交流化信号 M の3本であり、画像データ $DATA$ は、特に制限されないが、4ビットデータとされる。このため、入力端子の合計7本とされる。なお、後述するような駆動電圧発生回路により形成された駆動電圧が入力される入力端子は、一種の電源端子と見做されるので同図では省略されている。

30

【0024】

内部ロジック・駆動回路は、後述するようにシリアル/パラレル変換動作を行うラインデータラッチ回路と、データラッチ回路の出力信号をレベルシフトを行うレベルシフト回路と、このレベルシフト回路を通した出力信号により駆動されて、駆動電圧を出力させる出力 $MOSFET$ （ドライバ）から構成される。

【0025】

図5には、液晶駆動回路の他の一実施例の概略ブロック図が示されている。液晶駆動回路においては、前記図1のように液晶表示パネルの上下に振り分けられて実装基板に設けられることが多い。このため、前記図1の実施例のように入力端子と出力端子とが固定されているときには、表示パネルの上側と下側に配置される液晶駆動回路とでは、一方側では入力端子と出力端子とが順に接続されて実装基板上の配線は最短にされる。これに対して、他方側では、信号伝達方向と入力端子と出力端子とが逆になるため、実装基板上に形成される配線長が長くなるとともに、入力側と出力側とが交差してしまう。

40

【0026】

この実施例では、入力端子と出力端子とを入れ換えて使用できるように、2組の入出力端子に対応してそれぞれ双方向バッファが設けられる。双方向バッファは、入力保護回路を通してシフト方向制御信号が供給されて、その信号伝達方向が決定される。例えば、シフト方向制御信号がハイレベルなら、入出力端子 L が入力端子とされ、それに対応して設けられた双方向バッファが入力回路として動作させられる。このとき、入力回路として動

50

作させられる双方向バッファは、前記入力保護回路の機能も兼ねるようにされる。上記のシフト方向制御信号がハイレベルのときには入出力端子Rに対応して設けられた双方向バッファが出力回路として動作させられる。それ故、かかる入出力端子Rは出力端子として用いられる。このような構成により、例えば図1の下側に設けられた液晶駆動回路として動作させられる。

【0027】

逆に、シフト方向制御信号がロウレベルなら、入出力端子Rが入力端子とされ、それに対応して設けられた双方向バッファが入力回路として動作させられる。このとき、入力回路として動作させられる双方向バッファは、上記同様に入力保護回路の機能も兼ねるようにされる。上記のシフト方向制御信号がロウレベルのときには入出力端子Lに対応して設けられた双方向バッファが出力回路として動作させられる。それ故、かかる入出力端子Lは出力端子として用いられる。このような構成により、例えば図1の上側に設けられた液晶駆動回路として動作させられる。

10

【0028】

このような構成により、実装基板上では最短距離をもって液晶駆動回路を縦列形態に接続させることができる。そして、半導体集積回路装置に形成された内部配線が信号伝達経路として利用されるものであるために、実装基板上に形成されるプリント領域を減らすことができ、配線レイアウトの簡素化を図ることができるものとなる。

【0029】

図6には、この発明に係る液晶駆動回路を液晶表示モジュールに実装したときの一実施例の要部外観図が示されている。この実施例では、特に制限されないが、テープキャリア方式によってなる液晶駆動装置が液晶表示パネルとプリント基板に実装される。画素データとタイミングパルスに対応する入力側アウトリード端子がプリント基板の配線層により電氣的に結線される状態が示されている。このようにして、複数個から半導体チップに形成された液晶駆動回路の入力端子と出力端子とが順に接続される。

20

【0030】

図7には、この発明に係る液晶表示装置の一実施例の概略全体ブロック図が示されている。液晶表示パネル制御装置は、マイクロプロセッサCPU等から表示データを受けて、表示パネルの動作に必要なクロックパルスCL1、CL2、表示データDin、フレーム信号FLMを形成する。

30

【0031】

この実施例では、1フレーム(1画面の表示期間)毎に交流化のための極性を切り換えると、比較的低い周波数により極性反転が行われて交流化に伴う画面のチラツキが問題になる。そこで、1フレーム中の複数走査線毎に極性を切り換えて、交流化周波数を数百Hzのように高くして交流化に伴うチラツキを防止する。このため、交流化信号発生回路が設けられ、走査線に選択タイミングに対応したクロックパルスCL1を計数して、複数走査線毎に交流化信号Mの極性を変化させる。

【0032】

直列抵抗とオペアンプは、電圧発生回路であり、駆動電圧V1~V6を形成して、走査ドライバ及びデータドライバに供給する。液晶表示パネルは、走査線の数X1ないしXmのm本からなり、信号線がY1ないしYnのn本から構成される。これにより、液晶表示パネルは、m×nのような画素から構成される。

40

【0033】

走査線駆動回路は、複数の半導体集積回路装置から構成され、クロックパルスCL1により、シフト動作を行うシフトレジスタと、その出力信号を受けて駆動電圧発生回路により形成された駆動電圧V1又はV5とV2又はV6を交流化信号により切り替えて対応する走査線電極に出力させて走査線電極を選択/非選択レベルにする。

【0034】

シフトレジスタの出力信号が選択レベルにされると、駆動電圧V1を対応した走査線電極に出力する。このとき、他の走査線駆動電圧は、シフトレジスタの出力信号の非選択レ

50

ベルに応じて駆動電圧V5にされる。シフトレジスタは、クロックパルスCL1に同期し、上記選択レベルを順次シフトするので、次のタイミングでは、次の走査線電極が代わって選択レベルにされる。このようにして、走査線電極が順次選択される。上記のように、1フレーム中の複数走査線毎に極性を切り換えるものでは、交流化信号Mにより、駆動電圧V1に代えてV2のような選択レベルに、V5に代えてV6のような非選択レベルにされる。

【0035】

画素データDinは、クロックパルスCL2に同期してシリアル/パラレル変換回路にシリアルに入力される。1走査線分に対応した信号線電極の画素信号は、1H期間(クロックパルスCL1の1周期内)に、クロックパルスCL2に同期してシリアルにされる。このようにシリアルに取り込まれた1走査線分の画素信号は、パラレルに前記のようなラインデータラッチ回路に取り込まれる。

【0036】

信号線駆動回路は、上記のように複数個からなる液晶駆動回路により構成されるものであり、上記のようなシリアル/パラレル変換動作を行うラインデータラッチ回路と、レベルシフト回路に供給してレベルシフトを行う。すなわち、ラインデータラッチ回路は、5V系の回路により構成されており、5Vのようなハイレベルと、0Vのようなロウレベルを出力する。これに対して、ドライバはスイッチMOSFETから構成されており、駆動電圧発生回路により形成された駆動電圧V1、V3、V4及びV2のような比較的大きな電圧範囲の電圧をレベル損失なく出力させるように上記ラッチ回路の出力信号をレベルシフト回路によりレベルシフトさせるものである。

【0037】

上記の実施例から得られる作用効果は、下記の通りである。すなわち、
(1) クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる液晶駆動回路に入力端子の他に出力回路と出力端子を設けておき、複数からなる液晶駆動回路を縦列形態に接続し、液晶駆動回路における内部配線及び出力回路を遅延手段として用いて各液晶駆動回路毎の表示出力信号の出力タイミングが時間的に分散されるようにすることにより、高精細化や大画面化においても、実装基板上の電源線に流れるピーク電流値を低減されるので電源ノイズによる表示品質の低下や誤動作を防止できるという効果が得られる。

(2) 上記入力回路と出力回路は、制御信号に従って双方向に信号伝達方向が切り替えられる双方向バッファとし、それに対応して入力端子と出力端子が決めるようにすることにより、表示パネルの信号電極の両側に液晶駆動回路を振り分けて設けるときに、実装基板上において上記液晶駆動回路を縦列形態に接続させる配線を最短に形成できるという効果が得られる。

(3) シリアルな画像データに対応して液晶駆動回路を複数組に分割し、各組における初段回路の入力端子には、実装基板上に形成された入力信号線に対してパラレルに接続し、各組の初段回路の出力回路の信号が次段回路の入力信号とされるように縦列接続させることにより、液晶表示パネルの高精細化や大画面に対して、表示データのシリアル取り込み信号の周期に対応した上限の遅延時間と電源ノイズのピーク部の時間幅を考慮して下限との範囲を広くできるという効果が得られる。

【0038】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、表示パネルは、必ずしも高精細化あるいは大画面化されたものでなくともよい。このように信号線の数が少ない場合には、電源装置の電源供給能力の小さな安価なものを用いたり、実装基板上に形成される配線を細くしたものをを用いることができる等の利点が生じる。

【0039】

液晶表示パネルは、上記のような単純マトリックス構成のもの他、ＴＦＴ（薄膜トランジスタ）を用いた、アクティブマトリックス構成のものであってもよい。すなわち、この発明は、シリアルに画像データを取り込んで、パラレルに表示信号を出力させる液晶駆動回路と液晶表示装置に広く利用できる。

【００４０】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロックパルスに同期してシリアルに入力された画像データを取り込み、表示タイミング信号に従ってシリアルに取り込まれた画像データに基づいて形成された表示出力信号をパラレルに出力させる液晶駆動回路に入力端子の他に出力回路と出力端子を設けておき、複数からなる液晶駆動回路を縦列形態に接続し、液晶駆動回路における内部配線及び出力回路を遅延手段として用いて各液晶駆動回路毎の表示出力信号の出力タイミングが時間的に分散されるようにすることにより、高精細化や大画面化においても、実装基板上の電源線に流れるピーク電流値を低減されるので電源ノイズによる表示品質の低下や誤動作を防止できる。

【００４１】

上記入力回路と出力回路は、制御信号に従って双方向に信号伝達方向が切り替えられる双方向バッファとし、それに対応して入力端子と出力端子が決めるようにすることにより、表示パネルの信号電極の両側に液晶駆動回路を振り分けて設けるときに、実装基板上において上記液晶駆動回路を縦列形態に接続させる配線を最短に形成できる。

【００４２】

シリアルな画像データに対応して液晶駆動回路を複数組に分割し、各組における初段回路の入力端子には、実装基板上に形成された入力信号線に対してパラレルに接続し、各組の初段回路の出力回路の信号が次段回路の入力信号とされるように縦列接続させることにより、液晶表示パネルの高精細化や大画面に対して、表示データのシリアル取り込み信号の周期に対応した上限の遅延時間と電源ノイズのピーク部の時間幅を考慮して下限との範囲を広くできる。

【図面の簡単な説明】

【００４３】

【図１】この発明に係る液晶駆動回路を用いた液晶表示装置の一実施例を示す概略ブロック図である。

【図２】この発明に係る液晶駆動回路を用いた液晶表示装置の他の一実施例を示す概略ブロック図である。

【図３】この発明に係る液晶駆動回路を用いた液晶表示装置の更に他の一実施例を示す概略ブロック図である。

【図４】この発明に係る液晶駆動回路の一実施例を示す概略ブロック図である。

【図５】この発明に係る液晶駆動回路の他の一実施例を示す概略ブロック図である。

【図６】この発明に係る液晶駆動回路を液晶表示モジュールに実装したときの一実施例を示す要部外観図である。

【図７】この発明に係る液晶表示装置の一実施例を示す概略全体ブロック図である。

【符号の説明】

【００４４】

ＳＤＬ１～ＳＤＬ５，ＳＤＲ１～ＳＤＲ５…液晶駆動回路、ＣＯＮＴ…コントロール回路、ＣＰＵ…マイクロプロセッサ。

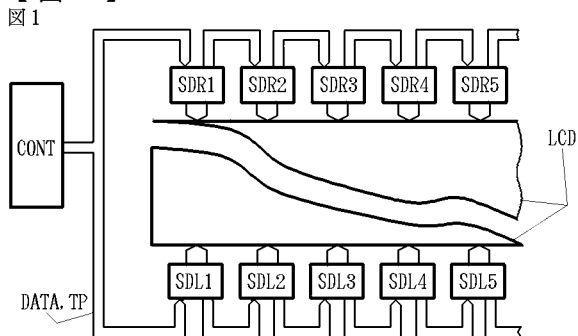
10

20

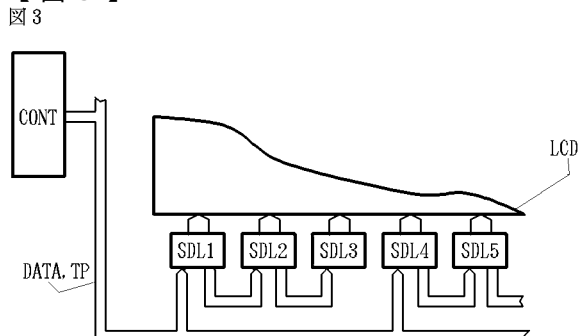
30

40

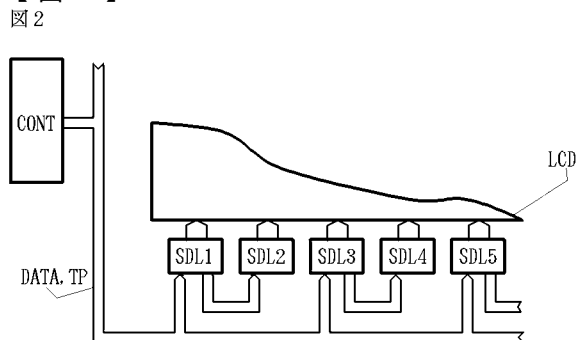
【図 1】



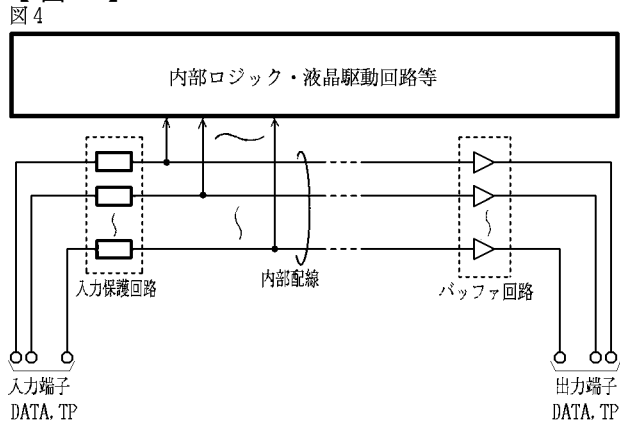
【図 3】



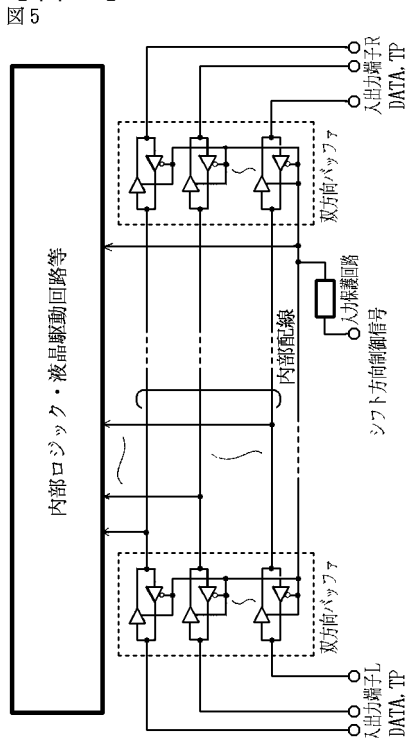
【図 2】



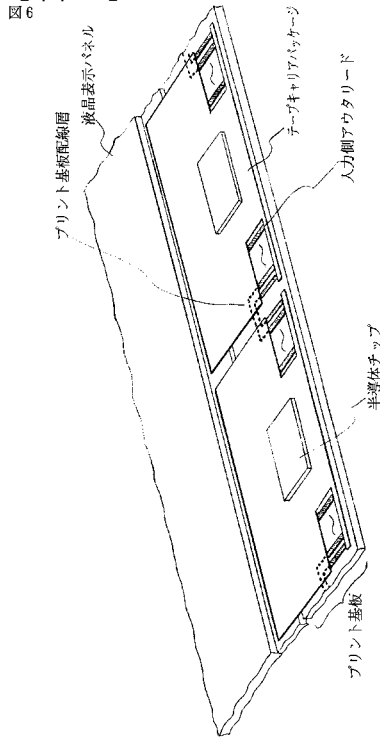
【図 4】



【図 5】

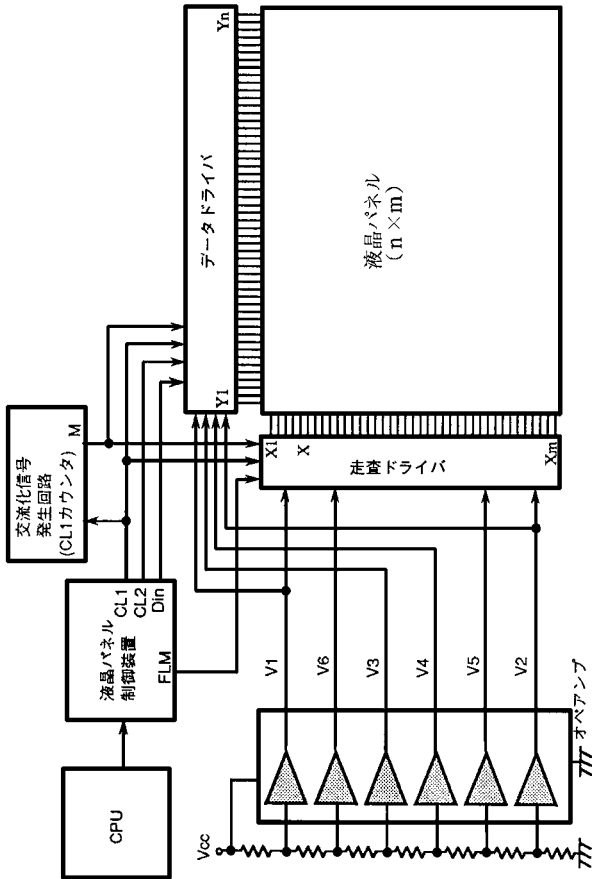


【図 6】



【図 7】

図 7



フロントページの続き(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 3 3 D

F ターム(参考) 2H093 NA07 NA16 NA31 NA34 NA43 NB01 NB07 NB11 NC03 NC10
NC12 NC16 NC22 NC26 NC27 ND10 ND37 ND40 ND60 NF04
5C006 AF43 AF71 BC02 BC12 BC16 BC24 BF25 FA31
5C080 AA10 BB05 DD12 FF11 FF12 JJ02 JJ06

专利名称(译)	表示装置		
公开(公告)号	JP2005018089A	公开(公告)日	2005-01-20
申请号	JP2004244851	申请日	2004-08-25
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	大平荣治 石田一博 阿部広伸		
发明人	大平 荣治 石田 一博 阿部 広伸		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.545 G09G3/20.611.C G09G3/20.621.M G09G3/20.623.D G09G3/20.633.D		
F-TERM分类号	2H093/NA07 2H093/NA16 2H093/NA31 2H093/NA34 2H093/NA43 2H093/NB01 2H093/NB07 2H093/NB11 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC27 2H093/ND10 2H093/ND37 2H093/ND40 2H093/ND60 2H093/NF04 5C006/AF43 5C006/AF71 5C006/BC02 5C006/BC12 5C006/BC16 5C006/BC24 5C006/BF25 5C006/FA31 5C080/AA10 5C080/BB05 5C080/DD12 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ06 2H193/ZB43 2H193/ZC20 2H193/ZF03 2H193/ZF22 2H193/ZF36		
代理人(译)	IsaoWaka光政		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶驱动电路和液晶显示装置，其通过简单的结构实现显示质量的提高和操作的稳定性。 半导体集成电路具有显示区域，其中信号线和扫描线以矩阵布置，并且连接到显示区域的多条信号线布置在显示区域周围。 通过相邻的半导体集成电路顺序地输出用于显示基于图像数据的显示输出信号并将该显示输出信号输出至显示区域，并将该图像数据和显示输出信号输出至显示区域的显示定时信号。 在提供给半导体集成电路的显示定时信号的传输路径中布置有缓冲器。 [选型图]图1

