(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2008-256792
(P2008-256792A)
(43)公開日　平成20年10月23日(2008.10.23)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	3/36	(2006.01)	G09G	3/36		2H093
G09G	3/20	(2006.01)	G09G	3/20	680D	5C006
G09F	9/40	(2006.01)	G09G	3/20	624C	5C080
G02F	1/133	(2006.01)	G09G	3/20	623A	5C094
			G09G	3/20	621F	

審査請求 未請求　請求項の数 8　ＯＬ　（全 23 頁）　最終頁に続く

(21)出願番号　特願2007-96574(P2007-96574)
(22)出願日　平成19年4月2日(2007.4.2)

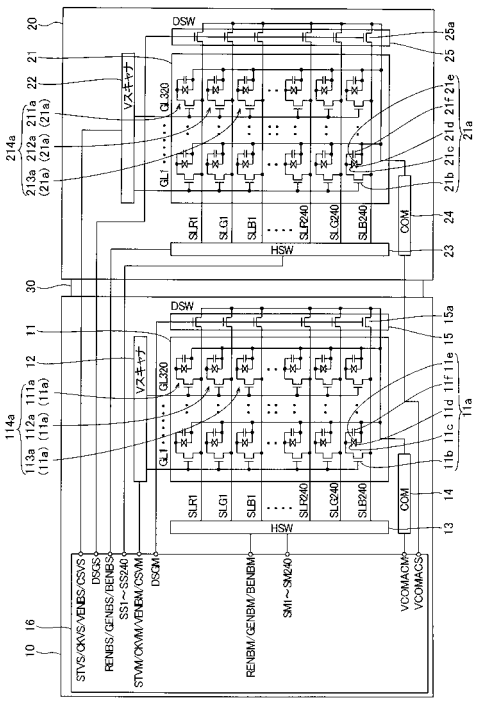
(71)出願人　304053854
エプソンイメージングデバイス株式会社
長野県安曇野市豊科田沢６９２５
(74)代理人　100104433
弁理士　宮園　博一
(72)発明者　植栗　将
長野県安曇野市豊科田沢６９２５　エプソンイメージングデバイス株式会社内

Ｆターム(参考)　2H093 NA16 NA32 NA33 NC10 NC12 NC34 ND60 NE03
5C006 AC11 AC21 AC25 AF42 AF44 AF52 BB16 BC06 BC16 BF31 FA22
5C080 AA10 BB05 CC07 DD05 JJ02 JJ03 JJ04

最終頁に続く

(54)【発明の名称】表示装置

(57)【要約】
【課題】表示品位の低下を抑制することが可能な表示装置を提供する。
【解決手段】この液晶表示装置（表示装置）１００は、ドット１１ａと、ドット１１ａに共通に設けられた共通電極１１ｄとを含む表示部１１と、ドット１１ａに画像信号ＳＭ１～ＳＭ２４０を供給するための信号線ＳＬと、表示部２１とを備えている。そして、液晶表示装置１００は、表示部２１の駆動時に、信号線ＳＬと共通電極１１ｄとを接続するように構成されている。
【選択図】図１



【特許請求の範囲】
【請求項１】
複数の第１画素部と、前記複数の第１画素部に共通に設けられた第１共通電極とを含む第１表示部と、
前記第１画素部に信号を供給するための複数の第１信号線と、
第２表示部とを備え、
前記第２表示部の駆動時に、前記第１信号線と前記第１共通電極とを接続するように構成されている、表示装置。
【請求項２】
前記第２表示部に信号を供給するための複数の第２信号線をさらに備え、
前記第２表示部は、複数の第２画素部と、前記複数の第２画素部に共通に設けられた第２共通電極とを含み、
前記第１表示部の駆動時に、前記第２信号線と前記第２共通電極とを接続するように構成されている、請求項１に記載の表示装置。
【請求項３】
前記第１表示部の第１画素部を駆動する際に、前記第１信号線と前記第１共通電極との接続を分離するとともに、前記第２表示部の第２画素部を駆動する際に、前記第２信号線と前記第２共通電極との接続を分離するように構成されている、請求項２に記載の表示装置。
【請求項４】
前記第１信号線と前記第１共通電極との間に設けられ、前記第１信号線と前記第１共通電極とを接続するか否かを制御する第１スイッチング素子をさらに備える、請求項１～３のいずれか１項に記載の表示装置。
【請求項５】
前記第１共通電極の電位を制御する機能を有するとともに、前記第１信号線をプリチャージする機能を有する電位制御部をさらに備え、
前記電位制御部は、
前記第１表示部の非駆動時に、前記第１スイッチング素子により接続された前記第１信号線および前記第１共通電極の電位を制御するとともに、
前記第１表示部の駆動時に、前記第１共通電極の電位を制御するとともに、プリチャージの際に前記第１スイッチング素子により接続された前記第１信号線をプリチャージするように構成されている、請求項４に記載の表示装置。
【請求項６】
前記第１信号線および前記第１共通電極の電位を制御する機能を有する電位制御部をさらに備え、
前記電位制御部は、
前記第１表示部の非駆動時に前記第２表示部を駆動する際の所定の１フレーム期間において、所定の１水平期間に、前記第１表示部の第１信号線および第１共通電極を第１電位に制御するとともに、前記所定の１水平期間の次の１水平期間に、前記第１表示部の第１信号線および第１共通電極を前記第１電位と異なる第２電位に制御するように構成され、
前記第１表示部の非駆動時に前記第２表示部を駆動する際の前記所定の１フレーム期間の次の１フレーム期間において、前記所定の１水平期間に、前記第１表示部の第１信号線および第１共通電極を前記第２電位に制御するとともに、前記所定の１水平期間の次の１水平期間に、前記第１表示部の第１信号線および第１共通電極を前記第１電位に制御するように構成されている、請求項１～５のいずれか１項に記載の表示装置。
【請求項７】
前記第１信号線と交差するように配置され、前記第１表示部の第１画素部を駆動するための複数のゲート線をさらに備え、
前記第１表示部の第１画素部は、画素電極を含み、
前記所定の１フレーム期間における所定の前記ゲート線と対応する前記第１画素部の画

素電極と前記第１信号線との電位差は、前記所定の１フレーム期間の次の１フレーム期間における前記所定のゲート線に隣接する前記ゲート線と対応する前記第１画素部の画素電極と前記第１信号線との電位差と実質的に同じになるように構成されている、請求項６に記載の表示装置。

【請求項８】

前記第２表示部に信号を供給するための複数の第２信号線と、第２スイッチング素子とをさらに備え、

前記第２表示部は、複数の第２画素部と、前記複数の第２画素部に共通に設けられた第２共通電極とを含み、

前記第２スイッチング素子は、前記第２信号線と前記第２共通電極との間に設けられ、前記第２信号線と前記第２共通電極とを接続するか否かを制御する機能を有する、請求項１～７のいずれか１項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示装置に関し、特に、複数の表示部を備えた表示装置に関する。

【背景技術】

【０００２】

従来、２つの表示部を備えた表示装置が知られている（たとえば、特許文献１参照）。

【０００３】

上記特許文献１には、メインディスプレイ（第１表示部）と、サブディスプレイ（第２表示部）と、駆動ＩＣと、メインディスプレイおよびサブディスプレイにそれぞれ配置されたデータ線（信号線）および走査線（ゲート線）とを備えた液晶装置（表示装置）が開示されている。この液晶装置では、駆動ＩＣにより、メインディスプレイおよびサブディスプレイを交互に駆動することによって、メインディスプレイおよびサブディスプレイを共に表示させることが可能であると考えられる。

【０００４】

【特許文献１】特開２００６－３１０３４号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、上記特許文献１に開示された従来の液晶装置では、メインディスプレイおよびサブディスプレイの一方を駆動するときには、メインディスプレイおよびサブディスプレイの他方を駆動するのが困難であるので、非駆動時のメインディスプレイおよびサブディスプレイにおいて、リーク電流が発生する場合があるという不都合がある。この場合に、走査線（ゲート線）の奇数ラインのリーク電流と偶数ラインのリーク電流との間にばらつきが発生する場合には、走査線の奇数ラインの表示輝度と偶数ラインの表示輝度との間にばらつきが発生するので、メインディスプレイおよびサブディスプレイの表示品位が低下するという問題点がある。

【０００６】

この発明は、上記のような課題を解決するためになされたものであり、この発明の１つの目的は、表示品位の低下を抑制することが可能な表示装置を提供することである。

【課題を解決するための手段および発明の効果】

【０００７】

上記目的を達成するために、この発明の一の局面における表示装置は、複数の第１画素部と、複数の第１画素部に共通に設けられた第１共通電極とを含む第１表示部と、第１画素部に信号を供給するための複数の第１信号線と、第２表示部とを備え、第２表示部の駆動時に、第１信号線と第１共通電極とを接続するように構成されている。

【０００８】

この発明の一の局面による表示装置では、上記のように、第２表示部の駆動時に、第１

表示部の第１信号線と第１共通電極とを接続することによって、第１信号線の電位を第１共通電極の電位と同じにすることができる。ここで、第１共通電極および画素電極に印加する電圧の極性を１フレーム毎に反転させるフレーム反転駆動を行い、かつ、第１共通電極および画素電極に印加する電圧の極性をゲート線の１ライン毎に反転させるライン反転駆動を行う場合に、たとえば、各フレーム期間で各ゲート線の各ラインに配置された画素電極に同じデータを書き込む場合には、所定の１フレーム期間におけるゲート線の奇数ラインに配置された画素電極と第１共通電極との間の電位差と、所定の１フレーム期間の次の１フレーム期間におけるゲート線の偶数ラインに配置された画素電極と第１共通電極との間の電位差は実質的に等しくなる。本発明はこの点に着目して、第１信号線の電位を第１共通電極の電位と同じにすることによって、所定の１フレーム期間におけるゲート線の奇数ライン（偶数ライン）に配置された画素電極と第１信号線との間の電位差と、所定の１フレーム期間の次の１フレーム期間におけるゲート線の偶数ライン（奇数ライン）に配置された画素電極と第１信号線との間の電位差とを実質的に同じにすることができる。これにより、所定の１フレーム期間において発生する奇数ライン（偶数ライン）のリーク電流と、所定の１フレーム期間の次の１フレーム期間において発生する偶数ライン（奇数ライン）のリーク電流とを実質的に同じにすることができる。これにより、第２表示部の駆動時に第１表示部において、奇数ラインのリーク電流と偶数ラインのリーク電流との間にばらつきが発生するのを抑制することができるので、奇数ラインの表示輝度と偶数ラインの表示輝度との間にばらつきが発生するのを抑制することができる。その結果、第１表示部の表示品位が低下するのを抑制することができる。

【０００９】

上記一の局面による表示装置において、好ましくは、第２表示部に信号を供給するための複数の第２信号線をさらに備え、第２表示部は、複数の第２画素部と、複数の第２画素部に共通に設けられた第２共通電極とを含み、第１表示部の駆動時に、第２信号線と第２共通電極とを接続するように構成されている。このように構成すれば、第１表示部の駆動時に第２表示部において、奇数ラインのリーク電流と偶数ラインのリーク電流との間にばらつきが発生するのを抑制することができるので、第２表示部も表示品位が低下するのを抑制することができる。

【００１０】

この場合において、好ましくは、第１表示部の第１画素部を駆動する際に、第１信号線と第１共通電極との接続を分離するとともに、第２表示部の第２画素部を駆動する際に、第２信号線と第２共通電極との接続を分離するように構成されている。このように構成すれば、第１表示部の表示品位が低下するのを抑制している間に、第２表示部の第２画素部に書き込むことができるとともに、第２表示部の表示品位が低下するのを抑制している間に、第１表示部の第１画素部に書き込むことができる。

【００１１】

上記一の局面による表示装置において、好ましくは、第１信号線と第１共通電極との間に設けられ、第１信号線と第１共通電極とを接続するか否かを制御する第１スイッチング素子をさらに備える。このように構成すれば、第１スイッチング素子により、容易に、第１信号線と第１共通電極とを接続および分離することができる。

【００１２】

上記第１スイッチング素子を備える表示装置において、好ましくは、第１共通電極の電位を制御する機能を有するとともに、第１信号線をプリチャージする機能を有する電位制御部をさらに備え、電位制御部は、第１表示部の非駆動時に、第１スイッチング素子により接続された第１信号線および第１共通電極の電位を制御するとともに、第１表示部の駆動時に、第１共通電極の電位を制御するとともに、プリチャージの際に第１スイッチング素子により接続された第１信号線をプリチャージするように構成されている。このように構成すれば、第１表示部の駆動時に第１共通電極の電位を制御するとともに第１信号線をプリチャージするための電位制御部を用いて、第１表示部の非駆動時に、第１表示部の第１信号線および第１共通電極の両方の電位を制御することができるので、第１表示部の非

駆動時に第１信号線の電位を制御するための専用の電位制御部を別途設ける必要がない。その結果、回路構成が複雑になるのを抑制することができる。

【００１３】

上記一の局面による表示装置において、好ましくは、第１信号線および第１共通電極の電位を制御する機能を有する電位制御部をさらに備え、電位制御部は、第１表示部の非駆動時に第２表示部を駆動する際の所定の１フレーム期間において、所定の１水平期間に、第１表示部の第１信号線および第１共通電極を第１電位に制御するとともに、所定の１水平期間の次の１水平期間に、第１表示部の第１信号線および第１共通電極を第１電位と異なる第２電位に制御するように構成され、第１表示部の非駆動時に第２表示部を駆動する際の所定の１フレーム期間の次の１フレーム期間において、所定の１水平期間に、第１表示部の第１信号線および第１共通電極を第２電位に制御するとともに、所定の１水平期間の次の１水平期間に、第１表示部の第１信号線および第１共通電極を第１電位に制御するように構成されている。このように構成すれば、第１表示部において、たとえば、各フレーム期間で各ゲート線の各ラインに配置された画素電極に同じデータを書き込む場合に、容易に、所定の１フレーム期間における奇数ラインに配置された画素電極と第１信号線との間の電位差と、所定の１フレーム期間の次の１フレーム期間における偶数ラインに配置された画素電極と第１信号線との間の電位差とを実質的に同じにすることができるとともに、所定の１フレーム期間における偶数ラインに配置された画素電極と第１信号線との間の電位差と、所定の１フレーム期間の次の１フレーム期間における奇数ラインに配置された画素電極と第１信号線との間の電位差とを実質的に同じにすることができる。なお、本発明において１フレーム期間とは、第１表示部と第２表示部とをそれぞれ１回ずつ駆動することをいう。

【００１４】

この場合において、好ましくは、第１信号線と交差するように配置され、第１表示部の第１画素部を駆動するための複数のゲート線をさらに備え、第１表示部の第１画素部は、画素電極を含み、所定の１フレーム期間における所定のゲート線と対応する第１画素部の画素電極と第１信号線との電位差は、所定の１フレーム期間の次の１フレーム期間における所定のゲート線に隣接するゲート線と対応する第１画素部の画素電極と第１信号線との電位差と実質的に同じになるように構成されている。このように構成すれば、第１表示部において、容易に、所定の１フレーム期間において発生する奇数ラインのリーク電流と、所定の１フレーム期間の次の１フレーム期間において発生する偶数ラインのリーク電流とを実質的に同じにすることができるとともに、所定の１フレーム期間において発生する偶数ラインのリーク電流と、所定の１フレーム期間の次の１フレーム期間において発生する奇数ラインのリーク電流とを実質的に同じにすることができる。

【００１５】

上記一の局面による表示装置において、好ましくは、第２表示部に信号を供給するための複数の第２信号線と、第２スイッチング素子とをさらに備え、第２表示部は、複数の第２画素部と、複数の第２画素部に共通に設けられた第２共通電極とを含み、第２スイッチング素子は、第２信号線と第２共通電極との間に設けられ、第２信号線と第２共通電極とを接続するか否かを制御する機能を有する。このように構成すれば、第２スイッチング素子により、容易に、第２信号線と第２共通電極とを接続および分離することができる。

【発明を実施するための最良の形態】

【００１６】

以下、本発明の実施形態を図面に基づいて説明する。

【００１７】

図１は、本発明の一実施形態による液晶表示装置の構成を示した回路図である。まず、図１を参照して、本発明の一実施形態による液晶表示装置１００の構成について説明する。なお、本実施形態では、表示装置の一例である液晶表示装置１００に本発明を適用した場合について説明する。

【００１８】

本発明の一実施形態による液晶表示装置１００は、図１に示すように、メイン基板１０と、サブ基板２０と、メイン基板１０とサブ基板２０とを電気的に接続するためのＦＰＣ（フレキシブルプリント配線板）３０とを備えている。

【００１９】

メイン基板１０上には、ドット（副画素）１１ａがマトリクス状に配置された表示部１１と、表示部１１のゲート線ＧＬ１～ＧＬ３２０（以下、ゲート線ＧＬという）を駆動（走査）するためのＶスキャナ（垂直スキャナ）１２と、表示部１１に供給される画像信号ＳＭ１～ＳＭ２４０を切り替えるためのＨＳＷ（水平スイッチ）１３と、後述する共通電極１１ｄの電位を制御するためのＣＯＭ１４と、信号線ＳＬＲ１～ＳＬＲ２４０、ＳＬＧ１～ＳＬＧ２４０およびＳＬＢ１～ＳＬＢ２４０（以下、信号線ＳＬという）とＣＯＭ１４との間に設けられたＤＳＷ（プリチャージ用スイッチ）１５と、表示部１１および後述する表示部２１の表示を制御するための駆動ＩＣ１６とが設けられている。なお、表示部１１は、本発明の「第１表示部」の一例であり、ＣＯＭ１４は、本発明の「電位制御部」の一例である。また、ＤＳＷ１５は、本発明の「第１スイッチング素子」の一例である。

【００２０】

表示部１１には、ゲート線ＧＬと、信号線ＳＬとが交差するように配置されており、各々の交差する領域の近傍にはドット１１ａが配置されている。なお、ゲート線ＧＬは、本発明の「ゲート線」の一例であり、信号線ＳＬは、本発明の「第１信号線」の一例である。また、図１の表示部１１には、簡略化のために一部のドット１１ａのみを示している。ドット１１ａは、ｎ型のトランジスタ１１ｂと、画素電極１１ｃと、画素電極１１ｃに対向配置された各ドット１１ａに共通の共通電極１１ｄと、画素電極１１ｃと共通電極１１ｄとの間に挟持された液晶１１ｅと、補助容量１１ｆとによって構成されている。なお、ドット１１（副画素）ａは、本発明の「第１画素部」の一例であり、画素電極１１ｃは、本発明の「画素電極」の一例である。また、共通電極１１ｄは、本発明の「第１共通電極」の一例である。

【００２１】

また、トランジスタ１１ｂは、ソース／ドレインの一方が画素電極１１ｃと補助容量１１ｆの一方の電極とに接続されるとともに、ゲートがゲート線ＧＬ１（ＧＬ２～ＧＬ３２０）に接続されている。このトランジスタ１１ｂは、５００℃程度の低温状況下において形成された多結晶シリコン（ポリシリコン）（以下、「低温ポリシリコン」という）からなる能動層を有するＴＦＴ（薄膜トランジスタ）からなる。

【００２２】

また、ドット１１ａは、トランジスタ１１ｂのソース／ドレインの他方が信号線ＳＬＲ１（ＳＬＲ２～ＳＬＲ２４０）に接続されたドット１１１ａと、トランジスタ１１ｂのソース／ドレインの他方が信号線ＳＬＧ１（ＳＬＧ２～ＳＬＧ２４０）に接続されたドット１１２ａと、トランジスタ１１ｂのソース／ドレインの他方が信号線ＳＬＢ１（ＳＬＢ２～ＳＬＢ２４０）に接続されたドット１１３ａとを含んでいる。また、ドット１１１ａ～１１３ａと対応する領域には、カラーフィルタ（図示せず）が配置されており、ドット１１１ａ～１１３ａは、それぞれ、赤色（Ｒ）、緑色（Ｇ）および青色（Ｂ）を発光可能に構成されている。したがって、ドット（副画素）１１１ａ～１１３ａにより、１つの画素１１４ａが構成されている。このため、表示部１１には、２４０×３２０個の画素１１４ａが配置されている。

【００２３】

ＨＳＷ１３は、駆動ＩＣ１６から供給された画像信号ＳＭ１～ＳＭ２４０を時分割により分割するとともに、その分割された画像信号ＳＭ１～ＳＭ２４０を後述するイネーブル信号ＲＥＮＢＭ、ＧＥＮＢＭおよびＢＥＮＢＭに応じて、信号線ＳＬに切り替えて供給するために設けられている。

【００２４】

ＣＯＭ１４は、共通電極１１ｄの電位を制御するとともに、信号線ＳＬをプリチャージする機能を有する。

【００２５】
ここで、本実施形態では、ＤＳＷ１５は、信号線ＳＬと共通電極１１ｄとを接続するか否かを制御するために設けられている。また、ＤＳＷ１５は、信号線ＳＬ毎に設けられたｎ型のトランジスタ１５ａを有する。このトランジスタ１５ａは、ソース／ドレインの一方が信号線ＳＬに接続されるとともに、ソース／ドレインの他方が共通電極１１ｄに接続されている。このトランジスタ１５ａは、低温ポリシリコンからなる能動層を有するＴＦＴからなる。また、トランジスタ１５ａは、表示部１１の非駆動時において、駆動ＩＣ１６から出力された後述するプリチャージ信号ＤＳＧＭにより、オン状態になるように構成されている。すなわち、トランジスタ１５ａは、表示部１１の非駆動時において、信号線ＳＬと共通電極１１ｄとを接続するように構成されている。

【００２６】
サブ基板２０上には、ドット（副画素）２１ａがマトリクス状に配置された表示部２１と、表示部２１のゲート線ＧＬ１～ＧＬ３２０（以下、ゲート線ＧＬという）を駆動（走査）するためのＶスキャナ２２と、表示部２１に供給される画像信号ＳＳ１～ＳＳ２４０を切り替えるためのＨＳＷ２３と、後述する共通電極２１ｄの電位を制御するためのＣＯＭ２４と、信号線ＳＬＲ１～ＳＬＲ２４０、ＳＬＧ１～ＳＬＧ２４０およびＳＬＢ１～ＳＬＢ２４０（以下、信号線ＳＬという）とＣＯＭ２４との間に設けられたＤＳＷ２５とが設けられている。なお、表示部２１は、本発明の「第２表示部」の一例であり、ＤＳＷ２５は、本発明の「第２スイッチング素子」の一例である。

【００２７】
表示部２１には、ゲート線ＧＬと、信号線ＳＬとが交差するように配置されており、各々の交差する領域の近傍にはドット２１ａが配置されている。なお、信号線ＳＬは、本発明の「第２信号線」の一例である。また、図１の表示部２１には、簡略化のために一部のドット２１ａのみを示している。ドット２１ａは、ｎ型のトランジスタ２１ｂと、画素電極２１ｃと、画素電極２１ｃに対向配置された各ドット２１ａに共通の共通電極２１ｄと、画素電極２１ｃと共通電極２１ｄとの間に挟持された液晶２１ｅと、補助容量２１ｆとによって構成されている。なお、ドット（副画素）２１ａは、本発明の「第２画素部」の一例であり、共通電極２１ｄは、本発明の「第２共通電極」の一例である。

【００２８】
また、トランジスタ２１ｂは、ソース／ドレインの一方が画素電極２１ｃと補助容量２１ｆの一方の電極とに接続されるとともに、ゲートがゲート線ＧＬ１（ＧＬ２～ＧＬ３２０）に接続されている。このトランジスタ２１ｂは、低温ポリシリコンからなる能動層を有するＴＦＴからなる。

【００２９】
また、ドット２１ａは、トランジスタ２１ｂのソース／ドレインの他方が信号線ＳＬＲ１（ＳＬＲ２～ＳＬＲ２４０）に接続されたドット２１１ａと、トランジスタ２１ｂのソース／ドレインの他方が信号線ＳＬＧ１（ＳＬＧ２～ＳＬＧ２４０）に接続されたドット２１２ａと、トランジスタ２１ｂのソース／ドレインの他方が信号線ＳＬＢ１（ＳＬＢ２～ＳＬＢ２４０）に接続されたドット２１３ａとを含んでいる。また、ドット２１１ａ～２１３ａと対応する領域には、カラーフィルタ（図示せず）が配置されており、ドット２１１ａ～２１３ａは、それぞれ、赤色（Ｒ）、緑色（Ｇ）および青色（Ｂ）を発光可能に構成されている。したがって、ドット２１１ａ～２１３ａ（副画素）により、１つの画素２１４ａが構成されている。このため、表示部２１には、２４０×３２０個の画素２１４ａが配置されている。

【００３０】
ＨＳＷ２３は、駆動ＩＣ１６から供給された画像信号ＳＳ１～ＳＳ２４０を時分割により分割するとともに、その分割された画像信号ＳＳ１～ＳＳ２４０を後述するイネーブル信号ＲＥＮＢＳ、ＧＥＮＢＳおよびＢＥＮＢＳに応じて、信号線ＳＬに切り替えて供給するために設けられている。

【００３１】

ＣＯＭ２４は、共通電極２１ｄの電位を制御するとともに、信号線ＳＬをプリチャージする機能を有する。

【００３２】

また、本実施形態では、ＤＳＷ２５は、信号線ＳＬと共通電極２１ｄとを接続するか否かを制御するために設けられている。また、ＤＳＷ２５は、信号線ＳＬ毎に設けられたｎ型のトランジスタ２５ａを有する。このトランジスタ２５ａは、ソース／ドレインの一方が信号線ＳＬに接続されるとともに、ソース／ドレインの他方が共通電極２１ｄに接続されている。このトランジスタ２５ａは、低温ポリシリコンからなる能動層を有するＴＦＴからなる。また、トランジスタ２５ａは、表示部２１の非駆動時において、駆動ＩＣ１６から出力された後述するプリチャージ信号ＤＳＧＳにより、オン状態になるように構成されている。すなわち、トランジスタ２５ａは、表示部２１の非駆動時において、信号線ＳＬと共通電極２１ｄとを接続するように構成されている。

【００３３】

駆動ＩＣ１６は、Ｖスキャナ１２を制御するためのスタート信号ＳＴＶＭ、クロック信号ＣＫＶＭ、イネーブル信号ＶＥＮＢＭおよび走査方向切替信号ＣＳＶＭと、Ｖスキャナ２２を制御するためのスタート信号ＳＴＶＳ、クロック信号ＣＫＶＳ、イネーブル信号ＶＥＮＢＳおよび走査方向切替信号ＣＳＶＳとを出力する機能を有する。なお、図１では、簡略化のため、スタート信号ＳＴＶＭ、クロック信号ＣＫＶＭ、イネーブル信号ＶＥＮＢＭおよび走査方向切替信号ＣＳＶＭ用の信号線として、１本の信号線のみを示したが、実際には、スタート信号ＳＴＶＭ、クロック信号ＣＫＶＭ、イネーブル信号ＶＥＮＢＭおよび走査方向切替信号ＣＳＶＭがそれぞれ供給される４本の信号線が設けられている。また、スタート信号ＳＴＶＳ、クロック信号ＣＫＶＳ、イネーブル信号ＶＥＮＢＳおよび走査方向切替信号ＣＳＶＳ用の信号線についても同様である。

【００３４】

また、駆動ＩＣ１６は、ＨＳＷ１３を制御するためのイネーブル信号ＲＥＮＢＭ、ＧＥＮＢＭおよびＢＥＮＢＭと、ＨＳＷ２３を制御するためのイネーブル信号ＲＥＮＢＳ、ＧＥＮＢＳおよびＢＥＮＢＳとを出力する機能を有する。なお、図１では、簡略化のため、イネーブル信号ＲＥＮＢＭ、ＧＥＮＢＭおよびＢＥＮＢＭ用の信号線として、１本の信号線のみを示したが、実際には、イネーブル信号ＲＥＮＢＭ、ＧＥＮＢＭおよびＢＥＮＢＭがそれぞれ供給される３本の信号線が設けられている。また、イネーブル信号ＲＥＮＢＳ、ＧＥＮＢＳおよびＢＥＮＢＳ用の信号線についても同様である。

【００３５】

また、駆動ＩＣ１６は、表示部１１を制御するための画像信号ＳＭ１～ＳＭ２４０と、表示部２１を制御するための画像信号ＳＳ１～ＳＳ２４０とを出力する機能を有する。なお、図１では、簡略化のため、画像信号ＳＭ１～ＳＭ２４０用の信号線として、１本の信号線のみを示したが、実際には、画像信号ＳＭ１～ＳＭ２４０がそれぞれ供給される２４０本の信号線が設けられている。また、画像信号ＳＳ１～ＳＳ２４０用の信号線についても同様である。また、この画像信号ＳＭ１～ＳＭ２４０は、画像信号Ｒ１～Ｒ２４０、Ｇ１～Ｇ２４０およびＢ１～Ｂ２４０を含んでいる。画像信号Ｒ１～Ｒ２４０、Ｇ１～Ｇ２４０およびＢ１～Ｂ２４０は、ＨＳＷ１３により時分割されることにより、それぞれ、信号線ＳＬＲ１～ＳＬＲ２４０、ＳＬＧ１～ＳＬＧ２４０およびＳＬＢ１～ＳＬＢ２４０に供給されるように構成されている。なお、画像信号ＳＳ１～ＳＳ２４０は、ＨＳＷ２３により時分割されること以外は画像信号ＳＭ１～ＳＭ２４０と同様である。

【００３６】

また、本実施形態では、駆動ＩＣ１６は、ＣＯＭ１４を制御するための制御信号ＶＣＯＭＡＣＭと、ＣＯＭ２４を制御するための制御信号ＶＣＯＭＡＣＳと、ＤＳＷ１５を制御するためのプリチャージ信号ＤＳＧＭと、ＤＳＷ２５を制御するためのプリチャージ信号ＤＳＧＳとを出力する機能を有する。また、駆動ＩＣ１６は、表示部１１の非駆動時において、Ｈレベルのプリチャージ信号ＤＳＧＭをＤＳＷ１５に供給するとともに、表示部２１の非駆動時において、Ｈレベルのプリチャージ信号ＤＳＧＳをＤＳＷ２５に供給するよ

うに構成されている。

【００３７】

また、駆動ＩＣ１６は、液晶１１ｅおよび２１ｅの劣化を抑制するために、１フレーム期間毎に液晶１１ｅおよび２１ｅに印加する電圧の極性を反転させるフレーム反転駆動を行うように構成されている。また、駆動ＩＣ１６は、液晶１１ｅおよび２１ｅに印加する電圧の極性を反転させることに起因して、各フレーム毎に表示輝度のばらつき（フリッカ）が発生するのを抑制するために、１水平期間（１Ｈ）毎（ゲート線ＧＬの１ライン毎）に液晶１１ｅおよび２１ｅに印加する電圧の極性を反転させるライン反転駆動を行うように構成されている。また、駆動ＩＣ１６は、画素電極１１ｃ（２１ｃ）に供給する画像信号ＳＭ１～ＳＭ２４０（ＳＳ１～ＳＳ２４０）の電圧の振幅を小さくするために、上記フレーム反転駆動およびライン反転駆動の際に、共通電極（コモン電極）１１ｄ（２１ｄ）に供給する電圧の極性を反転させるコモン反転駆動を行うように構成されている。ここで、１フレーム期間は、約１６ｍｓｅｃであり、表示部１１を約８ｍｓｅｃで１回駆動（走査）する期間と、表示部２１を約８ｍｓｅｃで１回駆動（走査）する期間とを有する。

【００３８】

図２～図１７は、本発明の一実施形態による液晶表示装置の表示動作について説明するための図である。次に、図１～図１７を参照して、本実施形態による液晶表示装置１００の表示動作について説明する。なお、以下の動作説明では、ｎ－１フレーム目の書き込み動作までが終了しており、全ての画素１１４ａおよび２１４ａが白色を表示する場合について説明する。

【００３９】

まず、表示部１１の１ライン目（ゲート線ＧＬ１）に対して書き込みを行う。図１に示すように、Ｖスキャナ１２には、駆動信号としてのスタート信号ＳＴＶＭ、クロック信号ＣＫＶＭおよびイネーブル信号ＶＥＮＢＭが供給される。これにより、Ｌレベルの信号が全てのゲート線ＧＬに供給され、全てのゲート線ＧＬに接続されたトランジスタ１１ｂがオフ状態になる。ＨＳＷ１３には、Ｌレベルのイネーブル信号ＲＥＮＢＭ、ＧＥＮＢＭおよびＢＥＮＢＭが供給される。また、ＤＳＷ１５には、Ｈレベルのプリチャージ信号ＤＳＧＭが供給され、トランジスタ１５ａがオン状態になる。このとき、ＣＯＭ１４により、全ての信号線ＳＬが所定の電位（ＶＣＯＭＡＣＭＬまたはＶＣＯＭＡＣＭＨ）にプリチャージされる。その後、ＤＳＷ１５には、Ｌレベルのプリチャージ信号ＤＳＧＭが供給され、トランジスタ１５ａがオフ状態になる。

【００４０】

次に、Ｈレベルの信号がゲート線ＧＬ１に供給され、ゲート線ＧＬ１に接続されたトランジスタ１１ｂがオン状態になる。このとき、ＣＯＭ１４には、制御信号ＶＣＯＭＡＣＭが供給される。これにより、共通電極１１ｄの電位は、ＶＣＯＭＡＣＭＬになる。

【００４１】

次に、ＨＳＷ１３には、Ｈレベルのイネーブル信号ＲＥＮＢＭが供給されるとともに、Ｌレベルのイネーブル信号ＧＥＮＢＭおよびＢＥＮＢＭが供給される。このとき、駆動ＩＣ１６から白色に対応する画像信号Ｒ１～Ｒ２４０が出力される。これにより、ゲート線ＧＬ１に接続されたドット１１１ａの画素電極１１ｃには、ＨＳＷ１３、信号線ＳＬＲ１～ＳＬＲ２４０およびゲート線ＧＬ１に接続されたトランジスタ１１ｂを介して画像信号Ｒ１～Ｒ２４０が供給される。このため、ゲート線ＧＬ１に接続されたドット１１１ａの画素電極１１ｃの電位がＶＷＨになる。

【００４２】

次に、ＨＳＷ１３には、Ｈレベルのイネーブル信号ＧＥＮＢＭが供給されるとともに、Ｌレベルのイネーブル信号ＲＥＮＢＭおよびＢＥＮＢＭが供給される。このとき、駆動ＩＣ１６から白色に対応する画像信号Ｇ１～Ｇ２４０が出力される。これにより、ゲート線ＧＬ１に接続されたドット１１２ａの画素電極１１ｃには、ＨＳＷ１３、信号線ＳＬＧ１～ＳＬＧ２４０およびゲート線ＧＬ１に接続されたトランジスタ１１ｂを介して画像信号Ｇ１～Ｇ２４０が供給される。このため、ゲート線ＧＬ１に接続されたドット１１２ａの

画素電極１１ｃの電位がＶＷＨになる。

【００４３】

次に、ＨＳＷ１３には、Ｈレベルのイネーブル信号ＢＥＮＢＭが供給されるとともに、Ｌレベルのイネーブル信号ＲＥＮＢＭおよびＧＥＮＢＭが供給される。このとき、駆動ＩＣ１６から白色に対応する画像信号Ｂ１～Ｂ２４０が出力される。これにより、ゲート線ＧＬ１に接続されたドット１１３ａの画素電極１１ｃには、ＨＳＷ１３、信号線ＳＬＢ１～ＳＬＢ２４０およびゲート線ＧＬ１に接続されたトランジスタ１１ｂを介して画像信号Ｂ１～Ｂ２４０が供給される。このため、ゲート線ＧＬ１に接続されたドット１１３ａの画素電極１１ｃの電位がＶＷＨになる。

【００４４】

このようにして、表示部１１の１ライン目（ゲート線ＧＬ１）に配置された画素１１４ａに対する白色データの書き込みが行われる。

【００４５】

そして、表示部１１の１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間において、表示部２１は駆動されない。なお、ｎ－１フレーム目の終了した時点では、図２に示すように、信号線ＳＬの電位はＶＷＬであり、共通電極２１ｄの電位はＶＣＯＭＡＣＳＨである。また、奇数ライン目のドット２１ａでは、画素電極２１ｃの電位はＶＷＨ＋ＶＣＯＭＡＣＳａｍｐであり、リーク電圧（画素電極２１ｃの電位－信号線ＳＬの電位）は、ＶＷＨ＋ＶＣＯＭＡＣＳａｍｐ－ＶＷＬである。また、偶数ライン目のドット２１ａでは、画素電極２１ｃの電位はＶＷＬであり、リーク電圧は、ＶＷＬ－ＶＷＬである。なお、ＶＣＯＭＡＣＳａｍｐとは、ＶＣＯＭＡＣＳＨ－ＶＣＯＭＡＣＳＬである。

【００４６】

表示部１１の１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間における表示部２１の具体的な動作としては、図１に示すように、Ｖスキャナ２２には、駆動信号としてのスタート信号ＳＴＶＳ、クロック信号ＣＫＶＳおよびイネーブル信号ＶＥＮＢＳが供給される。これにより、Ｌレベルの信号がゲート線ＧＬに供給され、ゲート線ＧＬに接続されたトランジスタ２１ｂがオフ状態のまま維持される。ＨＳＷ２３には、Ｌレベルのイネーブル信号ＲＥＮＢＳ、ＧＥＮＢＳおよびＢＥＮＢＳが供給される。ＣＯＭ２４には、制御信号ＶＣＯＭＡＣＳが供給される。これにより、共通電極２１ｄの電位は、ＶＣＯＭＡＣＳＨになる。

【００４７】

そして、本実施形態では、ＤＳＷ２５には、Ｈレベルのプリチャージ信号ＤＳＧＳが供給され、トランジスタ２５ａがオン状態になる。すなわち、ｎ－１フレーム目の終了後の１水平期間（１Ｈ）後において、表示部２１の共通電極２１ｄと信号線ＳＬとが接続される。このため、図２～図４に示すように、信号線ＳＬの電位と、共通電極２１ｄの電位とが同電位（ＶＣＯＭＡＣＳＨ）になる。また、奇数ライン目のドット２１ａでは、画素電極２１ｃの電位はＶＷＨ＋ＶＣＯＭＡＣＳａｍｐであり、リーク電圧がＶＷＨ＋ＶＣＯＭＡＣＳａｍｐ－ＶＣＯＭＡＣＳＨになる。また、偶数ライン目のドット２１ａでは、画素電極２１ｃの電位はＶＷＬであり、リーク電圧がＶＷＬ－ＶＣＯＭＡＣＳＨになる。したがって、図４に示すように、奇数ライン目のドット２１ａでは、画素電極２１ｃから信号線ＳＬにリーク電流が発生するような電位差が発生するとともに、偶数ライン目のドット２１ａでは、信号線ＳＬから画素電極２１ｃにリーク電流が発生するような電位差が発生する。

【００４８】

次に、表示部１１の２ライン目（ゲート線ＧＬ２）に対して書き込みを行う。まず、上記１ライン目に対する書き込み動作と同様に信号線ＳＬのプリチャージが行われる。

【００４９】

その後、図１に示すように、Ｈレベルの信号がゲート線ＧＬ２に供給され、ゲート線ＧＬ２に接続されたトランジスタ１１ｂがオン状態になる。このとき、ＣＯＭ１４には、制御信号ＶＣＯＭＡＣＭが供給される。これにより、共通電極１１ｄの電位は、ＶＣＯＭＡ

ＣＭＨになる。

【００５０】

次に、ＨＳＷ１３には、Ｈレベルのイネーブル信号ＲＥＮＢＭが供給されるとともに、Ｌレベルのイネーブル信号ＧＥＮＢＭおよびＢＥＮＢＭが供給される。このとき、駆動ＩＣ１６から画像信号Ｒ１～Ｒ２４０が出力される。これにより、ゲート線ＧＬ２に接続されたドット１１１ａの画素電極１１ｃには、ＨＳＷ１３、信号線ＳＬＲ１～ＳＬＲ２４０およびゲート線ＧＬ２に接続されたトランジスタ１１ｂを介して画像信号Ｒ１～Ｒ２４０が供給される。このため、ゲート線ＧＬ２に接続されたドット１１１ａの画素電極１１ｃの電位がＶＷＬになる。その後、ドット１１２ａおよび１１３ａに順に書き込みが行われる。なお、この書き込みは、白色に対応する画像信号Ｇ１～Ｇ２４０およびＢ１～Ｂ２４０の電位がＶＷＬであること以外は、上記１ライン目に対する書き込みと同様である。

【００５１】

このようにして、表示部１１の２ライン目（ゲート線ＧＬ２）に配置された画素１１４ａに対する書き込みが行われる。

【００５２】

そして、表示部１１の２ライン目（ゲート線ＧＬ２）に対する書き込みが行われる間において、表示部２１は、上記１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間と同様、駆動されない。そして、このｎ－１フレーム目の終了後の２水平期間（２Ｈ）後では、図２、図３および図５に示すように、ＣＯＭ２４により、共通電極２１ｄの電位がＶＣＯＭＡＣＳＬになる。そして、共通電極２１ｄと信号線ＳＬとが接続されていることにより、信号線ＳＬの電位もＶＣＯＭＡＣＳＬになる。また、奇数ライン目のドット２１ａでは、画素電極２１ｃの電位がＶＷＨになり、リーク電圧がＶＷＨ－ＶＣＯＭＡＣＳＬになる。また、偶数ライン目のドット２１ａでは、画素電極２１ｃの電位がＶＷＬ－ＶＣＯＭＡＣＳａｍｐになり、リーク電圧がＶＷＬ－ＶＣＯＭＡＣＳａｍｐ－ＶＣＯＭＡＣＳＬになる。したがって、図５に示すように、奇数ライン目のドット２１ａでは、画素電極２１ｃから信号線ＳＬにリーク電流が発生するような電位差が発生するとともに、偶数ライン目のドット２１ａでは、信号線ＳＬから画素電極２１ｃにリーク電流が発生するような電位差が発生する。

【００５３】

その後、表示部１１の３ライン目（ゲート線ＧＬ３）～３２０ライン目（ゲート線ＧＬ３２０）に対する書き込み動作を行う。なお、奇数ライン目に対する書き込み動作は、上記した１ライン目（ゲート線ＧＬ１）に対する書き込み動作と同様であり、偶数ライン目に対する書き込み動作は、上記した２ライン目（ゲート線ＧＬ２）に対する書き込み動作と同様である。

【００５４】

ここで、本実施形態では、ｎフレーム目の表示部１１に対する書き込み動作が行われている間において、図２に示すように、表示部２１の奇数ライン目のドット２１ａでは、画素電極２１ｃから信号線ＳＬにリーク電流が発生するようなＶＷＨ－ＶＣＯＭＡＣＳＬの電位差が発生するとともに、表示部２１の偶数ライン目のドット２１ａでは、信号線ＳＬから画素電極２１ｃにリーク電流が発生するようなＶＷＬ－ＶＣＯＭＡＣＳＨ（＝ＶＷＬ－ＶＣＯＭＡＣＳａｍｐ－ＶＣＯＭＡＣＳＬ）の電位差が発生する。

【００５５】

次に、表示部１１に対する書き込みの終了後に、表示部２１に対する書き込みを行う。なお、この表示部２１に対する書き込み動作は、上記した表示部１１に対する書き込み動作とほぼ同様である。

【００５６】

そして、表示部２１の１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間において、表示部１１は駆動されない。なお、ｎフレーム目の表示部１１の書き込み動作が終了した時点では、図６に示すように、信号線ＳＬの電位はＶＷＬであり、共通電極１１ｄの電位はＶＣＯＭＡＣＭＨである。また、奇数ライン目のドット１１ａでは、画素電極

１１ｃの電位はＶＷＨ＋ＶＣＯＭＡＣＭａｍｐであり、リーク電圧（画素電極１１ｃの電位－信号線ＳＬの電位）は、ＶＷＨ＋ＶＣＯＭＡＣＭａｍｐ－ＶＷＬである。また、偶数ライン目のドット１１ａでは、画素電極１１ｃの電位はＶＷＬであり、リーク電圧は、ＶＷＬ－ＶＷＬである。なお、ＶＣＯＭＡＣＭａｍｐとは、ＶＣＯＭＡＣＭＨ－ＶＣＯＭＡＣＭＬである。

【００５７】

表示部２１の１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間における表示部１１の具体的な動作としては、図１に示すように、Ｖスキャナ１２には、駆動信号としてのスタート信号ＳＴＶＭ、クロック信号ＣＫＶＭおよびイネーブル信号ＶＥＮＢＭが供給される。これにより、Ｌレベルの信号がゲート線ＧＬに供給され、ゲート線ＧＬに接続されたトランジスタ１１ｂがオフ状態のまま維持される。ＨＳＷ１３には、Ｌレベルのイネーブル信号ＲＥＮＢＭ、ＧＥＮＢＭおよびＢＥＮＢＭが供給される。ＣＯＭ１４には、制御信号ＶＣＯＭＡＣＭが供給される。これにより、共通電極１１ｄの電位は、ＶＣＯＭＡＣＭＨになる。

【００５８】

そして、本実施形態では、ＤＳＷ１５には、Ｈレベルのプリチャージ信号ＤＳＧＭが供給され、トランジスタ１５ａがオン状態になる。すなわち、ｎフレーム目の表示部１１の書き込み終了後の１水平期間（１Ｈ）後において、表示部１１の共通電極１１ｄと信号線ＳＬとが接続される。このため、図６～図８に示すように、信号線ＳＬの電位と、共通電極１１ｄの電位とが同電位（ＶＣＯＭＡＣＭＨ）になる。また、奇数ライン目のドット１１ａでは、画素電極１１ｃの電位はＶＷＨ＋ＶＣＯＭＡＣＭａｍｐであり、リーク電圧がＶＷＨ＋ＶＣＯＭＡＣＭａｍｐ－ＶＣＯＭＡＣＭＨになる。また、偶数ライン目のドット１１ａでは、画素電極１１ｃの電位はＶＷＬであり、リーク電圧がＶＷＬ－ＶＣＯＭＡＣＭＨになる。したがって、図８に示すように、奇数ライン目のドット１１ａでは、画素電極１１ｃから信号線ＳＬにリーク電流が発生するような電位差が発生するとともに、偶数ライン目のドット１１ａでは、信号線ＳＬから画素電極１１ｃにリーク電流が発生するような電位差が発生する。

【００５９】

また、表示部２１の２ライン目（ゲート線ＧＬ２）に対する書き込みが行われる間において、表示部１１は、上記１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間と同様、駆動されない。そして、このｎフレーム目の表示部１１の書き込み終了後の２水平期間（２Ｈ）後では、図６、図７および図９に示すように、ＣＯＭ１４により、共通電極１１ｄの電位がＶＣＯＭＡＣＭＬになる。そして、共通電極１１ｄと信号線ＳＬとが接続されていることにより、信号線ＳＬの電位もＶＣＯＭＡＣＭＬになる。また、奇数ライン目のドット１１ａでは、画素電極１１ｃの電位がＶＷＨになり、リーク電圧がＶＷＨ－ＶＣＯＭＡＣＭＬになる。また、偶数ライン目のドット１１ａでは、画素電極１１ｃの電位がＶＷＬ－ＶＣＯＭＡＣＭａｍｐになり、リーク電圧がＶＷＬ－ＶＣＯＭＡＣＭａｍｐＶＷＨ－ＶＣＯＭＡＣＭＬになる。したがって、図９に示すように、奇数ライン目のドット１１ａでは、画素電極１１ｃから信号線ＳＬにリーク電流が発生するような電位差が発生するとともに、偶数ライン目のドット１１ａでは、信号線ＳＬから画素電極１１ｃにリーク電流が発生するような電位差が発生する。

【００６０】

そして、ｎフレーム目の表示部２１に対する書き込み動作が行われている間において、図６に示すように、表示部１１の奇数ライン目のドット１１ａでは、画素電極１１ｃから信号線ＳＬにリーク電流が発生するようなＶＷＨ－ＶＣＯＭＡＣＭＬの電位差が発生するとともに、表示部１１の偶数ライン目のドット１１ａでは、信号線ＳＬから画素電極１１ｃにリーク電流が発生するようなＶＷＬ－ＶＣＯＭＡＣＭＨ（＝ＶＷＬ－ＶＣＯＭＡＣＭａｍｐ－ＶＣＯＭＡＣＭＬ）の電位差が発生する。

【００６１】

このようにして、液晶表示装置１００のｎフレーム目の書き込み動作が行われる。

【００６２】
次に、ｎ＋１フレーム目において、表示部１１に対して書き込みが行われる。なお、この表示部１１に対する書き込み動作は、液晶１１ｅに印加する電圧の極性を反転させる以外は、上記したｎフレーム目において表示部１１に対する書き込み動作と同様である。
【００６３】
そして、ｎ＋１フレーム目の表示部１１の１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間において、表示部２１は駆動されない。なお、ｎフレーム目の表示部２１の３２０ライン目の書き込み動作が終了した時点では、図１０に示すように、信号線ＳＬの電位はＶＷＨであり、共通電極２１ｄの電位はＶＣＯＭＡＣＳＬである。また、奇数ライン目のドット２１ａでは、画素電極２１ｃの電位はＶＷＬ－ＶＣＯＭＡＣＳａｍｐであり、リーク電圧はＶＷＬ－ＶＣＯＭＡＣＳａｍｐ－ＶＷＨである。また、偶数ライン目のドット２１ａでは、画素電極２１ｃの電位はＶＷＨであり、リーク電圧はＶＷＨ－ＶＷＨある。
【００６４】
また、ｎフレーム目の表示部２１に対する書き込み終了後の１水平期間（１Ｈ）後において、上記ｎフレーム目のときと同様に、表示部２１の共通電極２１ｄと信号線ＳＬとが接続される。このため、図１０～図１２に示すように、ＣＯＭ２４により、共通電極２１ｄの電位と、信号線ＳＬの電位とが同電位（ＶＣＯＭＡＣＳＬ）になる。また、奇数ライン目のドット２１ａでは、画素電極２１ｃの電位はＶＷＬ－ＶＣＯＭＡＣＳａｍｐであり、リーク電圧がＶＷＬ－ＶＣＯＭＡＣＳａｍｐ－ＶＣＯＭＡＣＳＬになる。また、偶数ライン目のドット２１ａでは、画素電極２１ｃの電位はＶＷＨであり、リーク電圧がＶＷＨ－－ＶＣＯＭＡＣＳＬになる。したがって、図１２に示すように、奇数ライン目のドット２１ａでは、信号線ＳＬから画素電極２１ｃにリーク電流が発生するような電位差が発生するとともに、偶数ライン目のドット２１ａでは、画素電極２１ｃから信号線ＳＬにリーク電流が発生するような電位差が発生する。
【００６５】
また、ｎ＋１フレーム目の表示部１１の２ライン目（ゲート線ＧＬ２）に対する書き込みが行われる間において、表示部２１は上記１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間と同様に駆動されない。そして、このｎフレーム目の表示部２１に対する書き込み終了後の２水平期間（２Ｈ）後では、図１０、図１１および図１３に示すように、ＣＯＭ２４により、共通電極２１ｄの電位がＶＣＯＭＡＣＳＨになる。そして、共通電極２１ｄと信号線ＳＬとが接続されていることにより、信号線ＳＬの電位もＶＣＯＭＡＣＳＨになる。また、奇数ライン目のドット２１ａでは、画素電極２１ｃの電位がＶＷＬになり、リーク電圧がＶＷＬ－ＶＣＯＭＡＣＳＨになる。また、偶数ライン目のドット２１ａでは、画素電極２１ｃの電位がＶＷＨ＋ＶＣＯＭＡＣＳａｍｐになり、リーク電圧がＶＷＨ＋ＶＣＯＭＡＣＳａｍｐ－ＶＣＯＭＡＣＳＨになる。したがって、図１３に示すように、奇数ライン目のドット２１ａでは、信号線ＳＬから画素電極２１ｃにリーク電流が発生するような電位差が発生するとともに、偶数ライン目のドット２１ａでは、画素電極２１ｃから信号線ＳＬにリーク電流が発生するような電位差が発生する。
【００６６】
そして、ｎ＋１フレーム目の表示部１１に対する書き込み動作が行われている間において、図１０に示すように、表示部２１の奇数ライン目のドット２１ａでは、信号線ＳＬから画素電極２１ｃにリーク電流が発生するようなＶＷＬ－ＶＣＯＭＡＣＳＨの電位差が発生するとともに、表示部２１の偶数ライン目のドット２１ａでは、画素電極２１ｃから信号線ＳＬにリーク電流が発生するようなＶＷＨ－ＶＣＯＭＡＣＳＬ（＝ＶＷＨ＋ＶＣＯＭＡＣＳａｍｐ－ＶＣＯＭＡＣＳＨ）の電位差が発生する。
【００６７】
次に、ｎ＋１フレーム目において、表示部２１に対して書き込みを行う。なお、この表示部２１に対する書き込み動作は、液晶２１ｅに印加する電圧の極性を反転させる以外は、上記ｎフレーム目における表示部２１に対する書き込み動作と同様である。

【００６８】
そして、ｎ＋１フレーム目の表示部２１の１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間において、表示部１１は駆動されない。なお、ｎ＋１フレーム目の表示部１１の３２０ライン目の書き込み動作が終了した時点では、図１４に示すように、信号線ＳＬの電位はＶＷＨであり、共通電極１１ｄの電位はＶＣＯＭＡＣＭＬである。また、奇数ライン目のドット１１ａでは、画素電極１１ｃの電位はＶＷＬ－ＶＣＯＭＡＣＭａｍｐであり、リーク電圧はＶＷＬ－ＶＣＯＭＡＣＭａｍｐ－ＶＷＨである。また、偶数ライン目のドット１１ａでは、画素電極１１ｃの電位はＶＷＨであり、リーク電圧はＶＷＨ－ＶＷＨである。

【００６９】
また、ｎ＋１フレーム目の表示部１１に対する書き込み終了後の１水平期間（１Ｈ）後において、上記ｎフレーム目のときと同様に、表示部１１の共通電極１１ｄと信号線ＳＬとが接続される。このため、図１４～図１６に示すように、ＣＯＭ１４により、共通電極１１ｄの電位と、信号線ＳＬの電位とが同電位（ＶＣＯＭＡＣＭＬ）になる。また、奇数ライン目のドット１１ａでは、画素電極１１ｃの電位はＶＷＬ－ＶＣＯＭＡＣＭａｍｐであり、リーク電圧がＶＷＬ－ＶＣＯＭＡＣＭａｍｐ－ＶＣＯＭＡＣＭＬになる。また、偶数ライン目のドット１１ａでは、画素電極１１ｃの電位はＶＷＨであり、リーク電圧がＶＷＨ－ＶＣＯＭＡＣＭＬになる。したがって、図１４に示すように、奇数ライン目のドット１１ａでは、信号線ＳＬから画素電極１１ｃにリーク電流が発生するような電位差が発生するとともに、偶数ライン目のドット１１ａでは、画素電極１１ｃから信号線ＳＬにリーク電流が発生するような電位差が発生する。

【００７０】
また、ｎ＋１フレーム目の表示部２１の２ライン目（ゲート線ＧＬ２）に対する書き込みが行われる間において、表示部１１は上記１ライン目（ゲート線ＧＬ１）に対する書き込みが行われる間と同様に駆動されない。そして、この表示部１１に対する書き込み終了後の２水平期間（２Ｈ）後では、図１４、図１５および図１７に示すように、ＣＯＭ１４により、共通電極１１ｄの電位がＶＣＯＭＡＣＭＨになる。そして、共通電極１１ｄと信号線ＳＬとが接続されていることにより、信号線ＳＬの電位もＶＣＯＭＡＣＭＨになる。また、奇数ライン目のドット１１ａでは、画素電極１１ｃの電位がＶＷＬになり、リーク電圧がＶＷＬ－ＶＣＯＭＡＣＭＨになる。また、偶数ライン目のドット１１ａでは、画素電極１１ｃの電位がＶＷＨ＋ＶＣＯＭＡＣＭａｍｐになり、リーク電圧がＶＷＨ＋ＶＣＯＭＡＣＭａｍｐ－ＶＣＯＭＡＣＭＨになる。したがって、図１７に示すように、奇数ライン目のドット１１ａでは、信号線ＳＬから画素電極１１ｃにリーク電流が発生するような電位差が発生するとともに、偶数ライン目のドット１１ａでは、画素電極１１ｃから信号線ＳＬにリーク電流が発生するような電位差が発生する。

【００７１】
そして、ｎ＋１フレーム目の表示部２１に対する書き込み動作が行われている間において、図１４に示すように、表示部１１の奇数ライン目のドット１１ａでは、信号線ＳＬから画素電極１１ｃにリーク電流が発生するようなＶＷＬ－ＶＣＯＭＡＣＭＨの電位差が発生するとともに、表示部１１の偶数ライン目のドット１１ａでは、画素電極１１ｃから信号線ＳＬにリーク電流が発生するようなＶＷＨ－ＶＣＯＭＡＬＭＬ（＝ＶＷＨ＋ＶＣＯＭＡＣＭａｍｐ－ＶＣＯＭＡＣＭＨ）の電位差が発生する。

【００７２】
このようにして、液晶表示装置１００のｎ＋１フレーム目の書き込み動作が行われる。その後、偶数フレーム目では、上記ｎフレーム目と同様に書き込み動作が行われ、奇数フレーム目では、上記ｎ＋１フレーム目と同様の書き込み動作が行われる。

【００７３】
本実施形態では、上記のように、表示部２１の駆動時に、表示部１１の信号線ＳＬと共通電極１１ｄとを接続することによって、信号線ＳＬの電位を共通電極１１ｄの電位と同じにすることができる。このため、ｎフレーム目における奇数ラインに配置された画素電

極１１ｃと信号線ＳＬとの間の電位差（ＶＷＨ－ＶＣＯＭＡＣＭＬ）を、ｎ＋１フレーム目における偶数ラインに配置された画素電極１１ｃと信号線ＳＬとの間の電位差（ＶＷＨ－ＶＣＯＭＡＣＭＬ）と実質的に同じにすることができるので、ｎフレーム目において発生する奇数ラインのリーク電流と、ｎ＋１フレーム期間において発生する偶数ラインのリーク電流とを実質的に同じにすることができる。また、ｎフレーム目における偶数ラインに配置された画素電極１１ｃと信号線ＳＬとの間の電位差（ＶＷＬ－ＶＣＯＭＡＣＭＨ）を、ｎ＋１フレーム目における奇数ラインに配置された画素電極１１ｃと信号線ＳＬとの間の電位差（ＶＷＬ－ＶＣＯＭＡＣＭＨ）を実質的に同じにすることができるので、ｎフレーム目において発生する偶数ラインのリーク電流と、ｎ＋１フレーム目において発生する奇数ラインのリーク電流とを実質的に同じにすることができる。これにより、表示部２１の駆動時に表示部１１において、奇数ラインのリーク電流と偶数ラインのリーク電流との間にばらつきが発生するのを抑制することができるので、奇数ラインの表示輝度と偶数ラインの表示輝度との間にばらつきが発生するのを抑制することができる。その結果、表示部１１の表示品位が低下するのを抑制することができる。

【００７４】

また、本実施形態では、表示部１１の駆動時に、信号線ＳＬと共通電極２１ｄとを接続することによって、表示部１１の駆動時に表示部２１において、奇数ラインのリーク電流と偶数ラインのリーク電流との間にばらつきが発生するのを抑制することができるので、奇数ラインの表示輝度と偶数ラインの表示輝度との間にばらつきが発生するのを抑制することができる。その結果、表示部２１も表示品位が低下するのを抑制することができる。

【００７５】

また、本実施形態では、表示部１１のドット１１ａを駆動する際に、信号線ＳＬと共通電極１１ｄとの接続を分離するとともに、表示部２１のドット２１ａを駆動する際に、信号線ＳＬと共通電極２１ｄとの接続を分離することによって、表示部１１の表示品位が低下するのを抑制している間に、表示部２１のドット２１ａに書き込むことができるとともに、表示部２１の表示品位が低下するのを抑制している間に、表示部１１のドット１１ａに書き込むことができる。

【００７６】

また、本実施形態では、信号線ＳＬと共通電極１１ｄとの間にＤＳＷ１５を設けることによって、容易に、信号線ＳＬと共通電極１１ｄとを接続および分離することができる。

【００７７】

また、本実施形態では、信号線ＳＬと共通電極２１ｄとの間にＤＳＷ２５を設けることによって、容易に、信号線ＳＬと共通電極２１ｄとを接続および分離することができる。

【００７８】

また、本実施形態では、共通電極１１ｄの電位を制御する機能を有するとともに、信号線ＳＬをプリチャージする機能を有するＣＯＭ１４を設けることによって、ＣＯＭ１４を用いて、表示部１１の非駆動時に、表示部１１の信号線ＳＬおよび共通電極１１ｄの両方の電位を制御することができるので、表示部１１の非駆動時に信号線ＳＬの電位を制御するための専用の電位制御部を別途設ける必要がない。その結果、回路構成が複雑になるのを抑制することができる。

【００７９】

また、本実施形態では、共通電極２１ｄの電位を制御する機能を有するとともに、信号線ＳＬをプリチャージする機能を有するＣＯＭ２４を設けることによって、ＣＯＭ２４を用いて、表示部２１の非駆動時に、表示部２１の信号線ＳＬおよび共通電極２１ｄの両方の電位を制御することができるので、表示部２１の非駆動時に信号線ＳＬの電位を制御するための専用の電位制御部を別途設ける必要がない。その結果、回路構成が複雑になるのを抑制することができる。

【００８０】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範

囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【００８１】

たとえば、上記実施形態では、表示部１１の非駆動時に、ＤＳＷ１５により、信号線ＳＬと共通電極１１ｄとを接続する例を示したが、本発明はこれに限らず、表示部１１の非駆動時に、ＤＳＷ１５以外のスイッチング素子により、信号線ＳＬと共通電極１１ｄとを接続するようにしてもよい。なお、表示部２１についても同様である。

【００８２】

また、上記実施形態では、ＣＯＭ１４および２４と駆動ＩＣ１６とを別個に設ける例を示したが、本発明はこれに限らず、ＣＯＭ１４および２４を駆動ＩＣ１６内に設けてもよい。また、ＣＯＭ１４のみを駆動ＩＣ１６内に設けてもよい。

【００８３】

また、上記実施形態では、画素数が２４０×３２０の表示部１１および２１を用いる例を示したが、本発明はこれに限らず、画素数が２４０×３２０以外のたとえば４８０×６４０の表示部１１および２１を用いてもよい。また、表示部１１の画素数と表示部２１の画素数とが異なるようにしてもよい。

【００８４】

また、上記実施形態では、駆動ＩＣ１６を基板１０に設ける例を示したが、本発明はこれに限らず、駆動ＩＣを表示部が形成された基板と異なる基板に形成してもよいし、ＦＰＣに形成してもよい。

【００８５】

また、上記実施形態では、本発明の表示装置を液晶表示装置１００に適用する例を示したが、本発明はこれに限らず、その他の表示装置にも本発明を適用可能である。

【００８６】

また、上記実施形態では、液晶表示装置１００に表示部１１および２１を設ける例を示したが、本発明はこれに限らず、液晶表示装置に３つ以上の表示部を形成してもよい。

【００８７】

また、上記実施形態では、低温ポリシリコンからなるＴＦＴを設ける例を示したが、本発明はこれに限らず、低温ポリシリコン以外のアモルファスシリコンまたは高温ポリシリコンなどからなるＴＦＴを設けるようにしてもよい。

【００８８】

また、上記実施形態では、画像信号ＳＭ１～ＳＭ２４０（ＳＳ１～ＳＳ２４０）を画像信号Ｒ１～Ｒ２４０、Ｇ１～Ｇ２４０およびＢ１～Ｂ２４０の３つに時分割する例を示したが、本発明はこれに限らず、画像信号を２つ、または、４つ以上に時分割するようにしてもよい。

【００８９】

また、上記実施形態では、駆動ＩＣ１６から出力される画像信号Ｒ１～Ｒ２４０、Ｇ１～Ｇ２４０およびＢ１～Ｂ２４０を時分割により切り替えて表示部１１（２１）に供給するＨＳＷ１３（２３）を設ける例を示したが、本発明はこれに限らず、ＨＳＷを設けずに、駆動ＩＣから出力される画像信号を時分割することなく表示部に直接供給するようにしてもよい。

【００９０】

また、上記実施形態では、トランジスタ１１ｂ（２１ｂ）を有するドット１１ａ（２１ａ）を表示部１１（２１）に形成する例を示したが、本発明はこれに限らず、ダイオードを有するドットを表示部に形成するようにしてもよい。

【図面の簡単な説明】

【００９１】

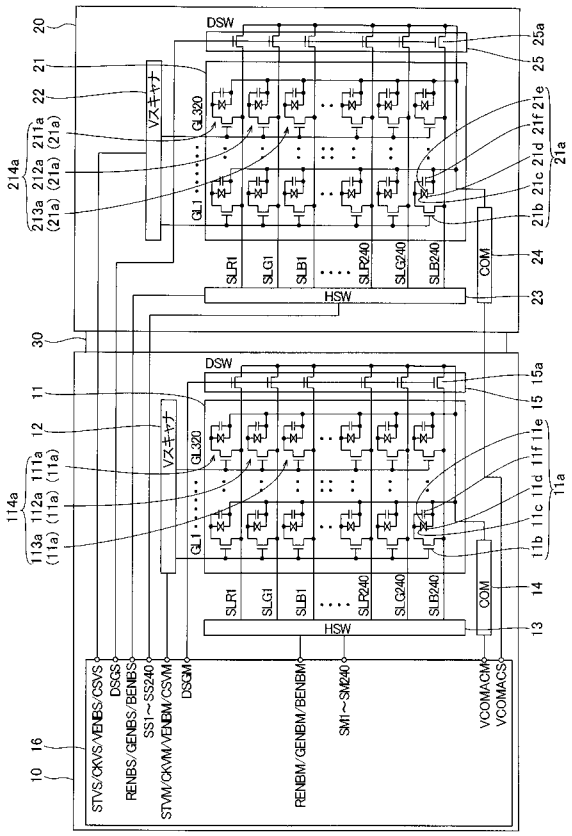
【図１】本発明の一実施形態による液晶表示装置の構成を示した回路図である。

【図２】図１に示した液晶表示装置のｎフレーム目のリーク電圧を示した図である。

【図３】図１に示した液晶表示装置のｎフレーム目の画素電極および信号線の電位を示し

た波形図である。
【図４】図１に示した液晶表示装置のｎフレーム目のリーク電流を示した回路図である。
【図５】図１に示した液晶表示装置のｎフレーム目のリーク電流を示した回路図である。
【図６】図１に示した液晶表示装置のｎフレーム目のリーク電圧を示した図である。
【図７】図１に示した液晶表示装置のｎフレーム目の画素電極および信号線の電位を示した波形図である。
【図８】図１に示した液晶表示装置のｎフレーム目のリーク電流を示した回路図である。
【図９】図１に示した液晶表示装置のｎフレーム目のリーク電流を示した回路図である。
【図１０】図１に示した液晶表示装置のｎ＋１フレーム目のリーク電圧を示した図である。
【図１１】図１に示した液晶表示装置のｎ＋１フレーム目の画素電極および信号線の電位を示した波形図である。
【図１２】図１に示した液晶表示装置のｎ＋１フレーム目のリーク電流を示した回路図である。
【図１３】図１に示した液晶表示装置のｎ＋１フレーム目のリーク電流を示した回路図である。
【図１４】図１に示した液晶表示装置のｎ＋１フレーム目のリーク電圧を示した図である。
【図１５】図１に示した液晶表示装置のｎ＋１フレーム目の画素電極および信号線の電位を示した波形図である。
【図１６】図１に示した液晶表示装置のｎ＋１フレーム目のリーク電流を示した回路図である。
【図１７】図１に示した液晶表示装置のｎ＋１フレーム目のリーク電流を示した回路図である。
【符号の説明】
【００９２】
１１　表示部（第１表示部）
１１ａ　ドット（第１画素部）
１１ｃ　画素電極（画素電極）
１１ｄ　共通電極（第１共通電極）
１４　ＣＯＭ（電位制御部）
１５　ＤＳＷ（第１スイッチング素子）
２１　表示部（第２表示部）
２１ａ　ドット（第２画素部）
２１ｄ　共通電極（第２共通電極）
２５　ＤＳＷ（第２スイッチング素子）
１００　液晶表示装置（表示装置）

【図１】



【図２】

表示部(21)駆動終了時点(最終ライン)
(n-1フレーム目)

VCOMACSamp:VCOMACSH-VCOMACSL

	信号線SLの電位	画素電極(21c)の電位	リーク電圧
1ライン目	VWL	VWH+VCOMACSamp	VWH+VCOMACSamp-VWL
2ライン目	VWL	VWL	VWL-VWL
⋮	⋮	⋮	⋮
319ライン目	VWL	VWH+VCOMACSamp	VWH+VCOMACSamp-VWL
320ライン目	VWL	VWL	VWL-VWL
共通電極(21d)の電位	VCOMACSH		

表示部(11)駆動時
(nフレーム目)

1水平期間後

	信号線SLの電位	画素電極(21c)の電位	リーク電圧
1ライン目	VCOMACSH	VWH+VCOMACSamp	VWH+VCOMACSamp-VCOMACSH
2ライン目	VCOMACSH	VWL	VWL-VCOMACSH
⋮	⋮	⋮	⋮
319ライン目	VCOMACSH	VWH+VCOMACSamp	VWH+VCOMACSamp-VCOMACSH
320ライン目	VCOMACSH	VWL	VWL-VCOMACSH
共通電極(21d)の電位	VCOMACSH		

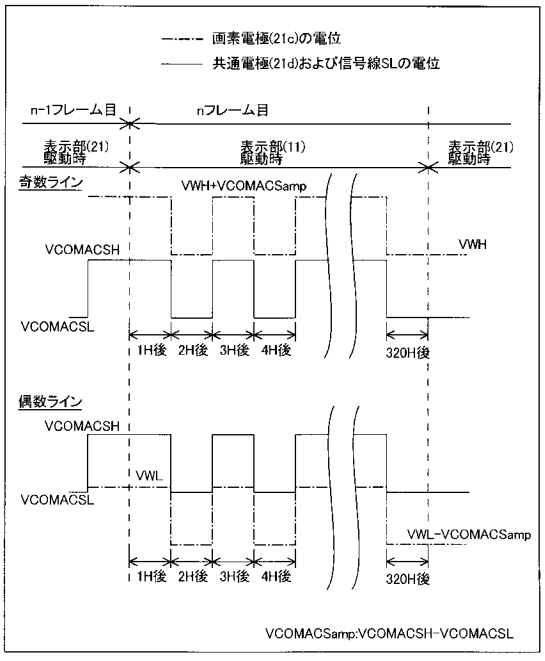
2水平期間後

	信号線SLの電位	画素電極(21c)の電位	リーク電圧
1ライン目	VCOMACSL	VWH	VWH-VCOMACSL
2ライン目	VCOMACSL	VWL-VCOMACSamp	VWL-VCOMACSamp-VCOMACSL
⋮	⋮	⋮	⋮
319ライン目	VCOMACSL	VWH	VWH-VCOMACSL
320ライン目	VCOMACSL	VWL-VCOMACSamp	VWL-VCOMACSamp-VCOMACSL
共通電極(21d)の電位	VCOMACSL		

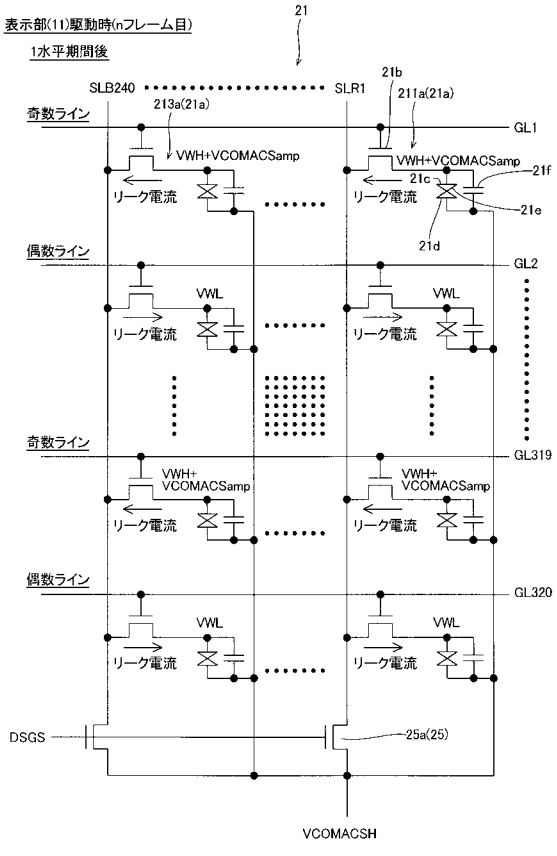
⋮

	1フレーム期間の平均リーク電圧
1ライン目	VWH-VCOMACSL
2ライン目	VWL-VCOMACSH
⋮	⋮
319ライン目	VWH-VCOMACSL
320ライン目	VWL-VCOMACSH

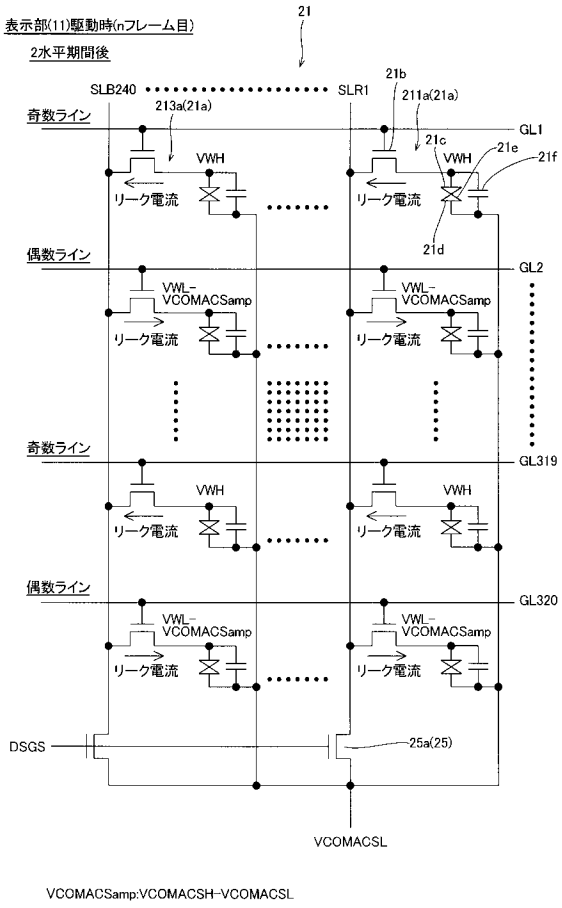
【図３】



【図４】



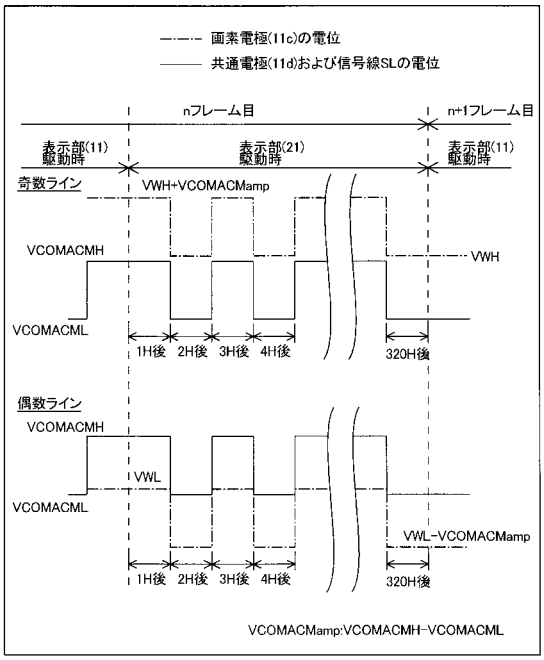
【図５】


表示部(11)駆動時(nフレーム目)
2水平期間後
21
SLB240
SLR1
21b
211a(21a)
213a(21a)
奇数ライン
GL1
21c
21e
21f
VWH
リーク電流
21d
偶数ライン
GL2
VWL−VCOMACSamp
奇数ライン
GL319
偶数ライン
GL320
DSGS
25a(25)
VCOMACSL
VCOMACSamp:VCOMACSH−VCOMACSL

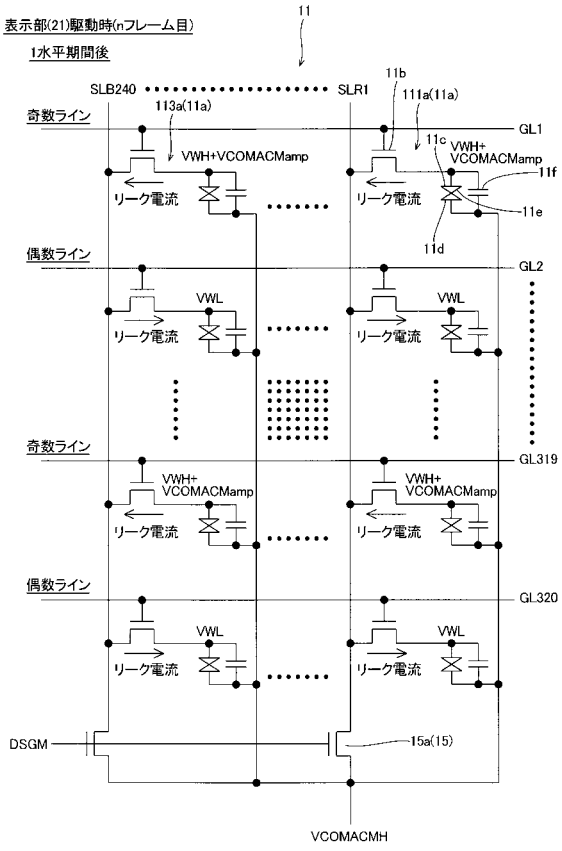
【図６】

表示部(11)駆動終了時点(最終ライン)
(nフレーム目)
VCOMACMamp:VCOMACMH−VCOMACML
信号線SLの電位
画素電極(11c)の電位
リーク電圧
1ライン目 VWL VWH+VCOMACMamp VWH+VCOMACMamp−VWL
2ライン目 VWL VWL VWL−VWL
319ライン目 VWL VWH+VCOMACMamp VWH+VCOMACMamp−VWL
320ライン目 VWL VWL VWL−VWL
共通電極(11d)の電位 VCOMACMH
表示部(21)駆動時
(nフレーム目)
1水平期間後
1ライン目 VCOMACMH VWH+VCOMACMamp VWH+VCOMACMamp−VCOMACMH
2ライン目 VCOMACMH VWL VWL−VCOMACMH
319ライン目 VCOMACMH VWH+VCOMACMamp VWH+VCOMACMamp−VCOMACMH
320ライン目 VCOMACMH VWL VWL−VCOMACMH
共通電極(11d)の電位 VCOMACMH
2水平期間後
1ライン目 VCOMACML VWH VWH−VCOMACML
2ライン目 VCOMACML VWL−VCOMACMamp VWL−VCOMACMamp−VCOMACML
319ライン目 VCOMACML VWH VWH−VCOMACML
320ライン目 VCOMACML VWL−VCOMACMamp VWL−VCOMACMamp−VCOMACML
共通電極(11d)の電位 VCOMACML
1フレーム期間の平均リーク電圧
1ライン目 VWH−VCOMACML
2ライン目 VWL−VCOMACMH
319ライン目 VWH−VCOMACML
320ライン目 VWL−VCOMACMH

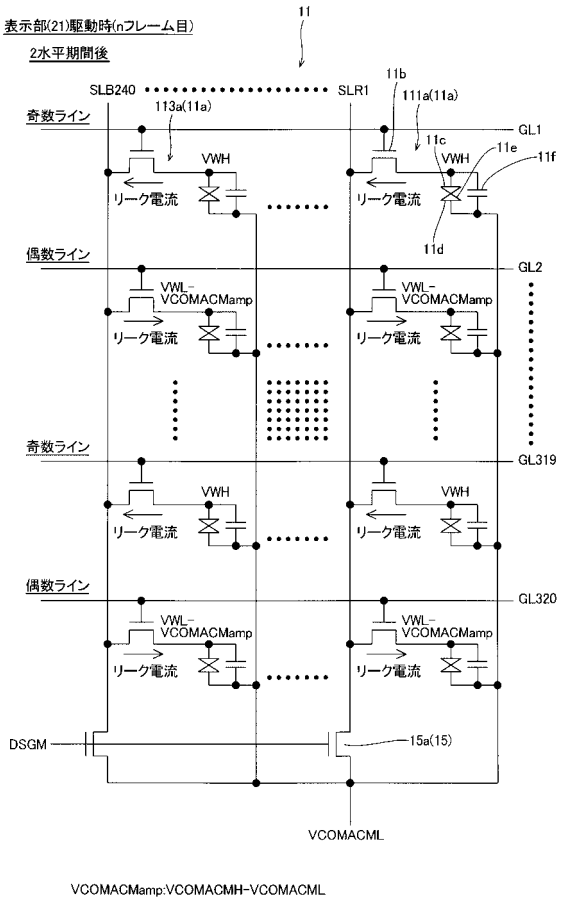
【図７】


画素電極(11c)の電位
共通電極(11d)および信号線SLの電位
nフレーム目
n+1フレーム目
表示部(11)駆動時
表示部(21)駆動時
表示部(11)駆動時
奇数ライン
VWH+VCOMACMamp
VCOMACMH
VWH
VCOMACML
1H後 2H後 3H後 4H後
320H後
偶数ライン
VWL
VWL−VCOMACMamp
VCOMACMamp:VCOMACMH−VCOMACML

【図８】


表示部(21)駆動時(nフレーム目)
1水平期間後
11
SLB240
SLR1
11b
111a(11a)
113a(11a)
奇数ライン
GL1
11c
VWH+VCOMACMamp
11f
リーク電流
11e
11d
偶数ライン
GL2
VWL
奇数ライン
GL319
偶数ライン
GL320
DSGM
15a(15)
VCOMACMH
VCOMACMamp:VCOMACMH−VCOMACML

【図９】



【図１０】

表示部(21)駆動終了時点(最終ライン)(nフレーム目)　VCOMACSamp:VCOMACSH-VCOMACSL

	信号線SLの電位	画素電極(21c)の電位	リーク電圧
1ライン目	VWH	VWL-VCOMACSamp	VWL-VCOMACSamp-VWH
2ライン目	VWH	VWH	VWH-VWH
⋮	⋮	⋮	⋮
319ライン目	VWH	VWL-VCOMACSamp	VWL-VCOMACSamp-VWH
320ライン目	VWH	VWH	VWH-VWH
共通電極(21d)の電位	VCOMACSL		

⇩

表示部(11)駆動時(n+1フレーム目)

1水平期間後

	信号線SLの電位	画素電極(21c)の電位	リーク電圧
1ライン目	VCOMACSL	VWL-VCOMACSamp	VWL-VCOMACSamp-VCOMACSL
2ライン目	VCOMACSL	VWH	VWH-VCOMACSL
⋮	⋮	⋮	⋮
319ライン目	VCOMACSL	VWL-VCOMACSamp	VWL-VCOMACSamp-VCOMACSL
320ライン目	VCOMACSL	VWH	VWH-VCOMACSL
共通電極(21d)の電位	VCOMACSL		

⇩

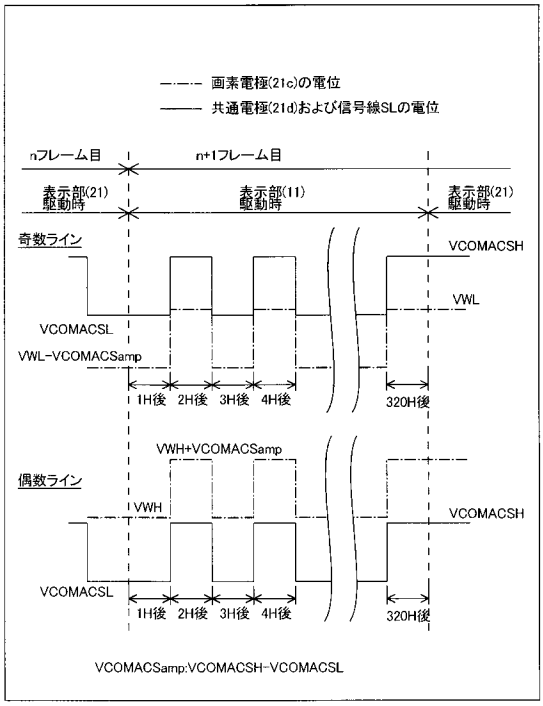
2水平期間後

	信号線SLの電位	画素電極(21c)の電位	リーク電圧
1ライン目	VCOMACSH	VWL	VWL-VCOMACSH
2ライン目	VCOMACSH	VWH+VCOMACSamp	VWH+VCOMACSamp-VCOMACSH
⋮	⋮	⋮	⋮
319ライン目	VCOMACSH	VWL	VWL-VCOMACSH
320ライン目	VCOMACSH	VWH+VCOMACSamp	VWH+VCOMACSamp-VCOMACSH
共通電極(21d)の電位	VCOMACSH		

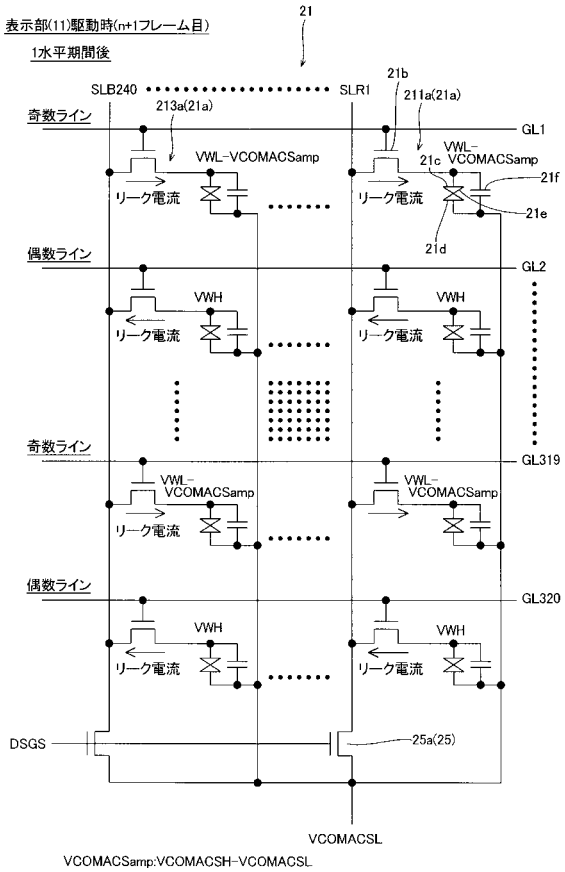
⋮

	1フレーム期間の平均リーク電圧
1ライン目	VWL-VCOMACSH
2ライン目	VWH-VCOMACSL
⋮	⋮
319ライン目	VWL-VCOMACSH
320ライン目	VWH-VCOMACSL

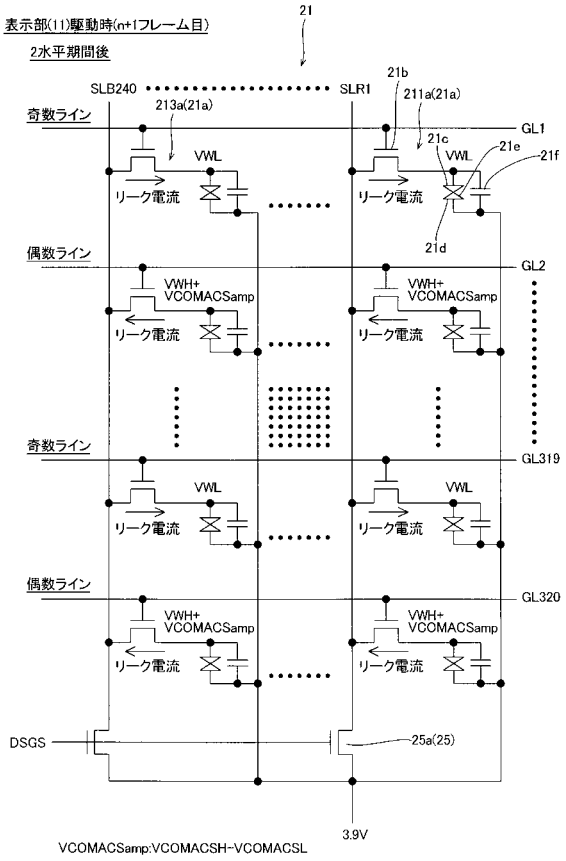
【図１１】



【図１２】



【図１３】



【図１４】

表示部(11)駆動終了時点(最終ライン)(n+1フレーム目)　VCOMACMamp:VCOMACMH-VCOMACML

	信号線SLの電位	画素電極(11c)の電位	リーク電圧
1ライン目	VWH	VWL-VCOMACMamp	VWL-VCOMACMamp-VWH
2ライン目	VWH	VWH	VWH-VWH
：	：	：	：
319ライン目	VWH	VWL-VCOMACMamp	VWL-VCOMACMamp-VWH
320ライン目	VWH	VWH	VWH-VWH
共通電極(11d)の電位	VCOMACML		

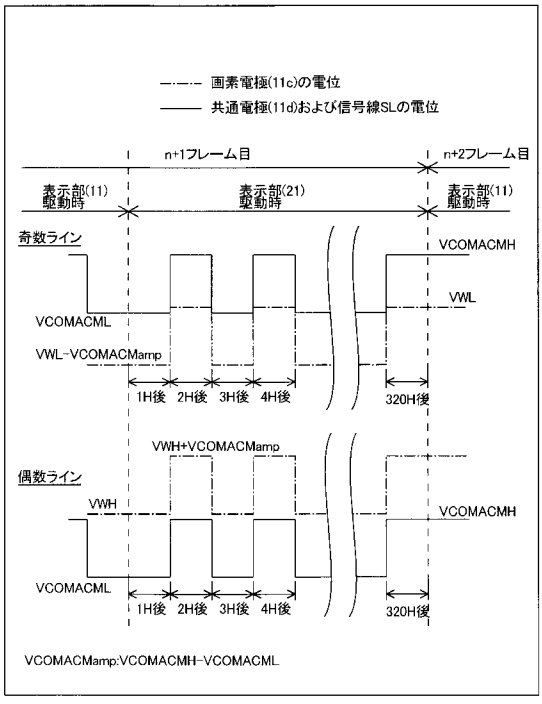
表示部(21)駆動時(n+1フレーム目)

	1水平期間後		
	信号線SLの電位	画素電極(11c)の電位	リーク電圧
1ライン目	VCOMACML	VWL-VCOMACMamp	VWL-VCOMACMamp-VCOMACML
2ライン目	VCOMACML	VWH	VWH-VCOMACML
：	：	：	：
319ライン目	VCOMACML	VWL-VCOMACMamp	VWL-VCOMACMamp-VCOMACML
320ライン目	VCOMACML	VWH	VWH-VCOMACML
共通電極(11d)の電位	VCOMACML		

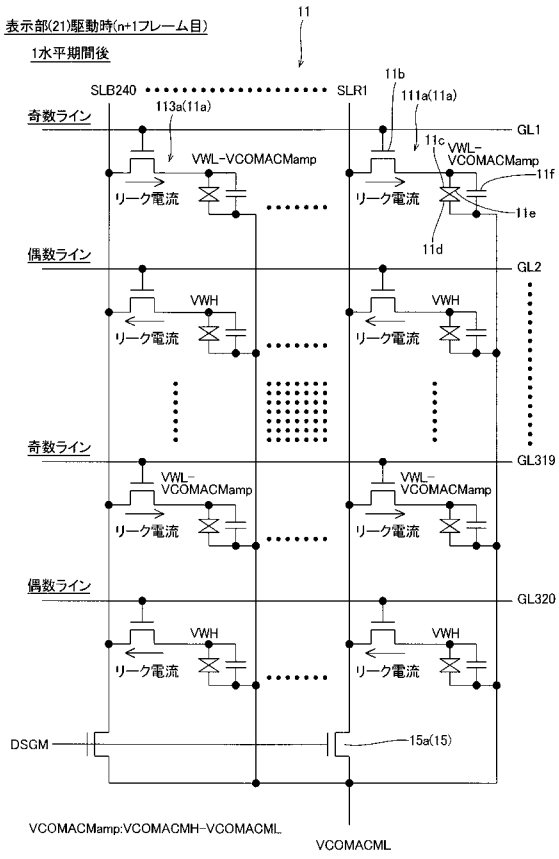
	2水平期間後		
	信号線SLの電位	画素電極(11c)の電位	リーク電圧
1ライン目	VCOMACMH	VWL	VWL-VCOMACMH
2ライン目	VCOMACMH	VWH+VCOMACMamp	VWH+VCOMACMamp-VCOMACMH
：	：	：	：
319ライン目	VCOMACMH	VWL	VWL-VCOMACMH
320ライン目	VCOMACMH	VWH+VCOMACMamp	VWH+VCOMACMamp-VCOMACMH
共通電極(11d)の電位	VCOMACMH		

	1フレーム期間の平均リーク電圧
1ライン目	VWL-VCOMACMH
2ライン目	VWH-VCOMACML
：	：
319ライン目	VWL-VCOMACMH
320ライン目	VWH-VCOMACML

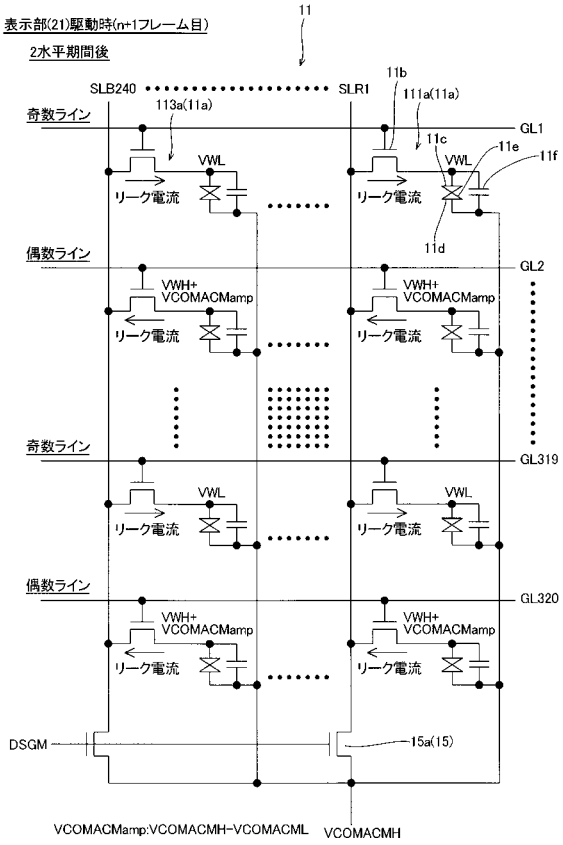
【図１５】



【図１６】



【図１７】

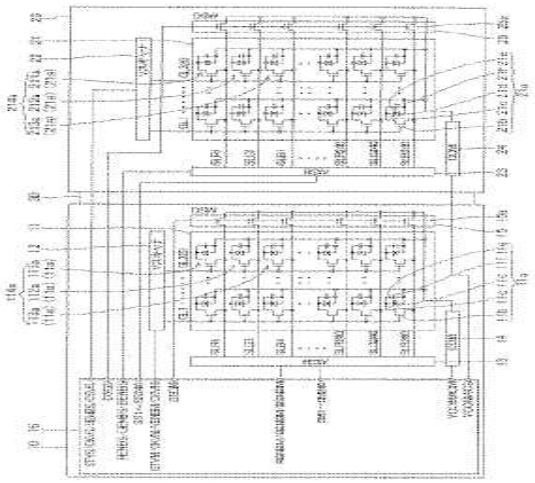

表示部(21)駆動時(n+1フレーム目)
2水平期間後
11
SLB240
SLR1
11b
111a(11a)
113a(11a)
奇数ライン
GL1
11c
11e
11f
VWL
リーク電流
11d
偶数ライン
GL2
VWH+
VCOMACMamp
奇数ライン
GL319
偶数ライン
GL320
DSGM
15a(15)
VCOMACMamp:VCOMACMH-VCOMACML
VCOMACMH

フロントページの続き

(51)Int.Cl.	FI			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６２１Ｂ	
	Ｇ０９Ｇ	3/20	６４２Ａ	
	Ｇ０９Ｆ	9/40	３０２	
	Ｇ０２Ｆ	1/133	５５０	

Ｆターム(参考) 5C094 AA02 AA53 BA03 BA43 DA08 DB01 DB04 EA07

专利名称(译)	表示装置		
公开(公告)号	JP2008256792A	公开(公告)日	2008-10-23
申请号	JP2007096574	申请日	2007-04-02
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	植栗將		
发明人	植栗 將		
IPC分类号	G09G3/36 G09G3/20 G09F9/40 G02F1/133		
FI分类号	G09G3/36 G09G3/20.680.D G09G3/20.624.C G09G3/20.623.A G09G3/20.621.F G09G3/20.621.B G09G3/20.642.A G09F9/40.302 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NC10 2H093/NC12 2H093/NC34 2H093/ND60 2H093/NE03 5C006/AC11 5C006/AC21 5C006/AC25 5C006/AF42 5C006/AF44 5C006/AF52 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF31 5C006/FA22 5C080/AA10 5C080/BB05 5C080/CC07 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C094/AA02 5C094/AA53 5C094/BA03 5C094/BA43 5C094/DA08 5C094/DB01 5C094/DB04 5C094/EA07 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZF22 2H193/ZF36 2H193/ZP03		
外部链接	Espacenet		

摘要(译)

提供一种能够抑制显示质量劣化的显示装置。 液晶显示装置（显示装置）100具有显示单元11，该显示单元11包括共同设置在点11a上的点11a和公共电极11d，并将图像信号SM1至SM240提供给点11a。信号线SL和显示单元21。液晶显示装置100被配置为在驱动显示单元21时连接信号线SL和公共电极11d。 [选图]图1