

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-208447

(P2005-208447A)

(43) 公開日 平成17年8月4日(2005.8.4)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
G02F 1/133 505
G02F 1/133 520
G02F 1/133 550
G09G 3/20 612L

テーマコード (参考)

2H093
5C006
5C080

審査請求 未請求 請求項の数 3 O L (全 14 頁) 最終頁に続く

(21) 出願番号

特願2004-16562 (P2004-16562)

(22) 出願日

平成16年1月26日 (2004.1.26)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(74) 代理人 100086298

弁理士 船橋 國則

(72) 発明者 小林 寛

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 2H093 NA16 NC04 NC15 NC22 NC23
NC31 NC34 ND09 ND37
5C006 AC09 AF42 AF43 AF71 BB16
BC13 BF03 BF26 BF27 BF34
FA16 FA22
5C080 AA10 BB05 DD05 FF11 JJ02
JJ03 JJ04

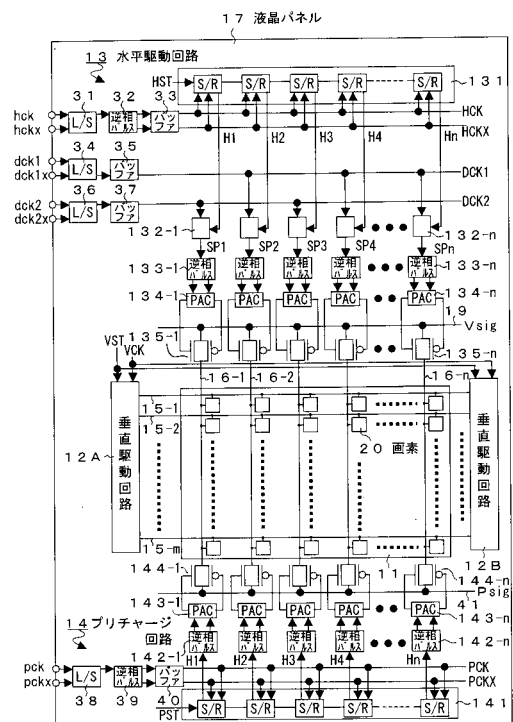
(54) 【発明の名称】 表示装置および表示装置の駆動方法

(57) 【要約】

【課題】UXGA, QXGAモデルの液晶パネルは画角が大きく、画素数が多く、信号ラインの負荷容量もXGA等比べて大きいために、点順次プリチャージ方式を採ったとしても、プリチャージパルスのパルス幅内ではプリチャージ信号電位を十分に書き込むことができない。

【解決手段】点順次プリチャージ方式のアクティブマトリクス型液晶表示装置において、プリチャージ回路14のシフトレジスタ141の転送パルスH1~HnそのものをプリチャージパルスP1~Pn(本例では、2相のプリチャージパルスP1, P1X~P4, Pn4)として用いることで、プリチャージパルスP1~Pnのパルス幅を広く設定し、当該パルス幅内でプリチャージ信号電位を確実に書き込めるようにする。

【選択図】図1



【特許請求の範囲】

【請求項 1】

電気光学素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、
前記画素アレイ部の画素を行単位で選択する垂直駆動手段と、
前記垂直駆動手段によって選択された行の画素に対して画素単位で映像信号を書き込む
水平駆動手段と、

前記水平駆動手段による前記映像信号の書き込みに先立って、あらかじめ所定レベルの
プリチャージ信号を画素単位で書き込むプリチャージ手段とを具備し、

前記プリチャージ手段は、

クロック信号に同期して順次転送パルスを出力するシフトレジスタと、

10

前記プリチャージ信号を入力するプリチャージラインと前記画素アレイ部の垂直画素列
ごとに配線された信号ラインとの間に接続され、前記シフトレジスタから順次出力される
前記転送パルスに応答して前記プリチャージ信号をサンプリングするプリチャージスイッ
チ群とを有する

ことを特徴とする表示装置。

【請求項 2】

前記プリチャージスイッチ群の各スイッチが C M O S アナログスイッチからなり、

前記プリチャージ手段は、

前記シフトレジスタから順次出力される前記転送パルスを基に互いに逆相の 2 相のプリ
チャージサンプリングパルスを生成する手段と、

20

前記 2 相のプリチャージサンプリングパルス相互間の位相を調整し、当該調整後の 2 相
のサンプリングパルスを前記 C M O S アナログスイッチに与える手段とをさらに有する

ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

電気光学素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、

前記画素アレイ部の画素を行単位で選択する垂直駆動手段と、

前記垂直駆動手段によって選択された行の画素に対して画素単位で映像信号を書き込む
水平駆動手段とを具備し、

前記水平駆動手段による前記映像信号の書き込みに先立って、あらかじめ所定レベルの
プリチャージ信号を画素単位で書き込む表示装置の駆動方法であって、

30

クロック信号に同期して順次転送パルスを出力する第 1 ステップと、

前記プリチャージ信号を入力するプリチャージラインと前記画素アレイ部の垂直画素列
ごとに配線された信号ラインとの間に接続されたプリチャージスイッチ群の各スイッチを
、前記第 1 ステップで順次出力する前記転送パルスによって直接サンプリング駆動する

ことを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および表示装置の駆動方法に関し、特に電気光学素子を含む画素が
行列状に 2 次元配置されてなる画素アレイ部の選択行の各画素に対して、画素単位で映像
信号を書き込むのに先立って、所定レベルのプリチャージ信号を書き込むプリチャージ回
路を具備する表示装置および当該表示装置の駆動方法に関する。

40

【背景技術】

【0002】

電気光学素子を含む画素が行列状に 2 次元配置されてなる表示装置、例えば電気光学素
子として液晶セルを用いてなる液晶表示装置において、画素の行列状配列の各列ごとに配
線されている信号ラインに映像信号を書き込むに当たって、当該映像信号の書き込みによ
る充放電電流が大きいと、当該充放電電流に起因する縦筋状のノイズが表示画面上に現れ
ることが知られている。

【0003】

50

この映像信号の書き込みによる充放電電流をできるだけ抑えるために、画素単位で映像信号を書き込む点順次駆動方式のアクティブマトリクス型液晶表示装置においては、映像信号を信号ラインに書き込むのに先立って、あらかじめ所定レベルのプリチャージ信号を信号ラインへ書き込むためのプリチャージ回路を具備する構成が採られている。

【0004】

このように、映像信号の信号ラインへの書き込みに先立って、あらかじめプリチャージ信号を書き込んでおくことで、映像信号を書き込む際の信号レベルが小さくて済み、映像信号の書き込み時の充放電電流を抑えることができるため、縦筋状ノイズの発生を抑えることができるのである。このプリチャージ信号の書き込みは、例えば、水平ブランキング期間において映像信号を書き込む画素行ごと（ラインごと）に一括で行われる（以下、この方式を「線順次プリチャージ方式」と呼ぶ）。

10

【0005】

ところで、画像表示装置の高画質化・高精細化が進むにつれ、例えば投射型液晶表示装置（液晶プロジェクタ装置）においても、従来のグラフィック表示規格SVGA（H（水平）：800×V（垂直）：600）や、XGA（H：1024×V：768）に対してUXGA（H：1600×V：1200）や、QXGA（H：2048×V：1536）といったモデルの開発が必要となってきた。ここで、投射型液晶表示装置は、電気光学素子を含む画素が行列状に2次元配置されてなる液晶パネル（液晶ライトバルブ）を光スイッチング素子として利用し、液晶ライトバルブ上の画像を投射光学系によってスクリーン上に拡大投影する表示装置である。

20

【0006】

このようなグラフィック表示規格UXGA、QXGAでは、規格より水平ブランキング期間が、グラフィック表示規格XGA等比べて短くなるため、プリチャージ信号を水平期間に一括で書き込むだけの時間が足りなくなる。すなわち、画素数が多いUXGA、QXGAの液晶表示装置では、線順次プリチャージ方式のプリチャージ回路を用いると、プリチャージ信号を十分に書き込めないことになる。このため、水平駆動系（水平走査系）と同様に、選択行の各画素に対して画素単位で順番にプリチャージ信号を書き込む点順次プリチャージ方式のプリチャージ回路が用いられている（例えば、特許文献1参照）。

【0007】

図7は、従来例に係る点順次プリチャージ方式のプリチャージ回路を示すブロック図である。

30

【0008】

図7において、シフトレジスタ101は、プリチャージスタートパルスPSTが与えられ、当該プリチャージスタートパルスPSTにตอบสนองしてシフト動作を開始し、当該プリチャージスタートパルスPSTを互いに逆相の2相のプリチャージクロックパルスPCK、PCKXに同期して順次転送し、各転送段から転送パルスH1、H2、...を順に出力する。これら転送パルスH1、H2、...は、NAND回路102-1、102-2、...に与えられる。NAND回路102-1、102-2、...は、自段の転送パルスH1、H2、...を各一方の入力とし、次段の転送パルスH2、H3、...を各他方の入力とする。

40

【0009】

NAND回路102-1、102-2、...の各出力パルスは、インバータ103-1、103-2、...で極性反転されて逆相パルス生成回路104-1、104-2、...に与えられる。逆相パルス生成回路104-1、104-2、...は、インバータ103-1、103-2、...の各単相の出力パルスから、互いに逆相の2相のクロックパルスを生成する。これら2相のクロックパルスは、位相調整回路（APC；Phase Adjust Circuit）105-1、105-2、...において相互の位相が完全に逆相になるように位相調整されて、互いに逆相の2相のプリチャージ（サンプリング）パルスP1、P1X、P2、P2X、...としてプリチャージスイッチ106-1、106-2、...に与えられる。

50

【 0 0 1 0 】

図 8 に、プリチャージスタートパルス P S T、プリチャージクロックパルス P C K、P C K X、転送パルス H 1、H 2、H 3、H 4 およびプリチャージパルス P 1、P 1 X、P 2、P 2 X、P 3、P 3 X、P 4、P 4 X のタイミング関係を示す。

【 0 0 1 1 】

プリチャージスイッチ 1 0 6 - 1、1 0 6 - 2、... .. は、例えば N c h トランジスタと P c h トランジスタとが並列接続された C M O S アナログスイッチによって構成され、プリチャージパルス P 1、P 1 X、P 2、P 2 X、... .. に応答して順次オン（導通）状態になることにより、プリチャージライン 1 0 7 を通して入力されるプリチャージ信号 P s i g を順次サンプリングして、画素の行列状配列の垂直画素列ごとに配線された信号ライン 1 0 8 - 1、1 0 8 - 2、... .. を介して選択行の画素に画素単位で順番に書き込む。 10

【 0 0 1 2 】

【特許文献 1】特開 2 0 0 1 - 3 5 6 7 4 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

しかしながら、U X G A、Q X G A の液晶表示装置において、点順次プリチャージ方式を採ったとしても、U X G A、Q X G A モデルの液晶パネルは画角が大きく、画素数が多く、信号ライン 1 0 8 - 1、1 0 8 - 2、... .. の負荷容量も X G A 等に比べて大きいために、上記構成のプリチャージ回路で生成されるプリチャージパルス P 1、P 1 X、P 2、P 2 X、... .. のパルス幅内では信号ライン 1 0 8 - 1、1 0 8 - 2、... .. にプリチャージ信号電位を十分に書き込むことができないという課題がある。 20

【 0 0 1 4 】

本発明は、上記課題に鑑みてなされたものであって、その目的とするところは、プリチャージ（サンプリング）パルスのパルス幅を従来のプリチャージパルスよりも広くして、信号ラインの負荷容量が大きいパネルにおいてもプリチャージ信号電位を確実に書き込むことができるようにした表示装置およびその駆動方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 5 】

上記目的を達成するために、本発明では、電気光学素子を含む画素が行列状に 2 次元配置されてなる画素アレイ部と、前記画素アレイ部の画素を行単位で選択する垂直駆動手段と、前記垂直駆動手段によって選択された行の画素に対して画素単位で映像信号を書き込む水平駆動手段とを具備し、前記水平駆動手段による前記映像信号の書き込みに先立って、あらかじめ所定レベルのプリチャージ信号を画素単位で書き込む表示装置において、クロック信号に同期してシフトレジスタから順次転送パルスを出力する一方、前記プリチャージ信号を入力するプリチャージラインと前記画素アレイ部の垂直画素列ごとに配線された信号ラインとの間に接続されたプリチャージスイッチ群の各スイッチを、前記シフトレジスタから順次出力される前記転送パルスによって直接サンプリング駆動する構成となっている。 30

【 0 0 1 6 】

上記構成の表示装置において、「転送パルスによって直接サンプリング駆動する」とは、シフトレジスタから順次出力される転送パルスそのもの（互いに逆相の転送パルスも含む）をプリチャージ（サンプリング）パルスとして用いて、当該プリチャージパルスによってプリチャージスイッチ群の各スイッチをサンプリング駆動するという意味である。シフトレジスタの転送パルスそのものをプリチャージパルスとして用いることで、シフトレジスタの転送パルスと次段の転送パルスとの N A N D（論理積）をとることによって生成していた従来のプリチャージパルスに比べて、パルス幅を広く設定することができる。 40

【発明の効果】

【 0 0 1 7 】

本発明によれば、シフトレジスタの転送パルスそのものをプリチャージパルスとして用 50

いることで、当該プリチャージパルスのパルス幅を従来のプリチャージパルスよりも広くすることができるため、信号ラインの負荷容量が大きいパネルにおいてもプリチャージ信号電位を確実に書き込むことができる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0019】

図1は、本発明の一実施形態に係る表示装置の構成の概略を示すブロック図である。ここでは、画素の電気光学素子として液晶セルを用いた点順次駆動方式のアクティブマトリクス型液晶表示装置を例に挙げて説明するものとする。図1から明らかなように、本実施形態に係るアクティブマトリクス型液晶表示装置は、画素アレイ部11、例えば2つの垂直駆動回路12A、12B、水平駆動回路13およびプリチャージ回路14を有する構成となっている。

10

【0020】

画素アレイ部11は、電気光学素子である液晶セルを含む画素20が、透明絶縁基板、例えば第1のガラス基板（図示せず）上に行列状に2次元配置され、この画素20のm行n列の配列に対して行ごとに走査ライン15-1～15-mが配線され、列ごとに信号ライン16-1～16-nが配線された構成となっている。第1のガラス基板は、第2のガラス基板と所定の間隙を持って対向配置され、当該第2のガラス基板との間に液晶材料が封止されることによって液晶パネル17を構成している。

20

【0021】

図2は、画素（画素回路）20の回路構成の一例を示す回路図である。図2から明らかなように、画素20は、画素トランジスタ、例えばTFT（Thin Film Transistor; 薄膜トランジスタ）21と、このTFT21のドレイン電極に画素電極が接続された液晶セル22と、TFT21のドレイン電極に一方の電極が接続された保持容量23とを有する構成となっている。ここで、液晶セル22は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

【0022】

TFT21はゲート電極が走査ライン15（15-1～15-m）に接続され、ソース電極が信号ライン16（16-1～16-n）に接続されている。また、例えば、液晶セル22の対向電極および保持容量23の他方の電極がコモンライン18に対して各画素共通に接続されている。そして、液晶セル22の対向電極には、コモンライン18を介してコモン電圧（対向電極電圧）Vcomが各画素共通に与えられる。

30

【0023】

垂直駆動回路12A、12B、水平駆動回路13およびプリチャージ回路14は、例えば、画素アレイ部11と同じ基板（液晶パネル17）上に配置され、液晶の駆動に必要な電圧よりも高い正の電源電位VDDを第1の電源電位とし、例えば接地電位（0[V]）GNDを第2の電源電位として動作する。

【0024】

2つの垂直駆動回路12A、12Bは、画素アレイ部11を挟んで左右両側に配置されている。なお、ここでは、画素アレイ部11の左右両側に垂直駆動回路12A、12Bを配置するとしたが、1つの垂直駆動回路12を画素アレイ部11の左右の一方側にのみ配置する構成を採ることも可能である。垂直駆動回路12A、12Bは、シフトレジスタやバッファ回路等によって構成されている。

40

【0025】

これら垂直駆動回路12A、12Bにおいて、各シフトレジスタは、垂直スタートパルスVSTに応答してシフト動作を開始し、当該垂直スタートパルスVSTを垂直クロックパルスVCK（一般的には、互いに逆相のクロックパルスVCK、VCKX）に同期して順次シフトすることにより、各転送段で転送された転送パルスを走査パルスV1～Vmとして順に出力する。走査パルスV1～Vmは、バッファ回路122-1～122-m、1

50

2 4 - 1 ~ 1 2 4 - m を介して画素アレイ部 1 1 の走査ライン 1 5 - 1 ~ 1 5 - m に与えられることによって画素 2 0 を行単位で選択する。

【 0 0 2 6 】

水平駆動回路 1 3 は、シフトレジスタ 1 3 1、クロック抜き取り回路 1 3 2 - 1 ~ 1 3 2 - n、逆相パルス生成回路 1 3 3 - 1 ~ 1 3 3 - n、位相調整回路 (A P C ; Phase Adjust Circuit) 1 3 4 - 1 ~ 1 3 4 - n およびサンプリングスイッチ 1 3 5 - 1 ~ 1 3 5 - n 等によって構成されており、垂直駆動回路 1 2 A , 1 2 B によって選択された画素行の各画素 2 0 に対して画素単位で映像信号 V s i g を書き込む。水平駆動回路 1 3 には液晶パネル 1 7 の外部から、水平走査の基準となる互いに逆相の 2 相の水平クロックパルス h c k , h c k x と、当該水平クロックパルス h c k , h c k x に同期した 2 系統のクロックパルス、即ち互いに逆相の 2 相のクロックパルス d c k 1 , d c k 1 x およびクロックパルス d c k 2 , d c k 2 x とが与えられる。

【 0 0 2 7 】

水平クロックパルス h c k , h c k x は、レベルシフト (L / S) 回路 3 1、逆相パルス生成回路 3 2 およびバッファ回路 3 3 を介してシフトレジスタ 1 3 1 に供給される。レベルシフト回路 3 1 は、論理レベル (5 [V] 程度あるいはそれ以下) の水平クロックパルス h c k , h c k x を、液晶の駆動に必要な振幅電圧の単相のクロックパルス H C K にレベルシフト (レベル変換) する。逆相パルス生成回路 3 2 は、レベルシフト後の単相のクロックパルス H C K から、再度互いに逆相の 2 相の水平クロックパルス H C K , H C K X を生成する。この逆相パルス生成回路 3 2 としては、後述する逆相パルス生成回路 1 3 3 - 1 ~ 1 3 3 - n と同じ回路構成のものを用いることができる。水平クロックパルス H C K , H C K X は、バッファ回路 3 3 を介してシフトレジスタ 1 3 1 に与えられる。

【 0 0 2 8 】

クロックパルス d c k 1 , d c k 1 x は、水平クロックパルス H C K の立ち上がりタイミングを基準とし、当該水平クロックパルス H C K よりもパルス幅が狭いクロックパルスであり、レベルシフト回路 3 4 およびバッファ回路 3 5 を介してクロック抜き取り回路 1 3 2 - 1 ~ 1 3 2 - n の例えば偶数段目に供給される。レベルシフト回路 3 4 は、論理レベルのクロックパルス d c k 1 , d c k 1 x を、液晶の駆動に必要な振幅電圧の単相のクロックパルス D C K 1 にレベルシフトする。この単相のクロックパルス D C K 1 は、バッファ回路 3 5 を介して偶数段目のクロック抜き取り回路 1 3 2 - 2 , 1 3 2 - 4 , ... に与えられる。

【 0 0 2 9 】

クロックパルス d c k 2 , d c k 2 x は、水平クロックパルス H C K X の立ち上がりタイミングを基準とし、当該水平クロックパルス H C K X よりもパルス幅が狭いクロックパルスであり、レベルシフト回路 3 6 およびバッファ回路 3 7 を介してクロック抜き取り回路 1 3 2 - 1 ~ 1 3 2 - n の例えば奇数段目に供給される。レベルシフト回路 3 6 は、論理レベルのクロックパルス d c k 2 , d c k 2 x を、液晶の駆動に必要な振幅電圧の単相のクロックパルス D C K 2 にレベルシフトする。この単相のクロックパルス D C K 2 は、バッファ回路 3 7 を介して奇数段目のクロック抜き取り回路 1 3 2 - 1 , 1 3 2 - 3 , ... に与えられる。

【 0 0 3 0 】

ここで、2 相の水平クロックパルス H C K , H C K X と 2 系統の単相のクロックパルス D C K 1 , D C K 2 とを比較した場合、水平クロックパルス H C K , H C K X は、インバータ回路の組み合わせによって構成される逆相パルス生成回路 3 2 において、レベル変換後の単相のクロックパルス H C K から生成されたものであるためタイミング精度が低い (悪い)。これに対して、2 系統の単相のクロックパルス D C K 1 , D C K 2 の各々は、レベル変換後の単相のクロックパルス D C K 1 , D C K 2 そのものであるため、水平クロックパルス H C K , H C K X に比べてタイミング精度が高い。

【 0 0 3 1 】

シフトレジスタ 1 3 1 は、単位回路 (転送段 / シフト段) が画素アレイ部 1 1 の水平画

10

20

30

40

50

素数 n だけ縦続接続されてなり、水平スタートパルス HST に応答してシフト動作を開始し、当該水平スタートパルス HST を水平クロックパルス HCK , $HCKX$ に同期して順次シフトすることにより、各転送段で転送された転送パルス $H1 \sim Hn$ を順に出力する。転送パルス $H1 \sim Hn$ は、タイミング精度の低い水平クロックパルス HCK , $HCKX$ に同期して生成されたものであるため、水平クロックパルス HCK , $HCKX$ と同様にタイミング精度が低い。これら転送パルス $H1 \sim Hn$ は順次、クロック抜き取り回路 $132 - 1 \sim 132 - n$ に与えられる。

【0032】

クロック抜き取り回路 $132 - 1 \sim 132 - n$ において、偶数段目のクロック抜き取り回路 $132 - 2$, $132 - 4$, ... は、シフトレジスタ 131 から順に出力される奇数番目の転送パルス $H1$, $H3$, ... に同期して、単相のクロックパルス $DC2$ を抜き取ってサンプリングパルス $SP1$, $SP3$, ... として奇数段目の逆相パルス生成回路 $133 - 1$, $133 - 2$, ... に供給し、奇数段目のクロック抜き取り回路 $132 - 1$, $132 - 3$, ... は、シフトレジスタ 131 から順に出力される偶数番目の転送パルス $H2$, $H4$, ... に同期して、単相のクロックパルス $DC1$ を抜き取ってサンプリングパルス $SP2$, $SP4$, ... として偶数段目の逆相パルス生成回路 $133 - 2$, $133 - 4$, ... に供給する。

【0033】

逆相パルス生成回路 $133 - 1 \sim 133 - n$ は、単相のサンプリングパルス $SP1 \sim SPn$ から、互いに逆相の2相のサンプリングパルス $SP1$, $SP1X \sim SPn$, $SPnX$ を生成し、位相調整回路 $134 - 1 \sim 134 - n$ に与える。位相調整回路 $134 - 1 \sim 134 - n$ は、逆相パルス生成回路 $133 - 1 \sim 133 - n$ で生成された2相のサンプリングパルス $SP1$, $SP1X \sim SPn$, $SPnX$ 相互の位相が完全に逆相になるように、これらサンプリングパルス $SP1$, $SP1X \sim SPn$, $SPnX$ の位相調整を行う。

【0034】

図3は、逆相パルス生成回路 133 ($133 - 1 \sim 133 - n$) および位相調整回路 134 ($134 - 1 \sim 134 - n$) の具体的な構成の一例を示すブロック図である。

【0035】

図3において、逆相パルス生成回路 133 は、例えば4個のインバータ $111 \sim 114$ によって構成され、単相のサンプリングパルス SP ($SP1 \sim SPn$) をインバータ 111 で位相反転し、この位相反転後のクロックパルスを、インバータ 112 で再度位相反転して単相のサンプリングパルス SP と逆相のサンプリングパルス SPX (A) として出力するとともに、インバータ 113 , 114 で2回位相反転して単相のサンプリングパルス SP と逆相のサンプリングパルス SP (B) として出力する。これら互いに逆相の2相のサンプリングパルス SP , SPX は、位相調整回路 104 に供給される。

【0036】

位相調整回路 134 は、逆相パルス生成回路 133 の2つの出力端間、即ちインバータ 112 , 114 の各出力端間に、互いに逆向きに並列接続されてラッチ回路を構成するインバータ 121 , 122 と、インバータ 112 , 114 の各出力端に各入力端が接続されたインバータ 123 , 124 とを有する構成となっている。この位相調整回路 134 は、インバータ 121 , 122 の作用により、一方のラッチ出力パルス (C) の立ち下がりの位相に対して他方のラッチ出力パルス (D) の立ち上がりの位相を合わせ、他方のラッチ出力パルス (D) の立ち下がりの位相に対して一方のラッチ出力パルス (C) の立ち上がりの位相を合わせることで、クロックパルス (C) , (D) の位相が完全に逆相になるように、これらクロックパルス (C) , (D) の位相調整を行う。位相調整後のクロックパルス (C) , (D) は、インバータ 123 , 124 で位相反転されて、最終的なサンプリングパルス SPX (E) , SP (F) となる。

【0037】

サンプリングスイッチ $135 - 1 \sim 135 - n$ は、例えば Nch トランジスタと Pch トランジスタとが並列接続されてなる $CMOS$ アナログスイッチであり、映像信号 Vsi

10

20

30

40

50

gを入力する映像ライン19に各一端側が共通に接続され、各他端側が画素アレイ部11の信号ライン16-1~16-nの各一端にそれぞれ接続されている。これらサンプリングスイッチ135-1~135-nは、互いに逆相のサンプリングパルスSP1, SP1X~SPn, SPnXに应答してオン(閉)状態になり、映像ライン19を通して入力される映像信号Vsigを順次サンプリングすることにより、当該映像信号Vsigを信号ライン16-1~16-nに書き込む。すなわち、垂直駆動回路12A, 12Bによって選択された画素行の各画素20に対して、画素単位で映像信号Vsigを書き込む点順次駆動を実現できる。

【0038】

図4は、水平スタートパルスHST、水平クロックパルスHCK, HCKX、2系統のクロックパルスDCK1, DCK1XおよびDCK2, DCK2X、転送パルスH1~H4ならびにサンプリングパルスSP1, SP1X~SP4, SP4Xのタイミング関係を示すタイミングチャートである。このタイミングチャートから明らかなように、水平クロックパルスHCK, HCKXに同期しかつ転送パルスH1~H4よりもパルス幅が狭いクロックパルスDCK1, DCK1XおよびDCK2, DCK2Xを、シフトレジスタ131から順に出力される転送パルスH1~H4に同期して抜き取ってサンプリングパルスSP1, SP1X~SP4, SP4Xとして順次出力することにより、サンプリングパルスSP1, SP1X~SP4, SP4Xは相互にパルス波形がオーバーラップしない(ノンオーバーラップ)波形となる。

【0039】

プリチャージ回路14は、シフトレジスタ141、逆相パルス生成回路142-1~142-n、位相調整回路(APC)143-1~143-nおよびプリチャージスイッチ144-1~144-n等によって構成されており、垂直駆動回路12A, 12Bによって選択された画素行の各画素20に対して、水平駆動回路13による駆動によって画素単位で映像信号Vsigを書き込むのに先立って、画素単位で所定レベルのプリチャージ信号Psigを書き込む。プリチャージ回路14には液晶パネル17の外部から、水平走査の基準となる互いに逆相の2相のプリチャージクロックパルスpc k, pc kxが与えられる。

【0040】

プリチャージクロックパルスpc k, pc kxは、レベルシフト(L/S)回路38、逆相パルス生成回路39およびバッファ回路40を介してシフトレジスタ141に供給される。レベルシフト回路38は、論理レベル(5[V]程度あるいはそれ以下)のプリチャージクロックパルスpc k, pc kxを、液晶の駆動に必要な振幅電圧の単相のプリチャージクロックパルスPC Kにレベルシフトする。逆相パルス生成回路39は、図3に示した逆相パルス生成回路133と同様に、インバータの組み合わせによって構成され、レベルシフト後の単相のプリチャージクロックパルスPC Kから、再度互いに逆相の2相のプリチャージクロックパルスPC K, PC KXを生成する。この2相のプリチャージクロックパルスPC K, PC KXは、バッファ回路40を介してシフトレジスタ141に与えられる。

【0041】

シフトレジスタ141は、単位回路(転送段/シフト段)が画素アレイ部11の水平画素数nだけ縦続接続されてなり、プリチャージスタートパルスPSTに应答してシフト動作を開始し、当該プリチャージスタートパルスPSTをプリチャージクロックパルスPC K, PC KXに同期して順次シフトすることにより、各転送段で転送された転送パルスH1~Hnを順に出力する。これら転送パルスH1~Hnは順次、逆相パルス生成回路142-1~142-nに与えられる。

【0042】

逆相パルス生成回路142-1~142-nは、単相の転送パルスH1~Hnから、互いに逆相の2相のプリチャージ(サンプリング)パルスP1, P1X~Pn, PnXを生成し、位相調整回路143-1~143-nに与える。位相調整回路143-1~143

10

20

30

40

50

- n は、逆相パルス生成回路 142 - 1 ~ 142 - n で生成された 2 相のプリチャージパルス P1, P1X ~ Pn, PnX 相互の位相が完全に逆相になるように、これらプリチャージパルス P1, P1X ~ Pn, PnX の位相調整を行う。逆相パルス生成回路 142 - 1 ~ 142 - n および位相調整回路 143 - 1 ~ 143 - n としては、図 3 に示す逆相パルス生成回路 133 - 1 ~ 133 - n および位相調整回路 134 - 1 ~ 134 - n と同じ構成のものをを用いることができる。

【0043】

プリチャージスイッチ 144 - 1 ~ 144 - n は、例えば Nch トランジスタと Pch トランジスタとが並列接続されてなる CMOS アナログスイッチであり、所定のプリチャージ信号 Psig を入力するプリチャージライン 41 に各一端側が共通に接続され、各他端側が画素アレイ部 11 の信号ライン 16 - 1 ~ 16 - n の各他端にそれぞれ接続されている。これらプリチャージスイッチ 144 - 1 ~ 144 - n は、互いに逆相のプリチャージパルス P1, P1X ~ Pn, PnX に応答してオン状態になり、プリチャージライン 41 を通して入力されるプリチャージ信号 Psig を順次サンプリングすることにより、水平駆動回路 13 による画素単位での映像信号 Vsig の書き込みに先立って、当該プリチャージ信号 Psig を信号ライン 16 - 1 ~ 16 - n に書き込む（点順次プリチャージ方式）。

【0044】

図 5 は、プリチャージスタートパルス PST、シフトレジスタ 141 の転送パルス H1 ~ H4 および互いに逆相の 2 相のプリチャージ（サンプリング）パルス P1, P1X ~ P4, P4X のタイミング関係を示すタイミングチャートである。このタイミングチャートから明らかなように、シフトレジスタ 141 の転送パルス H1 ~ H4 そのものが、プリチャージパルス P1 ~ P4（本例では、互いに逆相のプリチャージパルス P1, P1X ~ P4, P4X）として用いられていることがわかる。

【0045】

上述したように、点順次プリチャージ方式のアクティブマトリクス型液晶表示装置において、プリチャージ回路 14 のシフトレジスタ 141 の転送パルス H1 ~ Hn そのものをプリチャージパルス P1 ~ Pn（本例では、2 相のプリチャージパルス P1, P1X ~ P4, P4X）として用いることで、シフトレジスタの自段の転送パルス Hi と次段の転送パルス Hi + 1 との NAND（論理積）をとることによって生成していた従来のプリチャージパルスに比べて、パルス幅を広く設定することができる。これにより、例えばグラフィック表示規格 UXGA, QXGA のモデルなどのように、信号ライン 16 - 1 ~ 16 - n の負荷容量が大きく、書き込み時間を長く必要とする多画素、大型の液晶パネル 17 においてもプリチャージ信号 Psig の電位を確実に書き込むことができる。

【0046】

因みに、水平駆動回路 13 では、シフトレジスタ 131 の転送パルス H1 ~ Hn そのものをサンプリングパルス SP1 ~ SPn として用いることはできない。何故ならば、図 4 のタイミングチャートから明らかなように、シフトレジスタ 131 の転送パルス H1 ~ Hn は隣り合う段でオーバーラップしており、当該転送パルス H1 ~ Hn そのものをサンプリングパルス SP1 ~ SPn として用いると、隣り合う段（画素列）で同じ映像信号 Vsig をサンプリングすることになるため、正常な画像を表示できなくなる。

【0047】

そのため、図 6 に示すように、転送パルス H1 ~ Hn がオーバーラップする奇数段と偶数段とでそれぞれ独立な映像ライン 19o, 19e を配線して駆動を行うようにしている（図 1 では、図面の簡略化のため 1 系統の映像ライン 19 として示している）。なお、ここでは、水平方向の N 個の画素（ドット）を単位として N 個のサンプリングスイッチを組とし、1 つのサンプリングパルスで N 個のサンプリングスイッチを同時に駆動することによって N 画素単位（ユニット（相）単位）で順次書き込みを行う N ドット（例えば、12 ドット、24 ドット、あるいは 48 ドット等）同時サンプリング駆動方式の場合を示している。この N ドット同時サンプリング駆動方式も、映像信号 Vsig やプリチャージ信号 P

10

20

30

40

50

s i g の書き込みを画素単位で行う点順次駆動方式の概念に含まれるものとする。

【 0 0 4 8 】

具体的には、図 6 では、例えば、奇数段の映像ライン 1 9 o および偶数段の映像ライン 1 9 e をそれぞれ 2 4 本の集合とし、合計 4 8 本の映像ライン 1 9 e , 1 9 o を介して供給される映像信号 V s i g を、2 4 ドットずつ 2 系統（奇数段および偶数段）に分けて同時にサンプリング（2 4 ドット + 2 4 ドット同時サンプリング）して選択行の画素 2 0 に書き込むようにしている。なお、図 6 では、図面の簡略化のため、サンプリングパルス S P 1 ~ S P n を単相とし、逆相パルス生成回路 1 3 3 - 1 ~ 1 3 3 - n および位相調整回路 1 3 4 - 1 ~ 1 3 4 - n を省略して示している。

【 0 0 4 9 】

さらに、奇数段と偶数段とでそれぞれ独立な映像ライン 1 9 o , 1 9 e を配線しただけでは、奇数段の隣り合うサンプリングパルス同士、偶数段の隣り合うサンプリングパルス同士を完全にノンオーバーラップにすることができず、ゴーストが発生してしまうため、転送パルス H 1 ~ H n よりもパルス幅の狭いクロックパルス D C K 1 , D C K 2 を抜き取ってサンプリングパルス S P 1 ~ S P n として用いることで、奇数段の隣り合うサンプリングパルス同士、偶数段の隣り合うサンプリングパルス同士がオーバーラップしないノンオーバーラップ波形のサンプリングパルス S P 1 ~ S P n を生成するようにしている。

【 0 0 5 0 】

この水平駆動系に対して、プリチャージ系では、全信号ライン 1 6 - 1 ~ 1 6 - n および画素 2 0 に対して所望の同一プリチャージ信号電位を書き込むことで、映像信号 V s i g の書き込みによる充放電電流をできるだけ抑える、という所期の目的を達成することができ、隣り合う段でプリチャージパルス P 1 ~ P n がオーバーラップしても何ら問題が起こることはない。

【 0 0 5 1 】

本発明はこの点に着目してなされたものであり、転送パルス H 1 ~ H n そのものをプリチャージパルス P 1 ~ P n として用い、当該転送パルス H 1 ~ H n によって直接プリチャージスイッチ 1 4 4 - 1 ~ 1 4 4 - n を駆動する構成を採ることで、従来技術のように、シフトレジスタ 1 4 1 の自段の転送パルス H i と次段の転送パルス H i + 1 との N A N D （論理積）をとる必要もなく、さらには、水平駆動系のように、奇数段と偶数段とで映像ラインを独立に設ける必要がないし、またクロックパルス D C K 1 , D C K 2 の伝送ラインやクロック抜き取り回路 1 3 2 - 1 ~ 1 3 2 - n のようなノンオーバーラップ駆動のための回路構成部を設ける必要がない。したがって、素子数および配線数が少なく済むため、レイアウト面積も従来技術よりも大きくとることができる。

【 0 0 5 2 】

ただし、プリチャージライン 4 1 を複数系統に分けるのを妨げるものではない。すなわち、プリチャージライン 4 1 をあえて複数系統、例えば奇数段と偶数段、あるいはそれ以上に分けて配線することで、それぞれの配線につく負荷容量を軽減して駆動することも可能である。これにより、仮に、隣り合う段とオーバーラップ駆動することによるノイズ等の影響による画質不良が現れた場合でも、本発明に係る駆動方法での駆動は可能になる。

【 0 0 5 3 】

なお、上記実施形態では、サンプリングスイッチ 1 3 5 - 1 ~ 1 3 5 - n として C M O S アナログスイッチを用いたが、これは一例に過ぎず、N c h または P c h トランジスタのみからなるアナログスイッチを用いることも可能である。この場合には、単相のクロックパルス D C K 1 , D C K 2 を抜き取ってそのままサンプリングパルス S P 1 ~ S P n として用いれば良いため、逆相パルス生成回路 1 3 3 - 1 ~ 1 3 3 - n および位相調整回路 1 3 4 - 1 ~ 1 3 4 - n は不要となる。プリチャージスイッチ 1 4 4 - 1 ~ 1 4 4 - n についても同様であり、転送クロック H 1 ~ H n を単相のプリチャージパルス P 1 ~ P n として用いることで、逆相パルス生成回路 1 4 2 - 1 ~ 1 4 2 - n および位相調整回路 1 4 3 - 1 ~ 1 4 3 - n は不要となる。

【 0 0 5 4 】

10

20

30

40

50

また、上記実施形態では、画素の電気光学素子として液晶セルを用いた液晶表示装置に適用した場合を例に挙げて説明したが、本発明はこの適用例に限られるものではなく、画素の電気光学素子として有機EL (electro luminescence) 素子を用いた有機EL表示装置など、電気光学素子を含む画素が行列状に2次元配置されてなる表示装置全般に適用可能である。

【産業上の利用可能性】

【0055】

本実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置は、一般的な映像表示装置として用いることができる他、例えば、投射型液晶表示装置（液晶プロジェクタ装置）において、液晶ライトバルブとして用いることができる。

10

【図面の簡単な説明】

【0056】

【図1】本発明の一実施形態に係る点順次駆動方式のアクティブマトリクス型液晶表示装置の構成の概略を示すブロック図である。

【図2】画素回路の構成の一例を示す回路図である。

【図3】逆相パルス生成回路および位相調整回路の具体的な回路構成の一例を示すブロック図である。

【図4】水平スタートパルスHST、水平クロックパルスHCK、HCKX、2系統のクロックパルスDCK1、DCK1XおよびDCK2、DCK2X、転送パルスH1～H4ならびにサンプリングパルスSP1、SP1X～SP4、SP4Xのタイミング関係を示すタイミングチャートである。

20

【図5】プリチャージスタートパルスPST、転送パルスH1～H4およびプリチャージ（サンプリング）パルスP1、P1X～P4、P4Xのタイミング関係を示すタイミングチャートである。

【図6】水平駆動回路のより具体的な構成例を示すブロック図である。

【図7】従来例に係る点順次プリチャージ方式のプリチャージ回路を示すブロック図である。

【図8】従来例の課題の説明に供するタイミングチャートである。

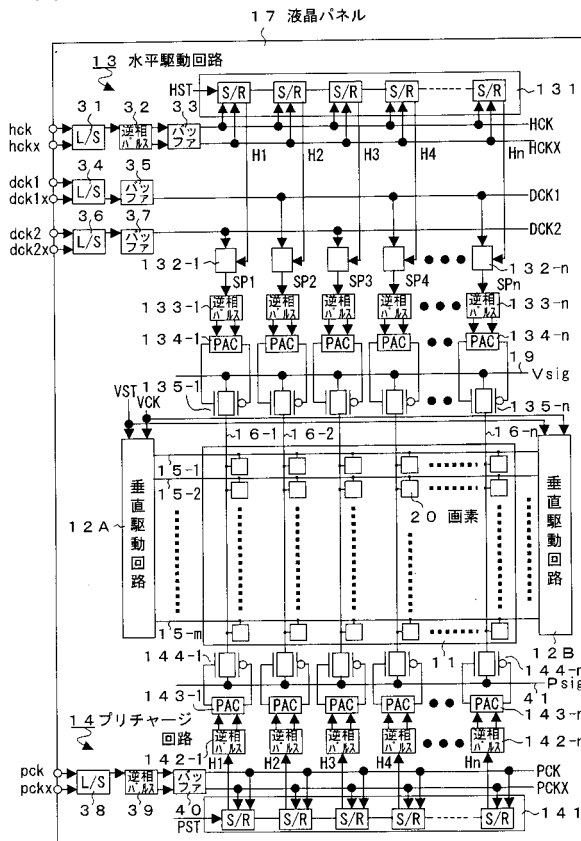
【符号の説明】

【0057】

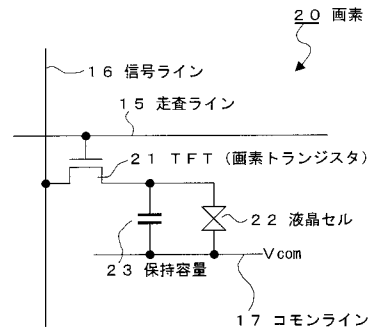
11...画素アレイ部、12A、12B...垂直駆動回路、13...水平駆動回路、14...プリチャージ回路、15、15-1～15-m...走査ライン、16、16-1～16-n...信号ライン、17...液晶パネル、19...映像ライン、20...画素（画素回路）、21...TFT（薄膜トランジスタ）、22...液晶セル、23...保持容量、31、34、36...レベルシフト回路、32...逆相パルス生成回路、131...シフトレジスタ、132-1～132-n...クロック抜き取り回路、133-1～133-n、142-1～142-n...逆相パルス生成回路、134-1～134-n、143-1～143-n...位相調整回路、135-1～135-n...サンプリングスイッチ、144-1～144-n...プリチャージスイッチ

30

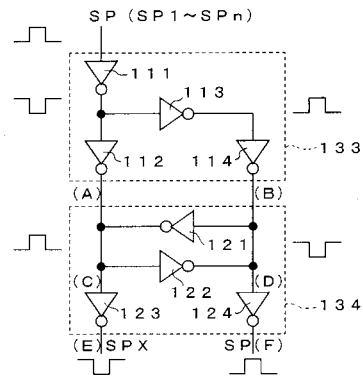
【図 1】



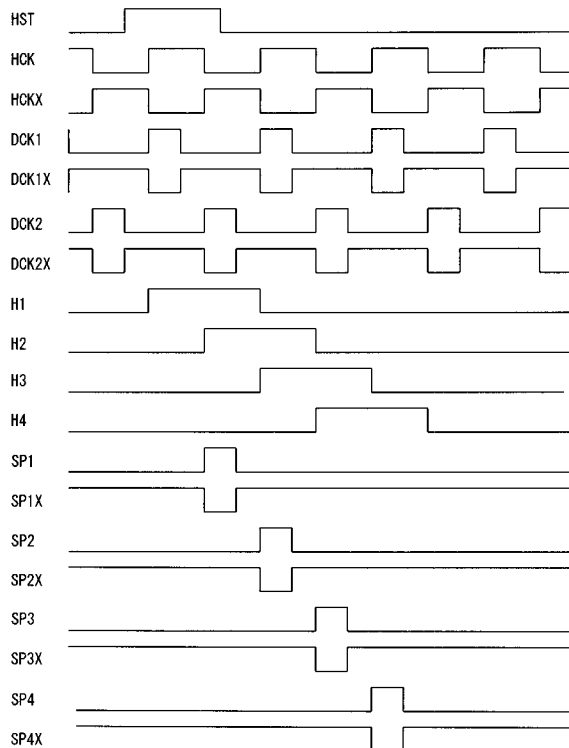
【図 2】



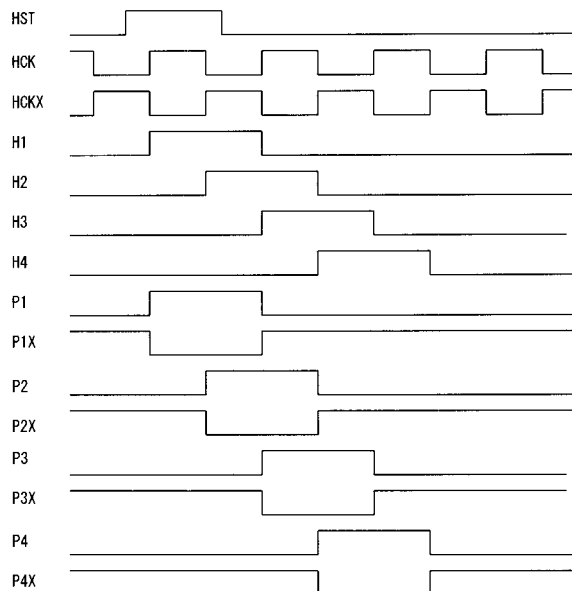
【図 3】



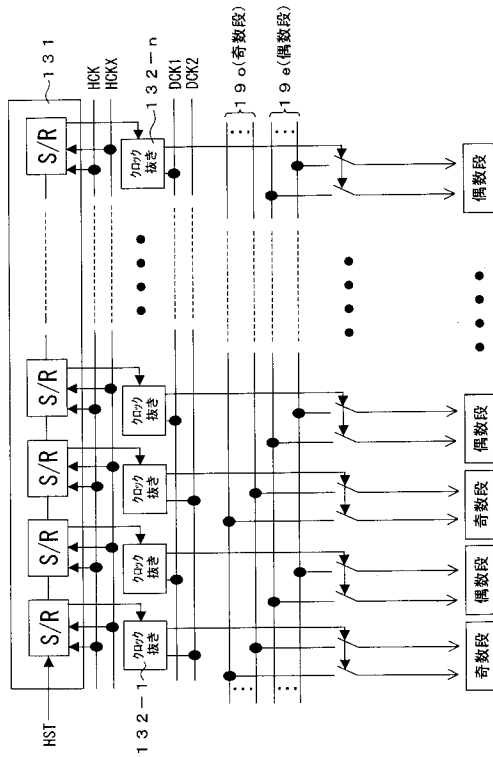
【図 4】



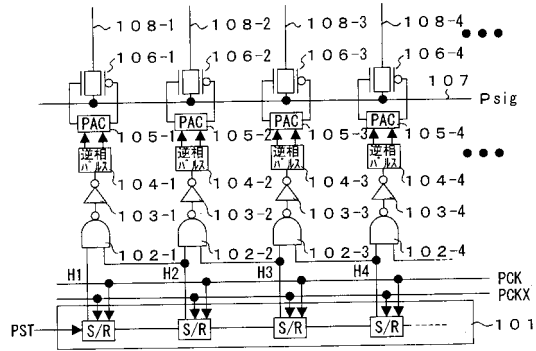
【図 5】



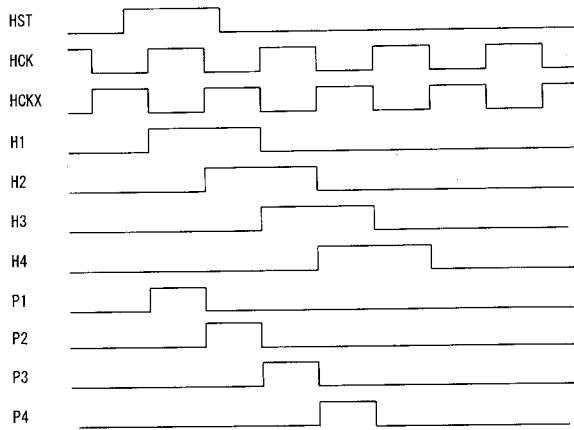
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 1 A

G 0 9 G 3/20 6 2 1 F

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP2005208447A	公开(公告)日	2005-08-04
申请号	JP2004016562	申请日	2004-01-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	小林 寛		
发明人	小林 寛		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.520 G02F1/133.550 G09G3/20.612.L G09G3/20.621.A G09G3/20.621.F		
F-TERM分类号	2H093/NA16 2H093/NC04 2H093/NC15 2H093/NC22 2H093/NC23 2H093/NC31 2H093/NC34 2H093/ND09 2H093/ND37 5C006/AC09 5C006/AF42 5C006/AF43 5C006/AF71 5C006/BB16 5C006/BC13 5C006/BF03 5C006/BF26 5C006/BF27 5C006/BF34 5C006/FA16 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA01 2H193/ZA04 2H193/ZD32 2H193/ZF03		
代理人(译)	船桥 国则		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决UXGA和GXGA型号的液晶面板的问题，使得面板在视角方面更大，像素数量更多，并且在信号线的负载能力方面更大因此，即使采用点顺序预充电系统，在预充电脉冲的脉冲宽度内也不可能充分写入预充电信号电位。解决方案：点顺序预充电系统的有源矩阵型液晶显示装置构成为通过使用移位寄存器141的传输脉冲H 1至H n本身来广泛地设置预充电脉冲P 1至P n的脉冲宽度。预充电电路14作为预充电脉冲P 1至P n (在该示例中，预充电脉冲P 1，P 1X至P 4和P n 4的两个相位) 并且预充电信号电位可以确定地写入脉冲宽度内。 Z

