

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 29658

(P2003 - 29658A)

(43)公開日 平成15年1月31日 (2003.1.31)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト* (参考)
G 0 9 F 9/00	348	G 0 9 F 9/00	348 C 2 H 0 9 2
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 3
	1/1343		1/1343 5 C 0 9 4
	1/1345		1/1345 5 G 4 3 5
G 0 9 F 9/30	330	G 0 9 F 9/30	330 Z

審査請求 未請求 請求項の数 4 O L (全 6 数) 最終頁に続く

(21)出願番号 特願2001 - 220457(P2001 - 220457)

(22)出願日 平成13年7月19日(2001.7.19)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 もたい 友信

埼玉県深谷市幡羅町一丁目9番地2 株式会社東芝深谷工場内

(74)代理人 100062764

弁理士 樺澤 襄 (外 1 名)

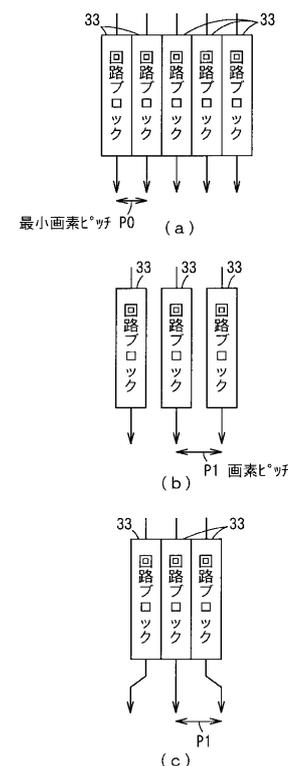
最終頁に続く

(54)【発明の名称】 表示装置の製造方法

(57)【要約】

【課題】 回路ブロックの設計精度の維持が容易な液晶表示装置の製造方法を提供する。

【解決手段】 最小画素ピッチP0を有する液晶パネルの映像信号線へアナログ映像信号を供給しこの映像信号線に対応した複数のデジタルアナログ変換回路を一定の回路パターンとして回路ブロック33を構成する。最小画素ピッチP0以上の画素ピッチP1を有する液晶パネルの画素構成に合わせて回路ブロック33の間隔を変更して設定する。画素ピッチP1の異なる液晶パネル毎に、複数のデジタルアナログ変換回路を有する回路ブロック33を設計する必要がなくなる。回路ブロック33の設計精度の維持を容易にできる。



【特許請求の範囲】

【請求項 1】 所定の画素ピッチを有する表示部の映像信号線へ映像信号を供給してこの表示部で映像を表示させる表示装置の製造方法であって、

予め設定した最小画素ピッチを有する前記表示部の映像信号線へ映像信号を供給しこの映像信号線に対応した複数の駆動回路のそれぞれを一定の回路パターンとして回路ブロックを構成し、

前記最小画素ピッチ以上の所定の画素ピッチを有する前記表示部の画素に合わせて前記回路ブロックの間隔を

変更して設定することを特徴とする表示装置の製造方法。

【請求項 2】 回路ブロックの間隔を表示部の画素ピッチに応じた間隔を介して設定することを特徴とする請求項 1 記載の表示装置の製造方法。

【請求項 3】 所定の画素ピッチを有する表示部の映像信号線へ映像信号を供給してこの表示部で映像を表示させる表示装置の製造方法であって、

予め設定した最小画素ピッチを有する前記表示部の映像信号線へ映像信号を供給しこの映像信号線に対応した複

数の駆動回路のそれぞれを一定の回路パターンとして回路ブロックを構成し、前記最小画素ピッチ以上の所定の画素ピッチを有する前記表示部の画素に合わせて前記回路ブロックと前記映像信号線との間の接続配線パターンを変更して設定することを特徴とする表示装置の製造方法。

【請求項 4】 接続配線パターンは、回路ブロック側のピッチよりも映像信号線側のピッチが大きいことを特徴とする請求項 3 記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、所定の画素ピッチを有する表示部の映像信号線へ映像信号を供給してこの表示部で映像を表示させる表示装置の製造方法に関する。

【0002】

【従来の技術】従来、この種の液晶表示装置は、信号線および走査線の交差点近傍に配置されるスイッチ素子としての薄膜トランジスタ(TFT:Thin Film Transistor)を介して配置される表示画素をマトリクス状に備えた表示部としての液晶パネルを備えている。この液晶パネルは、縦方向および横方向に向けて所定の画素ピッチを有しており、各表示画素は画素電極と対向電極との間に液晶が保持されてなっている。

【0003】また、この液晶パネルの例えば横方向に沿った一方の辺には、外部から入力されるデジタル映像信号を D/A 変換し、液晶パネルの信号線へとアナログ映像信号を供給して液晶パネルにて映像を表示させる駆動回路が配置されている。また、この液晶パネルの例えば縦方向に沿った一方の辺には、液晶パネルの走査線へと走査信号を供給する駆動回路が配置されている。

【0004】ところで、従来では、これら駆動回路は一般に半導体 IC チップから構成され、液晶パネルに電氣的に接続されていた。しかしながら、従来の接続方法では高精細な表示装置を実現するための接続ピッチ接続を達成することができない。そこで、最近では、半導体層に多結晶シリコン(p-Si)を用い、駆動回路を液晶パネル上に一体的に形成することで、高精細化を実現する試みがなされている。

【0005】

【発明が解決しようとする課題】上述したように、駆動回路を一体的に形成した液晶表示装置では、仮に信号線や走査線数が同じであっても、そのピッチが異なる毎に液晶パネルの画素ピッチに適応するように駆動回路の設計をそれぞれ行っていた。このため、設計品種の増大に伴い、多大な設計時間を費やすこととなり、効率的ではなかった。本発明は、このような点に鑑みなされたもので、駆動回路を一体的に備えた表示装置に係り、特に回路ブロックの設計精度の維持が容易な表示装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、所定の画素ピッチを有する表示部の映像信号線へ映像信号を供給してこの表示部で映像を表示させる表示装置の製造方法であって、予め設定した最小画素ピッチを有する前記表示部の映像信号線へ映像信号を供給し、前記映像信号線に対応した複数の駆動回路のそれぞれを一定の回路パターンとして回路ブロックを構成し、前記最小画素ピッチ以上の所定の画素ピッチを有する前記表示部の画素に合わせて前記回路ブロックの間隔を変更して設定するものである。

【0007】そして、予め設定した最小画素ピッチを有する表示部の映像信号線へ映像信号を供給しこの映像信号線に対応した複数の駆動回路のそれぞれを、一定の回路パターンとして回路ブロックを構成し、この回路ブロックを、最小画素ピッチ以上の所定の画素ピッチを有する表示部の画素に合わせて回路ブロックの間隔を変更して設定することにより、この回路ブロックの各駆動回路により最小画素ピッチ以上の所定の画素ピッチを有する表示部の映像信号線へ映像信号が供給されて映像が表示される。このため、画素ピッチの異なる表示部毎に、複数の駆動回路を有する回路ブロックを設計する必要がなくなるから、この回路ブロックの設計精度の維持が容易になる。

【0008】また、最小画素ピッチ以上の所定の画素ピッチを有する表示部の画素に合わせて回路ブロックと映像信号線との間の接続配線パターンを変更して設定するものである。

【0009】そして、最小画素ピッチ以上の所定の画素ピッチを有する表示部の画素に合わせて回路ブロックと映像信号線との間の接続配線パターンを変更して設定す

れば、画素ピッチの異なる表示部毎に、複数の駆動回路を有する回路ブロックを設計する必要がなくなるから、この回路ブロックの設計精度の維持が容易になる。

【0010】

【発明の実施の形態】以下、本発明の液晶表示装置の一実施の形態の構成を図1ないし図4を参照して説明する。

【0011】図1ないし図4において、1は液晶表示装置で、この液晶表示装置1は、アクティブマトリクス型であり、液晶(LC:Liquid Crystal)2aにて映像を表示 10 させる表示部としての液晶パネル2を備えている。この液晶パネル2は、矩形平板状に形成されており、縦方向および横方向それぞれに向けて所定の画素ピッチP1にてマトリクス状に画素電極と対向電極との間に液晶2aを挟持した表示画素が設けられている。

【0012】また、液晶パネル2を構成するアレイ基板には、半導体層に多結晶シリコン(p-Si)が用いられたスイッチング素子としての薄膜トランジスタ10がマトリクス状に形成されている。そして、アレイ基板上には、縦方向に沿った複数本の映像信号線3aと、これら複数本の 20 映像信号線3aそれぞれに直交、すなわち横方向に沿った走査線3bとが配設されている。

【0013】また、液晶パネル2の縦方向および横方向それぞれの一方の辺には、この液晶パネル2の画素を駆動させて、この液晶パネル2にて映像を表示させるXドライバ4aおよびYドライバ4bが、半導体層に多結晶シリコン(p-Si)が用いられた薄膜トランジスタにより一体的に形成されている。そして、このXドライバ4aには、デ 30 ィジタル信号としてのスタートパルス(STH)、クロック信号(CPH)等が入力される。また、このXドライバ4aは、スタートパルスをクロック信号に基づいて順次転送し出力するシフトレジスタ5を備えている。そして、このシフトレジスタ5の出力に基づいて映像データバスライン6から伝送される6ビットのデジタル映像データを順次サンプリングする第1のサンプリングラッチ7を備えている。また、この第1のサンプリングラッチ7に順次サンプリングされたデジタル映像データはさらに第2のサンプリングラッチ8へと転送される。この第2のサンプリングラッチ8にて保持された映像データ 40 は、階調選択回路9を介して駆動回路としてのデジタルアナログ変換回路(DAC)13へと入力される。

【0014】さらに、階調選択回路9は、6ビットのデジタル映像データから上位3ビットで18本の階調基準信号線11から階調基準電圧を選択するとともに、下位3ビットで後段のデジタルアナログ変換回路(DAC)13を制御する。

【0015】また、デジタルアナログ変換回路13は、シリアルダック(C-DAC)にて構成されている。すなわち、階調選択回路9により選択された階調基準電圧V 50 rer1またはVref2を、相補型の第1のトランジスタ群15

a,15b,15cと、相補型の第2のトランジスタ群16a,16b,16cとにより第1のコンデンサ17a,7b,17cにチャージする。

【0016】さらに、これら第1のコンデンサ17a,7b,17cには、これら第1のコンデンサ17a,7b,17cにてチャージした容量を短絡、すなわち導電させるスイッチング素子としての相補型の第3のトランジスタ群18a,18b,18cがそれぞれ接続されている。

【0017】また、これら第3のトランジスタ群18a,18b,18cには、これら第3のトランジスタ群18a,18b,18cによる第1のコンデンサ17a,7b,17cの制御をリセットさせる初期化手段としての相補型の第4のトランジスタ群19が接続されている。この第4のトランジスタ群19は、階調選択回路9に接続されており、この階調選択回路9にて選択されたVref1が入力される。この第4のトランジスタ群19には、第2のコンデンサ20が接続されており、第1のトランジスタ群15a,15b,15cおよび第3のトランジスタ群18a,18b,18cそれぞれに対して並列に接続されている。

【0018】さらに、第3のトランジスタ群18a,18b,18cには、第1のコンデンサ17a,7b,17cからショートされた電荷を増幅させる増幅手段としてのバッファアンプ21が接続されている。このバッファアンプ21は、第1のコンデンサ17a,7b,17cからショートされた電荷をチャージする第2コンデンサ22を備えており、この第3のコンデンサ22は、第3のトランジスタ群18a,18b,18cのそれぞれに接続されている。

【0019】また、この第3のコンデンサ22には、この第3のコンデンサ22にてチャージした電荷をショートさせる相補型の第5のトランジスタ群23が接続されているとともに、この第5のトランジスタ群23により第3のコンデンサ22からショートされた電荷を増幅させる増幅手段として相補型のトランジスタ25a,25b,25cが複数段、例えば3段接続されて配置されている。

【0020】さらに、これら相補型のトランジスタ25a,25b,25cの出力は、アナログ映像信号を、この実施の形態では4本の映像信号線へ順次出力させる制御回路としての信号線選択回路31が接続されている。すなわち、この信号線選択回路31は、第7のトランジスタ群32a,32b,32c,32dを複数、例えば4個備えており、これら第7のトランジスタ群32a,32b,32c,32dには、一水平走査期間、すなわち1Hを4分の1に分けた期間毎にアナログ映像信号が入力される。

【0021】ここで、シリアルダック、バッファアンプ21および信号線選択回路31により、図2(a)に示すように、一定の回路パターンとして回路ブロック33が構成されている。

【0022】例えば、液晶パネル2の画素数が等しく、画面サイズのみが若干大きくなった製品について、従来では回路ブロック33自体を改めて設計していた。これに

対して、この実施の形態では、図2(b)に示すように、回路ブロック33個々の設計を維持した状態でこれら回路ブロック33の間隔のみを変更、すなわち広げている。また、図2(c)では、さらに回路ブロック33全体の設計を変更することなく、これら回路ブロック33と映像信号線3aとの間の接続配線パターンを変更、すなわちこれら接続配線の引き回しを変更している。この結果、これら接続配線パターンは、回路ブロック33側のピッチよりも映像信号線3a側のピッチが大きくなる。

【0023】すなわち、この回路ブロック33は、設計精度に関わる部分のパターンを変更せず、設計精度に影響のない部分のパターンを変更すれば足りるように、設計限界となる最小画素ピッチP0を有する液晶パネル2の回路パターンを基礎として設計されており、この液晶パネル2の最小画素ピッチP0以上の所定の画素ピッチP1を有する液晶パネル2の画素に対しては、この液晶パネル2の画素ピッチP1および基板サイズに関係なく、この液晶パネル2の各画素構成に合わせて設定されている。

【0024】さらに、この回路ブロック33は、液晶パネル2に対して集積状態を維持させた状態で、この液晶パネル2のいずれかの映像信号線3aに接続される部分を引き回してこの液晶パネル2のいずれかの映像信号線3aに接続される。

【0025】次に、上記一実施の形態の動作を説明する。

【0026】まず、Xドライバ4aのシフトレジスタ5にクロック信号(CPH)およびスタートパルス(STH)が入力されると、このシフトレジスタ5にて入力されたスタートパルス(STH)およびクロック信号(CPH)を順次転送するとともに、生成されるサンプリングパルスに基づいてデジタル映像信号が第1のサンプリングラッチ7にサンプリングされ、第1のサンプリングラッチ7から第2のサンプリングラッチ8へと出力される。

【0027】次いで、第2のサンプリングラッチ8から階調選択回路9へ出力されたデジタル映像信号に基づいて、階調選択回路9は上位3ビットのデータに基づいて階調基準信電圧を選択してデジタルアナログ変換回路13に出力するとともに、下位3ビットのデータに基づいてデジタルアナログ変換回路13の制御信号を出力する。さらに、デジタルアナログ変換回路13は、階調基準信電圧および制御信号に基づいて、対応するアナログ映像信号を生成し、制御回路31を介して対応する映像信号線に出力する。上述したように、上記一実施の形態によれば、予め設定した最小画素ピッチP0を有する液晶パネル2に適応させて、互いの幅が狭くできないデジタルアナログ変換回路13を構成するシリアルダック、バッファアンプ21および信号線選択回路31で、図2(a)に示すように、一定の回路パターンとして回路ブロック33を構成し、この回路ブロック33を基本構成として、図2(b)および図2(c)に示すように、液晶パネル2の画素ピ* 50

* ッチP1に応じた間隔を介して、または冗長させてこの液晶パネル2の画素構成に適応させて回路ブロック33の回路パターンの間を変更して設定することにより、画素ピッチP1の異なる液晶パネル2毎に、回路ブロック33の構成を設計変更などする必要がなくなるので、画素ピッチP1および基板サイズが異なる液晶パネル2にこの回路ブロック33を設定させた際におけるこの回路ブロック33の設計精度の維持を容易にできる。

【0028】また、このXドライバ4におけるデジタルアナログ変換回路13が配置される領域には、複数の回路ブロック33が配置されるが、これら回路ブロック33とこの回路ブロック33に隣接する回路ブロック33との間には、トランジスタやダイオード、コンデンサなどの能動素子が配置されないため、これら回路ブロック33に隣接する回路ブロック33の第3のトランジスタ群18a, 18b, 18cや、第5のトランジスタ群23、トランジスタ25a, 25b, 25cなどに入力されるトランジスタ制御信号によるこれらトランジスタ25a, 25b, 25cなどへのリークを防止できるので、これらトランジスタ25a, 25b, 25cなどへの寄生容量を防止できるから、これら回路ブロック33の設計精度の維持が容易にできる。

【0029】なお、回路ブロック33の単位は、上記一実施の形態に限定されるものではなく、例えば階調選択回路9や第1のサンプリングラッチ7、第2のサンプリングラッチ7、さらにはシフトレジスタ5の各段をまとめてブロック単位としてもかまわない。また、液晶表示装置1の液晶パネル2の映像信号線を駆動させるXドライバ4aに用いられるデジタルアナログ変換回路13について説明したが、この液晶パネル2の走査線3bを駆動させるシフトレジスタ、バッファ回路にも適応できるとともに、エレクトロルミネッセンス(EL)素子を用いた表示装置などであっても適応できる。

【0030】

【発明の効果】本発明によれば、予め設定した最小画素ピッチを有する表示部の映像信号線へ映像信号を供給しこの映像信号線に対応した複数の駆動回路のそれぞれを、一定の回路パターンとして回路ブロックを構成し、この回路ブロックを、最小画素ピッチ以上の所定の画素ピッチを有する表示部の画素に合わせて回路ブロックの間隔を変更して設定すれば、画素ピッチの異なる表示部毎に、複数の駆動回路を有する回路ブロックを設計する必要がなくなるから、この回路ブロックの設計精度の維持を容易にできる。

【0031】また、最小画素ピッチ以上の所定の画素ピッチを有する表示部の画素に合わせて回路ブロックと映像信号線との間の接続配線パターンを変更して設定しても、画素ピッチの異なる表示部毎に、複数の駆動回路を有する回路ブロックを設計する必要がなくなるから、この回路ブロックの設計精度の維持を容易にできる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の液晶表示装置を示す説明図である。

【図2】同上液晶表示装置の製造方法を示す説明図である。

- (a) 最小画素ピッチを有する液晶パネルに回路ブロックを設定した説明図
- (b) 所定の画素ピッチを有する液晶パネルに回路ブロックを間隙を介して設定した説明図
- (c) 所定の画素ピッチを有する液晶パネルに回路ブロックを冗長して設定した説明図

【図3】同上液晶表示装置のXドライバの一部を示すブ

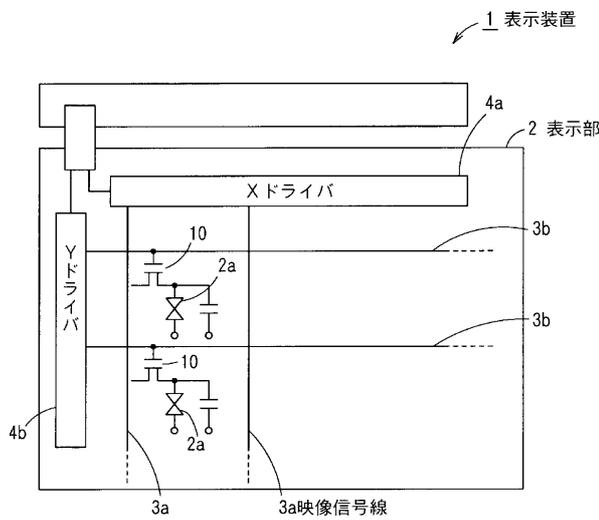
ロック図である。

【図4】同上Xドライバの一回路ブロックを示す回路図である。

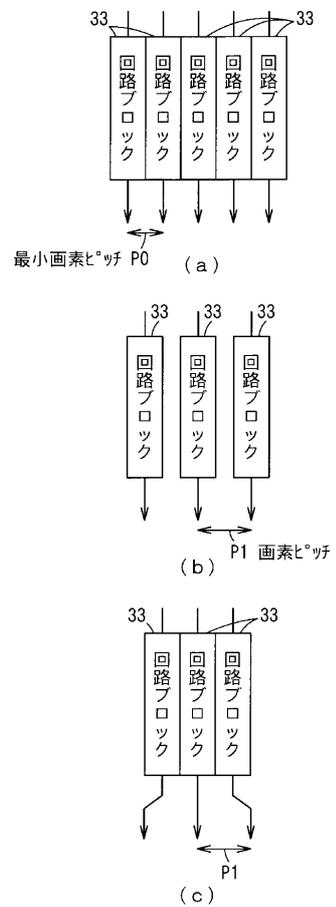
【符号の説明】

- 1 液晶表示装置
- 2 表示部としての液晶パネル
- 3a 映像信号線
- 13 駆動回路としてのデジタルアナログ変換回路
- 33 回路ブロック
- 10 P0 最小画素ピッチ
- P1 画素ピッチ

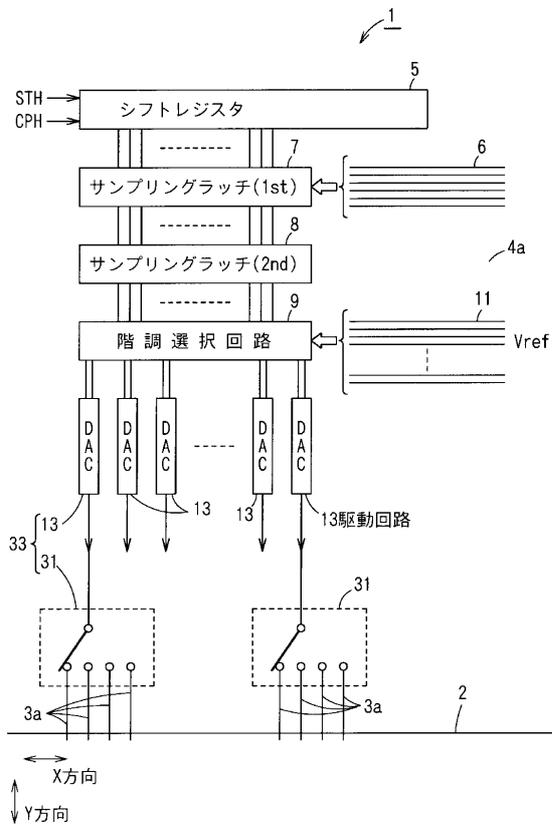
【図1】



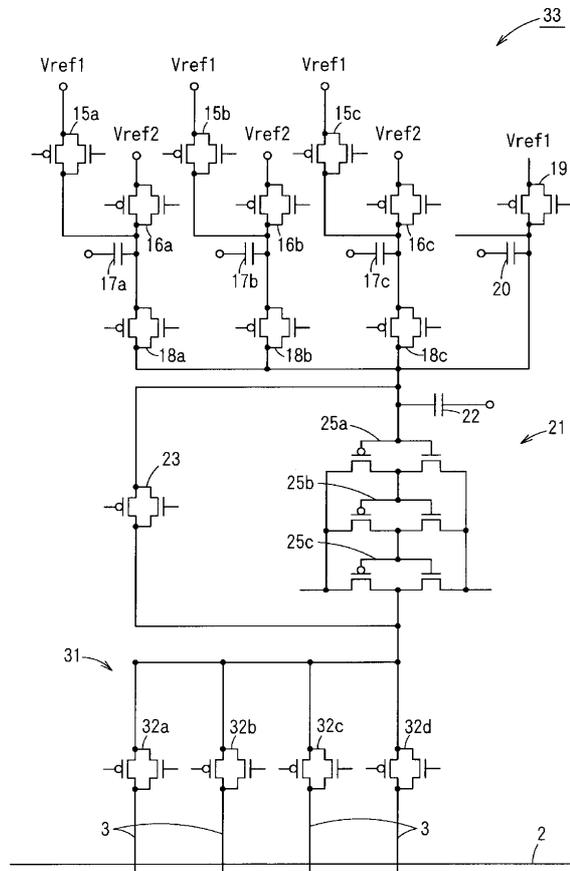
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.⁷

G 0 9 F 9/30
9/35

識別記号

3 3 8

F I

G 0 9 F 9/30
9/35

テーム(参考)

3 3 8

F ターム(参考) 2H092 GA20 GA24 GA32 JB02 JB22
JB31 JB61 NA29 PA06
2H093 NA16 NC09 NC11 NC22 NC24
NC26 NC27 NC34 NC35 ND42
ND48 ND53 ND54
5C094 AA05 AA43 BA03 BA43 CA19
EA04 EA07
5G435 AA17 BB12 CC09 EE40 KK05
KK09 KK10

专利名称(译)	显示装置的制造方法		
公开(公告)号	JP2003029658A	公开(公告)日	2003-01-31
申请号	JP2001220457	申请日	2001-07-19
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	もたい友信		
发明人	▲もたい▼ 友信		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1345 G09F9/00 G09F9/30 G09F9/35		
FI分类号	G09F9/00.348.C G02F1/133.550 G02F1/1343 G02F1/1345 G09F9/30.330.Z G09F9/30.338 G09F9/35 G09F9/00.348.Z G09F9/30.330		
F-TERM分类号	2H092/GA20 2H092/GA24 2H092/GA32 2H092/JB02 2H092/JB22 2H092/JB31 2H092/JB61 2H092/NA29 2H092/PA06 2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC27 2H093/NC34 2H093/NC35 2H093/ND42 2H093/ND48 2H093/ND53 2H093/ND54 5C094/AA05 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE40 5G435/KK05 5G435/KK09 5G435/KK10 2H193/ZA04		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种制造液晶显示装置的方法，其中可以容易地保持电路块的设计精度。将模拟视频信号提供给具有最小像素间距P0的液晶面板的视频信号线，并且将与该视频信号线相对应的多个数模转换电路用作固定电路图案，以形成电路块33。根据具有等于或大于最小像素间距P0的像素间距P1的液晶面板的像素配置来改变和设置电路块33的间隔。对于具有不同像素间距P1的每个液晶面板，不必设计具有多个数模转换电路的电路块33。可以容易地保持电路块33的设计精度。

