

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-237282

(P2009-237282A)

(43) 公開日 平成21年10月15日(2009.10.15)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H093
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 624A	2H193
<b>G09F 9/30 (2006.01)</b>	G09G 3/20 622G	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 660Q	5C080
	G09G 3/20 680G	5C094

審査請求 未請求 請求項の数 11 O L (全 29 頁) 最終頁に続く

(21) 出願番号 特願2008-83367 (P2008-83367)  
 (22) 出願日 平成20年3月27日 (2008.3.27)

(71) 出願人 00005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 110000338  
 特許業務法人原謙三国際特許事務所  
 (72) 発明者 吉田 昌弘  
 大阪府大阪市阿倍野区長池町2番2号  
 シャープ株式会社内  
 Fターム(参考) 2H093 NA16 NA43 NA80 NB12 NC09  
 NC10 NC12 NC34 NC49 NC67  
 ND09 ND10 ND34 ND56 NE03  
 2H193 ZA04 ZD32 ZE31 ZF22 ZF36  
 ZH40 ZH45 ZK01 ZP03

最終頁に続く

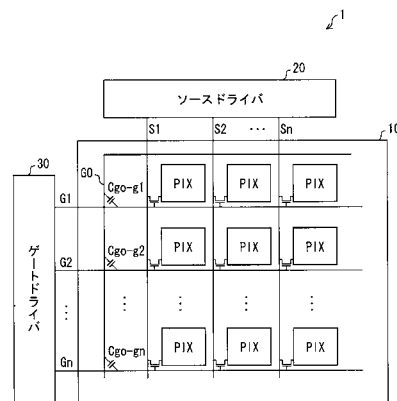
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】小型化を図るとともに、各行の表示状態を均等化することにより、表示品位の劣化を抑える。

【解決手段】液晶表示装置1は、走査信号線G1, G2, ..., Gnと、走査信号線G1, G2, ..., Gnによってオン/オフされるTFT11と、TFT11の一端に接続された画素電極とを含んで構成される行を複数備えるとともに、前記各行のTFT11の他端に接続されたデータ信号線S1, S2, ..., Snを含む液晶表示パネル10を備える。ゲート信号の走査開始側または走査終了側に位置する最端部の行には、ダミー走査信号線G0が設けられている。ダミー走査信号線G0は、該ダミー走査信号線G0と走査信号線G1, G2, ..., Gnとの間で容量Cgo-g1, Cgo-g2, ..., Cgo-gnが形成されるように、該走査信号線の少なくとも一部に重畳して設けられている。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を含む表示パネルを備えた表示装置において、

走査信号の走査開始側または走査終了側に位置する最端部の行には、ダミー走査信号線が設けられ、

前記ダミー走査信号線は、前記走査信号線に輸入される前記スイッチング素子のオフ電位信号の電位変動と同じ周期で電位変動する信号が輸入される信号線の少なくとも一部に絶縁膜を介して重畳して設けられていることを特徴とする表示装置。

10

**【請求項 2】**

前記信号線に輸入される信号電位の振幅と、前記スイッチング素子のオフ電位の振幅とが同じであることを特徴とする請求項 1 に記載の表示装置。

**【請求項 3】**

前記信号線に輸入される信号電位と、前記スイッチング素子のオフ電位とは、ともに一定であることを特徴とする請求項 1 に記載の表示装置。

**【請求項 4】**

表示領域外において、前記走査信号線および前記データ信号線の少なくとも何れか一方に接続されたスイッチング素子と、該スイッチング素子に直接、もしくは他のスイッチング素子を介して電氣的に接続された第 1 の信号供給配線とをさらに備え、

20

前記信号線は、前記第 1 の信号供給配線であることを特徴とする請求項 1 から 3 の何れか 1 項に記載の表示装置。

**【請求項 5】**

前記第 1 の信号供給配線は、前記表示パネルの表示状態を、前記走査信号線およびデータ信号線の少なくとも何れか一方ごとに検査するための、検査用の信号を供給するための配線であることを特徴とする請求項 4 に記載の表示装置。

**【請求項 6】**

前記第 1 の信号供給配線は、前記表示パネルにおける前記走査信号線およびデータ信号線の少なくとも何れか一方に輸入する信号を生成するための信号を供給する配線である請求項 4 に記載の表示装置。

30

**【請求項 7】**

前記表示パネルには液晶材料が封入されており、液晶材料が封入された領域であって、かつ表示領域外において、画素電極と同じ材料で形成された導電片と、該導電片に接続された第 2 の信号供給配線とを備え、

前記信号線は、前記導電片または前記第 2 の信号供給配線であることを特徴とする請求項 1 から 3 の何れか 1 項に記載の表示装置。

**【請求項 8】**

走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を含む表示パネルを備えた表示装置において、

40

走査信号の走査開始側または走査終了側に位置する最端部の行には、ダミー走査信号線が設けられ、

前記ダミー走査信号線は、少なくとも 1 つの走査信号線の少なくとも一部に重畳して設けられていることを特徴とする表示装置。

**【請求項 9】**

前記ダミー走査信号線は、各行に備えられた全ての前記走査信号線と交差するように設けられていることを特徴とする請求項 8 に記載の表示装置。

**【請求項 10】**

50

前記ダミー走査信号線は、さらに、該ダミー走査信号線と前記走査信号線とが交差する領域の面積が、各行で同一となるように設けられていることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

前記画素電極に液晶を介して対向配置される共通電極に入力される信号は、水平走査期間に同期した交流波形の信号であることを特徴とする請求項 1 から 10 の何れか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マトリクス型の表示装置に関するものである。

【背景技術】

【0002】

マトリクス型の表示装置として、TFT（薄膜トランジスタ：Thin Film Transistor）が形成されたアクティブマトリクス基板および上記 TFT を駆動するためのドライバ IC（Integrated Circuit）を備えた液晶表示装置が広く知られている。

【0003】

図 23 に、TFT アクティブマトリクス方式の液晶表示装置 101 の構成を示す。液晶表示装置 101 には、マトリクスの行駆動回路としてゲートドライバ 102、列駆動回路としてデータドライバ 103 が設けられている。

【0004】

透明な基板には、それぞれ複数本の、ゲートドライバ 102 によって駆動される走査信号線  $G_n \cdot G_{n+1} \cdot \dots$ （総称するときは、以下参照符  $G$  で示す）と、データドライバ 103 によって駆動されるデータ信号線  $S_n \cdot S_{n+1} \cdot \dots$ （総称するときは、以下参照符  $S$  で示す）とが相互に交差するように形成されている。そして、これらの各走査信号線  $G$  と各データ信号線  $S$  とが交差するそれぞれの箇所に画素  $PIX$  が形成されている。画素  $PIX$  は、TFT 104、液晶 105、補助容量 106 を備えている。また、走査信号線  $G$  とデータ信号線  $S$  とによって区分された領域には、液晶 105 および補助容量 106 の一方の電極となる画素電極 107（図 24 参照）が形成されており、この画素電極 107 は TFT 104 のドレイン電極に接続されている。第  $n$  行、第  $n$  列目の画素  $PIX$  では、前記 TFT 104 のソース電極は第  $n$  列目のデータ信号線  $S_n$  に接続され、ゲート電極は第  $n$  行目の走査信号線  $G_n$  に接続される。

【0005】

このように各画素  $PIX$  が形成される液晶表示装置 101 において、走査信号線  $G$  と画素電極 107 との関係に着目すると、図 23 の液晶表示装置 101 は、第  $n$  行目の走査信号線  $G_n$  が第  $n$  行目の画素電極 107 の下側に配置される、いわゆる下ゲート構造の液晶表示装置である。そして、前記画素電極 107 と走査信号線  $G_n, G_{n-1}$  との間には、図 24 に示すように、それぞれ寄生容量  $C_{gd1} \cdot C_{gd2}$  が形成されることになる。ここで、第 1 行目の画素  $PIX$  について考えると、前記第  $n$  行目の画素  $PIX$  における走査信号線  $G_{n-1}$  に対応する走査信号線  $G_0$  は形成されておらず、前記寄生容量  $C_{gd2}$  が形成されないことになる。図 23 に、第 1 行目（ $G_1$  ライン）の画素と第 2 行目以降（ $G_n (n \geq 2)$  の画素とにおいて、これらの寄生容量  $C_{gd1}, C_{gd2}$  が形成されている場合の等価回路の相違を示す。

【0006】

一方、図 25 に示すように、各走査信号線  $G$  には振幅が  $V_{gpp}$  のゲート信号が順次印加されるが、このゲート信号によって TFT 104 のドレインレベルが変動する。すなわち、第  $n$  行目の画素  $PIX$  においては、寄生容量  $C_{gd1}$  を介して、走査信号線  $G_n$  のゲート信号が TFT 104 のドレインレベルを  $V_1$  だけ変動させる。

【0007】

ここで、画素  $PIX$  の液晶容量を  $C_{lc}$  で示し、補助容量を  $C_{cs}$  で示すとき、前記

10

20

30

40

50

V<sub>1</sub>は、

$$V_1 = V_{gpp} \times \{ C_{gd1} / ( C_{lc} + C_{cs} + C_{gd1} + C_{gd2} ) \}$$

と表すことができる。

【0008】

そして、自段の走査信号線G<sub>n</sub>のゲート信号によって引き起こされるV<sub>1</sub>は、TF T 104のドレインレベルの振幅中心V<sub>com</sub>を、データ信号の振幅中心V<sub>sc</sub>から該V<sub>1</sub>だけ低くするように作用する。

【0009】

このV<sub>1</sub>が他の行と異なることが問題であり、正書き込みと負書き込みでの液晶印加電圧が異なることで、第1行目のみフリッカや輝度差が生じやすくなる。さらに、第1行目において液晶にDC成分が印加されるため、液晶が劣化しやすいという信頼性上の問題も生じる。

10

【0010】

従来、上記課題を解決するための様々な手法が提案されている。例えば、特許文献1には、下ゲート構造のパネルに、第1行目の画素に近接して、表示に寄与しない、該第1行目の画素と他の画素との上記のような非対称性を補償するためのダミーの走査信号線(ダミー走査信号線G<sub>0</sub>)を形成した液晶表示装置が記載されている。図26は、この特許文献1に係る液晶表示装置の構成を示す回路図であり、図27は、該液晶表示装置のダミー走査信号線及び走査信号線に入力される各信号のタイミングチャートである。

【0011】

図26に示すように、上記液晶表示装置では、ゲート信号の走査開始側に位置する最端部の走査信号線(図26の例では最上段の走査信号線)G<sub>1</sub>の外側に、この走査信号線G<sub>1</sub>に対して平行で、かつ、この走査信号線G<sub>1</sub>に接続されたTF T 104に連なる画素電極107を挟んで対向配置された状態で容量形成用のダミー走査信号線G<sub>0</sub>が形成されている。また、ダミー走査信号線G<sub>0</sub>は、走査信号線駆動回路Kに接続され、ゲート信号が入力される。

20

【0012】

この構成によれば、最上段の走査信号線G<sub>1</sub>に接続されたTF T 104に連なる画素電極107は、この走査信号線G<sub>1</sub>とダミー走査信号線G<sub>0</sub>とによって上下に挟まれた状態となる。すなわち、全ての画素が幾何学的に上下の対称性が保たれるようになる。これにより、最上段の走査信号線G<sub>1</sub>で駆動される画素は、他の走査信号線G<sub>2</sub>, G<sub>3</sub>, ...で駆動される画素と全く同じ条件になるため、従来のように、最上段の1ライン分の画素において、フリッカが生じやすいといった現象を防ぐことができる。

30

【特許文献1】特開平9-288260号公報(1997年11月4日公開)

【発明の開示】

【発明が解決しようとする課題】

【0013】

ところが、上記の構成では、走査信号線駆動回路において、ダミー走査信号線G<sub>0</sub>にゲート信号を出力するための回路領域が必要になる。走査信号線やデータ信号線などを形成する製造プロセスを用いて、基板上に、走査信号線駆動回路を、直接形成する場合は表示領域周辺部の回路領域が拡大し、走査信号線駆動回路が、ゲートドライバのような外部回路である場合には、ドライバの実装領域が拡大する。また、ダミー走査信号線G<sub>0</sub>と走査信号線駆動回路を接続するための接続配線の領域が必要となる。そのため、特に近年提案されている、携帯電話・PDA等の小型・高精細化に対応した狭額縁の液晶表示装置への適用が困難となる。さらに、走査信号線駆動回路が、外部回路である場合、ダミー走査信号線G<sub>0</sub>と外部回路とを接続するために、ダミー走査信号線G<sub>0</sub>に電氣的に接続されたパッドを露出させる必要があり、このパッド部から静電気が侵入し、断線や他の配線とのリークといった不良が発生するおそれもある。

40

【0014】

ここで、狭額縁の液晶表示装置に適用可能な構成として、上記特許文献1には、ダミー

50

走査信号線 G 0 が、どこにも接続されず何ら信号が入力されない構成が記載されている。ところが、この構成では、装置自体の小型化を実現することはできるものの、第 1 行目の画素と他の画素との対称性が崩れ、フリッカの抑制の効果が薄れてしまうという問題がある。

【 0 0 1 5 】

図 2 8 は、ダミー走査信号線 G 0 に信号入力しない場合の構成を示す回路図であり、図 2 9 ( a ) は、第 3 行目の画素 P I X に関わる各種信号の波形を示すタイミングチャートであり、図 2 9 ( b ) は、第 1 行目の画素 P I X に関わる各種信号の波形を示すタイミングチャートである。ここで、共通電極電位 ( V c o m ) は、低消費電力が必要とされる小型の液晶表示装置に対応して、水平走査期間に同期し交流波形の信号 ( A C 信号 ) である。すなわち、V c o m の電位を変動させることによって、データ信号線駆動回路から出力されるデータ信号の振幅を抑えることが可能となるため、駆動回路の構成を低耐圧で簡略化することができ、低消費、低コスト、小型の液晶表示装置を実現することができる。

10

【 0 0 1 6 】

このような、ダミー走査信号線 G 0 に信号入力しない液晶表示装置において、V c o m の電位が変動する構成の場合は、ダミー走査信号線 G 0 およびデータ信号線 S 1 ・ S 2 ... により形成される容量の総和 C g o - s と、ダミー走査信号線 G 0 および共通電極により形成される容量 C g o - c o m とにより、ダミー走査信号線 G 0 の電位が変動する。そのため、ゲートオフ電位が一定である駆動方式の場合、図 2 9 ( a ) に示すように、第 3 行目の V g 2 が一定であるのに対して、図 2 9 ( b ) に示すように、ダミー走査信号線 G 0 の電位 V g 0 は不安定な状態となる。それに伴って、第 1 行目の画素電極の保持電位が変動するという問題が生じる。

20

【 0 0 1 7 】

ここで、ダミー走査信号線 G 0 が設けられる第 1 行目の画素 P I X の電位 V d 1 L ( ローレベル側 ) , V d 1 H ( ハイレベル側 ) と、その他の行 ( ここでは、一例として第 3 行目 ) の画素 P I X の電位 V d 3 L ( ローレベル側 ) , V d 3 H ( ハイレベル側 ) とは、電荷保存則に基づき次式で表される。

【 0 0 1 8 】

【 数 1 】

$$V_{d3L} = \underbrace{V_{sh}}_{\text{第1項}} - \underbrace{\frac{C_{gd}}{C_{pix}}(V_{gh} - V_{gl})}_{\text{第2項}} \quad \dots (1)$$

30

【 0 0 1 9 】

【 数 2 】

$$V_{d3H} = \underbrace{V_{sh}}_{\text{第1項}} - \underbrace{\frac{C_{gd}}{C_{pix}}(V_{gh} - V_{gl})}_{\text{第2項}} - \underbrace{\frac{C_{sd}}{C_{pix}}(V_{sh} - V_{sl}) + \frac{C_{os} + C_{le}}{C_{pix}}(V_{comh} - V_{coml})}_{\text{第3項}} \quad \dots (2)$$

40

【 0 0 2 0 】

【 数 3 】

$$V_{d1L} = \underbrace{V_{sh}}_{\text{第1項}} - \underbrace{\frac{C_{gd}}{C_{pix} - C_{go}} \frac{C_{go}\Sigma}{C_{go} - com + C_{go} - s + C_{go}\Sigma}}_{\text{第2項}} (V_{gh} - V_{gl}) \quad \dots (3)$$

50

【 0 0 2 1 】

【数 4】

$$\begin{aligned}
 & \text{第1項} \quad \text{第2項} \\
 & Vd1H = Vsh - \frac{Cgd}{Cpix - Cgo} \frac{Cgo\Sigma}{Cgo-com + Cgo-s + Cgo\Sigma} (Vgh - Vgl) \\
 & \left[ \frac{Csd}{Cpix - Cgo} \frac{Cgo\Sigma}{Cgo-com + Cgo-s + Cgo\Sigma} (Vsh - Vsl) \right. \\
 & \quad \left. + \frac{Ccs + Clc}{Cpix - Cgo} \frac{Cgo\Sigma}{Cgo-com + Cgo-s + Cgo\Sigma} (Vcomh - Vcoml) \right. \\
 & \quad \left. + \frac{Cgo}{Cpix - Cgo} \frac{Cgo\Sigma}{Cgo-com + Cgo-s + Cgo\Sigma} \left( \frac{Cgo-com}{Cgo-com + Cgo-s + Cgo\Sigma} (Vcomh - Vcoml) - \frac{Cgo-s}{Cgo-com + Cgo-s + Cgo\Sigma} (Vsh - Vsl) \right) \right] \dots (4) \\
 & \text{第3項}
 \end{aligned}$$

10

20

【0022】

上式(2)、(4)の第3項の式から分かるように、第1行目の画素PIXにおける保持期間中の電位変動量(Vd1H - Vd1L)と、第3行目の画素における保持期間中の電位変動量(Vd3H - Vd3L)とが異なる。

【0023】

そのため、ダミー走査信号線G0が設けられる第1行目とその他の行とでは、保持期間中に液晶に印加される電圧が互いに異なることとなり、第1行目とその他の行とで表示状態に差が生じ、全体として表示品位が劣化する。この電位差による表示品位の劣化は、特に、容量Cgo-sと容量Cgo-comとの和が、ダミー走査信号線G0と第1行目の画素PIXの間に形成される容量の総和Cgoに対して大きくなるほど顕著となる。

30

【0024】

また、上式それぞれにおける第2項の式から分かるように、ゲート信号の電位がハイレベルからローレベルに変化する際の画素電位の変動量(引き込み量)が、第1行目とその他の行とで互いに異なる。

【0025】

そのため、ダミー走査信号線G0が設けられる第1行目とその他の行とでは、最適共通電位が互いに異なることとなり、第1行目ではフリッカ等の表示不良が生じる。なお、最適共通電位とは、共通電極の電位に対して画素電極電位が正極性側(正書き込み)のときの液晶印加電圧と、負極正側(負書き込み)のときの液晶印加電圧とが等しくなる共通電極の電位をいい、交流駆動の際に最適共通電位と実際の共通電極電位とが異なると、正書き込み時と負書き込み時とで液晶印加電圧が異なり、駆動周波数によってはフリッカや輝線等が生じることになる。この最適共通電位の差によるフリッカの発生は、特に、ダミー走査信号線G0と第1行目の画素PIXの間に形成される容量の総和Cgoが、容量Cgo-sと容量Cgo-comとの和に対して大きくなるほど顕著となる。

40

【0026】

このように、従来の技術では、表示装置の小型化を図るべくダミー走査信号線G0に信号入力をしない構成の場合、ダミー走査信号線G0を設けた行とその他の行とで表示状態に差が生じ、表示装置全体として表示品位が劣するという問題が生じる。

【0027】

本発明は上記従来の問題点に鑑みてなされたものであり、その目的は、小型化を図ると

50

ともに、各行の表示状態を均等化することにより、表示品位の劣化を抑えることが可能な表示装置を提供することにある。

【課題を解決するための手段】

【0028】

本発明に係る表示装置は、上記課題を解決するために、走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を含む表示パネルを備えた表示装置において、走査信号の走査開始側または走査終了側に位置する最端部の行には、ダミー走査信号線が設けられ、前記ダミー走査信号線は、前記ダミー走査信号線は、前記走査信号線に入力される前記

10

【0029】

なお、表示装置の典型的な配置において、「行」及び「列」、「水平」及び「垂直」は、それぞれ表示パネルの横方向及び縦方向の並びであることが多いが、必ずしもこのとおりである必要はなく、縦横の関係が逆転していてもよい。したがって、本発明における「行」、「列」、「水平」及び「垂直」とは、特に方向を限定するものではない。

【0030】

上記の構成によれば、走査信号の走査開始側または走査終了側に位置する最端部の行に、ダミー走査信号線（G0）が設けられている。これにより、最端部の走査信号線（G1）に対応する行の画素は、この走査信号線G1とダミー走査信号線G0とにより寄生容量が形成される。そのため、走査信号線G1で駆動される画素は、他の走査信号線G2, G3, ...で駆動される画素と同じ条件にすることができるため、各画素において生じる寄生容量の均等化を図ることができる。

20

【0031】

また、上記の構成によれば、ダミー走査信号線は、該ダミー走査信号線と、前記走査信号線に入力されるスイッチング素子のオフ電位信号の電位変動と同じ周期で電位変動する信号が入力される信号線との間で容量が形成されるように、該信号線の少なくとも一部に重畳して設けられている。よって、最端部の1ライン分の画素において、フリッカが生じ

30

【0032】

ここで、走査信号線に入力されるスイッチング素子のオフ信号の電位変動と同じ周期で電位変動の信号が入力される信号線とは、走査信号線や、データ信号線の導通状態やスイッチング素子の動作状態を検査するための信号を供給する配線や、液晶材に混入したイオン性不純物を表示領域の外側に留めておくために利用される導電片や、該導電片に信号を供給する配線や、走査信号線やデータ信号線に入力される信号を生成するために必要な信号を供給する配線等が挙げられる。

【0033】

本発明の構成では、ダミー走査信号線G0は、これらの信号線と絶縁膜を介して重畳するように設けられているため、ダミー走査信号線G0が受ける電位変動が、走査信号線G1, G2, ...が受ける電位変動に近づくことになる。また、両信号線の重畳部において容量が形成されるため、ダミー走査信号線において形成される容量の総和が、上記従来

40

【0034】

これにより、上記従来構成における、第1行目の画素における保持期間中の電位変動量（ $V_{d1H} - V_{d1L}$ ）と、その他の行（例えば、第3行目）の画素における保持期間中の電位変動量（ $V_{d3H} - V_{d3L}$ ）との差の要因である成分、すなわち、式（4）の第3項の値が小さくなる。つまり、本発明の構成によれば、第1行目の電位変動量（ $V_{d1H} - V_{d1L}$ ）と、第3行目の電位変動量（ $V_{d3H} - V_{d3L}$ ）との差を、従来と比

50

較して小さくすることができる。

【0035】

そのため、ダミー走査信号線G0が設けられる第1行目とその他の行とのそれぞれにおいて、保持期間中に液晶に印加される電圧を均等化することができる。これにより、従来生じている第1行目とその他の行との表示状態の差を低減することができ、全体として表示品位の劣化を抑えることが可能となる。

【0036】

また、上記従来の構成における、第1行目の画素における引き込み量と、その他の行（例えば、第3行目）の画素における引き込み量との差の要因であるゲート・ドレイン間の寄生容量に関する成分、すなわち、式(3)、(4)の第2項中の、 $C_{go} \cdot C_{go} / \{ (C_{go} - c_{om}) + (C_{go} - s) + C_{go} \}$ の値が小さくなる。つまり、本発明の構成によれば、電位Vd3LとVd1Lとの差、電位Vd3HとVd1Hとの差を、それぞれ小さくすることができる。

10

【0037】

そのため、第1行目の最適共通電位と、その他の行の最適共通電位との差を小さくすることができる。これにより、第1行目で生じるフリッカの影響による表示不良を低減することができる。

【0038】

このように、本発明の構成によれば、ダミー走査信号線に信号入力しない構成の場合でも、各行の表示状態の差を小さくすることができるため、表示品位の劣化を抑えるとともに、表示装置の小型化を実現することが可能となる。

20

【0039】

本発明に係る表示装置は、上記表示装置において、前記信号線に入力される信号電位の振幅と、前記スイッチング素子のオフ電位の振幅とが同じであることが望ましい。また、前記信号線に入力される信号電位と、前記スイッチング素子のオフ電位とは、ともに一定であることが望ましい。

【0040】

これらの構成によれば、ダミー走査信号線の電位変動を、走査信号線に入力される電位信号の電位変動に、より確実に近づけることができるため、表示品位の劣化を抑えることができる。

30

【0041】

本発明に係る表示装置は、上記表示装置において、表示領域外において、前記走査信号線および前記データ信号線の少なくとも何れか一方に接続されたスイッチング素子と、該スイッチング素子に直接、もしくは他のスイッチング素子を介して電氣的に接続された第1の信号供給配線とをさらに備え、前記信号線は、前記第1の信号供給配線であることが望ましい。

【0042】

なお、第1の信号供給配線は、前記他のスイッチング素子に限らず、ダイオード等の他の素子を介して電氣的に接続されていてもよい。

【0043】

また、前記第1の信号供給配線は、前記表示パネルの表示状態を、前記走査信号線およびデータ信号線の少なくとも何れか一方ごとに検査するための、検査用の信号を供給するための配線（検査信号用配線）であることが望ましい。

40

【0044】

すなわち、ダミー走査信号線と重畳して容量を形成する上記信号線は、上記検査信号用配線であることが望ましい。この構成においても、上述した寄生容量およびフリッカに起因する表示品位の劣化を抑えることができるという効果を奏する。

【0045】

ここで、検査終了後の最終製品では、検査信号用配線のうち検査用スイッチング素子をオン/オフさせる信号を入力する配線には、検査用スイッチング素子をオフさせるような

50

信号を入力することが望ましい。これは、検査用スイッチング素子と検査信号用配線とを介して、走査信号線（またはデータ信号線）同士が導通してしまうことを確実に回避するためである。この検査用スイッチング素子用の検査信号用配線にスイッチング素子をオフさせるDC信号が入力されており、走査信号線のオフ電位信号もDC信号であった場合には、ダミー走査信号線をこの検査用スイッチング素子用の検査信号用配線に交差させる上記の構成により、新たな信号線や電源を追加することなく上述の効果を得ることができる。

**【0046】**

本発明に係る表示装置は、上記表示装置において、前記第1の信号供給配線は、前記表示パネルにおける前記走査信号線およびデータ信号線の少なくとも何れか一方に入力する信号を生成するための信号を供給する配線であることが望ましい。

10

**【0047】**

上記の構成によれば、例えば、走査信号線に入力する信号を生成するための信号を供給する配線の一つには、走査信号線のオフ電位の信号が入力される。ダミー走査信号線を、前記走査信号線のオフ電位の信号が入力された配線に交差させることにより、新たな信号線や電源を追加することなく上述の効果を得ることができる。

**【0048】**

本発明に係る表示装置は、上記表示装置において、前記表示パネルには液晶材料が封入されており、液晶材料が封入された領域であって、かつ表示領域外において、画素電極と同じ材料で形成された導電片と、該導電片に接続された第2の信号供給配線とを備え、前記信号線は、前記導電片または前記第2の信号供給配線であることが望ましい。

20

**【0049】**

上記の構成によれば、例えば液晶材に混入したイオン性不純物を表示領域の外側に留めておくために利用されるイオン性不純物吸着用配線において、このイオン性不純物吸着用配線には、例えばプラスのイオン性不純物を吸着させるためにマイナスのDC信号が入力される。そのため、走査信号線のオフ電位信号もDC信号であった場合には、ダミー走査信号線をこのイオン性不純物吸着用配線に交差させることにより、新たな信号線や電源を追加することなく上述した効果を得ることができる。

**【0050】**

本発明に係る表示装置は、上記課題を解決するために、走査信号線と、この走査信号線によってオン/オフされるスイッチング素子と、このスイッチング素子の一端に接続された画素電極とを含んで構成される行を複数備えるとともに、前記各行のスイッチング素子の他端に接続されたデータ信号線を含む表示パネルを備えた表示装置において、

30

走査信号の走査開始側または走査終了側に位置する最端部の行には、ダミー走査信号線が設けられ、前記ダミー走査信号線は、少なくとも1つの走査信号線の少なくとも一部に重畳して設けられていることを特徴としている。

**【0051】**

上記の構成によれば、ダミー走査信号線と走査信号線との間に容量を形成することができる。これにより、上述した効果を奏することができる。また、容量を形成するための新たな信号線や駆動回路等を必要とせず、さらには、ダミー走査信号線を形成する工程で製造することができるため、構成および製造工程の簡略化を図ることもできる。

40

**【0052】**

本発明に係る表示装置は、上記表示装置において、前記ダミー走査信号線は、各行に備えられた全ての前記走査信号線と交差するように設けられていることが望ましい。

**【0053】**

上記の構成によれば、ダミー走査信号線は、全ての走査信号線と交差する部分に重畳部が形成される。これにより、全ての行で等しく容量が形成されるため、特定の走査信号線で負荷が大きくなることを防ぐことができる。そのため、特定の行で表示品位が異なることを防止できる。

**【0054】**

50

本発明に係る表示装置は、上記表示装置において、前記ダミー走査信号線は、さらに、該ダミー走査信号線と前記走査信号線とが交差する領域の面積が、各行で同一となるように設けられていることが望ましい。

【0055】

上記の構成によれば、ダミー走査信号線は、さらに、全ての走査信号線との重畳部の面積が同一となっている。これにより、表示品位をより確実に均等化することができる。

【0056】

本発明に係る表示装置は、上記表示装置において、前記画素電極に液晶を介して対向配置される共通電極に入力される信号は、水平走査期間に同期した交流波形の信号であることが望ましい。

10

【0057】

低消費電力が必要とされる小型の液晶表示装置では、共通電極電位 ( $V_{com}$ ) が、水平走査期間に同期した交流波形の信号 (AC信号) である駆動方式が広く用いられている。

【0058】

従来このような液晶表示装置では、 $V_{com}$ の電位が変動する場合、ダミー走査信号線の電位の変動量が大きくなり、それに伴って第1行目の画素電極の保持電位が変動するという問題が生じている。

【0059】

この点、本発明の構成によれば、ダミー走査信号線に形成される容量を大きくすることができるため、ダミー走査信号線全体としては、電位変動の要因となる、ダミー走査信号線 - データ信号線間容量 ( $C_{go-s}$ ) およびダミー走査信号線 - 共通電極間容量 ( $C_{go-com}$ ) の影響が小さくなる。そのため、従来と比較して、ダミー走査信号線の電位の変動量が小さくなるため、第1行目の画素電極の保持電位の変動を抑制することができる。

20

【0060】

よって、共通電極電位 ( $V_{com}$ ) がAC信号である液晶表示装置においても、表示品位の劣化を抑えることが可能となる。

【発明の効果】

【0061】

本発明に係る表示装置は、以上のように、走査信号の走査開始側または走査終了側に位置する最端部の行には、ダミー走査信号線が設けられ、前記ダミー走査信号線は、前記走査信号線に入力される前記スイッチング素子のオフ電位信号の電位変動と同じ周期で電位変動する信号が入力される信号線の少なくとも一部に絶縁膜を介して重畳して設けられている構成である。

30

【0062】

また、本発明に係る表示装置では、前記ダミー走査信号線が、少なくとも1つの走査信号線の少なくとも一部に重畳して設けられている構成であってもよい。

【0063】

これにより、ダミー走査信号線において形成される容量を大きくすることができるため、表示装置の小型化を図るとともに、各行の表示状態を均等化することにより、表示品位の劣化を抑えることができるという効果を奏する。

40

【発明を実施するための最良の形態】

【0064】

〔実施の形態1〕

本発明の一実施形態について図1から図14に基づいて説明すると以下の通りである。

【0065】

まず、図1及び図2に基づいて本発明の表示装置に相当する液晶表示装置1の構成について説明する。なお、図1は、本実施の形態1に係る液晶表示装置1の全体構成を示すブロック図であり、図2は液晶表示装置1の画素の電氣的構成を示す等価回路図である。な

50

お、液晶表示装置の配置において、「行」及び「列」、「水平」及び「垂直」は、それぞれ表示パネルの横方向及び縦方向の並びであることが多いが、必ずしもこのとおりである必要はなく、縦横の関係が逆転していてもよい。したがって、本発明における「行」、「列」、「水平」及び「垂直」とは、特に方向を限定するものではない。

【0066】

液晶表示装置1は、アクティブマトリクス型の液晶表示パネル(表示パネル)10、データドライバ(データ信号線駆動回路)20、ゲートドライバ(走査信号線駆動回路)30、及び制御装置(図示せず)を含んで、その主要部が構成されている。

【0067】

液晶表示パネル10は、図示しないアクティブマトリクス基板と対向基板との間に液晶を挟持して構成されており、行列状に配列された多数の画素PIXを有している。

10

【0068】

そして、液晶表示パネル10は、アクティブマトリクス基板上に、本発明のデータ信号線、走査信号線、スイッチング素子、及び画素電極にそれぞれ相当するデータ信号線Sn、走査信号線Gn、薄膜トランジスタ(Thin Film Transistor。以下「TFT」と称する。)11、及び画素電極12を備え、対向基板上に共通電極13を備えている。また、液晶表示パネル10は、補助容量14を形成するためのCSライン15を備えている。

【0069】

データ信号線Snは、列方向(縦方向)に互いに平行となるように各列に1本ずつ形成されており、走査信号線Gnは行方向(横方向)に互いに平行となるように各行に1本ずつ形成されている。TFT11及び画素電極12は、データ信号線Snと走査信号線Gnとの各交点に対応してそれぞれ形成されており、TFT11のソース電極がデータ信号線Snに、ゲート電極が走査信号線Gnに、ドレイン電極が画素電極12にそれぞれ接続されている。また、画素電極12は、共通電極13との間に液晶を介して液晶容量(Clc)16を形成している。

20

【0070】

これにより、走査信号線Gnに供給されるゲート信号(走査信号)によってTFT11のゲートをオンし、データ信号線Snからのデータ信号を画素電極12に書き込んで画素電極12を上記データ信号に応じた電位に設定し、共通電極13との間に介在する液晶に対して上記データ信号に応じた電圧を印加することによって、上記データ信号に応じた階調表示を実現することができる。

30

【0071】

CSライン15は、行方向(横方向)に互いに平行となるように各行に1本ずつ形成されており、走査信号線Gnと対をなすように配置されている。この各CSライン15は、それぞれ各行に配置された画素電極12と容量結合されており、各画素電極12との間で補助容量(Ccs)14を形成している。なお、本発明の液晶表示装置1では、CSラインは、省略されていてもよい。

【0072】

なお、TFT11には、その構造上、ゲート電極とドレイン電極との間に寄生容量18(Cgd1)、19(Cgd2)が形成され、画素電極12の電位は走査信号線Gnの電位変化による影響(引き込み)を受けることになる。

40

【0073】

上記構成の液晶表示パネル10は、データドライバ20、ゲートドライバ30、及びこれらを制御する制御装置40によって駆動される。

【0074】

本発明の液晶表示装置の駆動方式としては、一例として、周期的に繰り返される垂直走査期間におけるアクティブ期間(有効走査期間)において、各行の水平走査期間を順次割り当て、各行を順次走査していくものである。そのために、ゲートドライバ30は、TFT11をオンするためのゲート信号を各行の水平走査期間に同期して当該行の走査信号線Gnに対して順次出力する。また、データドライバ20は、各データ信号線Snに対して

50

データ信号を出力する。このデータ信号は、制御装置40を介してデータドライバ20に供給された映像信号を、データドライバ20において各列に割り当て、昇圧等を施した信号である。

【0075】

なお、本実施形態のゲートドライバ30及びデータドライバ20の構成は、特に限定されるものではなく、従来の一般的な構成を採用することができる。

【0076】

制御装置は、上述したデータドライバ20、ゲートドライバ30を制御することにより、これら各回路から所望の信号を出力させるものである。

【0077】

このような液晶表示装置1においては、「背景技術」欄において説明したとおり、第1行目の画素PIXでは、寄生容量Cgd2を形成する前段の走査信号線G0が存在しない(図23参照)ため第1行目の画素PIXのみ、画素PIXの総容量が異なるため、引き込み量も異なり、フリッカや輝度差が生じやすくなる。さらに、第1行目において液晶にDC成分が印加されるため、液晶が劣化しやすいという信頼性上の問題も生じる。そのため、従来では、走査信号線G0に相当するダミーの走査信号線を設けて、表示品位の劣化を抑える手法がとられている。しかしながら、従来の技術では、特に小型の液晶表示装置では、ダミー走査信号線G0に信号入力されていないため、画素電極における保持電位が変動し、表示品位が劣化するという問題が生じる。

10

【0078】

そこで、本実施形態の液晶表示装置1では、上記問題を解決すべく、図1に示すように、第1行目の画素PIXに対応するダミー走査信号線G0が設けられているとともに、このダミー走査信号線G0は、絶縁膜を介して、各走査信号線G1, G2, ... Gnと、それぞれ部分的に重畳するように設けられている。図3は、第1行目から第3行目までの一部の画素の電気的構成を示す等価回路図である。また、図4(a)は、第3行目の画素PIXに関わる各種信号の波形を示すタイミングチャートであり、図4(b)は、第1行目の画素PIXに関わる各種信号の波形を示すタイミングチャートである。

20

【0079】

図3に示すように、ダミー走査信号線G0は、第1行目の画素PIXを挟み込むように設けられるとともに、各走査信号線G1, G2, ... Gnと交差している。すなわち、ダミー走査信号線G0は、各走査信号線G1, G2, ... Gnの少なくとも一部で重畳部を形成している。これにより、ダミー走査信号線G0と、各走査信号線G1, G2, ... Gnとのそれぞれの交差部(重畳部)には、容量Cgo-gが形成される。そのため、ダミー走査信号線G0に形成される容量は、図28に示す従来の構成におけるダミー走査信号線G0に形成される容量に、各走査信号線G1, G2, ... Gnとで形成される容量Cgo-g1, Cgo-g2, Cgo-g3, ... Cgo-gnが加わる。これらの総和をCgo-gとすると、第1行目の画素PIXの電位Vd1L(ローレベル側), Vd1H(ハイレベル側)と、その他の行(ここでは、一例として第3行目)の画素PIXの電位Vd3L(ローレベル側), Vd3H(ハイレベル側)とは、電荷保存則に基づき次式で表される。

30

【0080】

【数5】

$$Vd3L = Vsh - \underbrace{\frac{Cgd}{Cpix}}_{\text{第1項}} \underbrace{(Vgh - Vgl)}_{\text{第2項}} \quad \dots (5)$$

【0081】

40

【数 6】

$$Vd3H' = Vsh \underbrace{\frac{Cgd}{Cpix} (Vgh - Vgl)}_{\text{第1項}} + \underbrace{\frac{Csd}{Cpix} (Vsh - Vsl)}_{\text{第2項}} + \underbrace{\frac{Cos + Clc}{Cpix} (Vcomh - Vcoml)}_{\text{第3項}} \dots (6)$$

【0082】

【数 7】

$$Vd1L' = Vsh \underbrace{\frac{Cgd}{Cpix - Cgo}}_{\text{第1項}} \underbrace{\frac{Cgd}{Cgo\Sigma} (Vgh - Vgl)}_{\text{第2項}} \dots (7) \quad 10$$

【0083】

【数 8】

$$Vd1H' = Vsh \underbrace{\frac{Cgd}{Cpix - Cgo}}_{\text{第1項}} \underbrace{\frac{Cgd}{Cgo\Sigma} (Vgh - Vgl)}_{\text{第2項}} \dots (7) \quad 20$$

$$\begin{aligned} & \frac{Csd}{Cpix - Cgo} \frac{Csd}{Cgo\Sigma} (Vsh - Vsl) \\ & + \frac{Ccs + Clc}{Cpix - Cgo} \frac{Cgs + Clc}{Cgo\Sigma} (Vcomh - Vcoml) \\ & + \frac{Cgo}{Cpix - Cgo} \frac{Cgo}{Cgo\Sigma} \\ & \left( \frac{Cgo - com}{Cgo - com + Cgo - s + Cgo\Sigma + Cgo - g\Sigma} (Vcomh - Vcoml) - \frac{Cgo - s}{Cgo - com + Cgo - s + Cgo\Sigma + Cgo - g\Sigma} (Vsh - Vsl) \right) \end{aligned} \dots (8) \quad 30$$

第3項

【0084】

上式(7)、(8)において、第1行目の画素PIXにおける保持期間中の電位変動量(Vd1H - Vd1L)と、第3行目の画素PIXにおける保持期間中の電位変動量(Vd3H - Vd3L)との差の要因である成分、すなわち、式(8)の第3項中の、Cgo・Cgo / {(Cgo - com) + (Cgo - s) + Cgo + (Cgo - g)}, (Cgo - com) / {(Cgo - com) + (Cgo - s) + Cgo + (Cgo - g)}, (Cgo - s) / {(Cgo - com) + (Cgo - s) + Cgo + (Cgo - g)}の値が、それぞれ、従来の構成の場合の式(4)における値よりも小さくなる。これにより、第1行目の電位変動量(Vd1H - Vd1L)と、第3行目の電位変動量(Vd3H - Vd3L)との差が、従来と比較して小さくなる。このように、ダミー走査信号線G0には、ダミー走査信号線G0と各走査信号線とで形成される

40

50

容量  $C_{g0-g}$  が追加されるため、ダミー走査信号線  $G_0$  全体としては、電位変動の要因となる、ダミー走査信号線  $G_0$  - データ信号線間容量 ( $C_{g0-s}$ )、およびダミー走査信号線  $G_0$  - 共通電極間容量 ( $C_{g0-com}$ ) の影響が小さくなる。そのため、図 4 (b) に示すように、従来の構成 (図 29 (b) 参照) と比較して、ダミー走査信号線  $G_0$  の電位  $V_{g0}$  の変動量が小さくなるため、第 1 行目の画素電極 12 の保持電位の変動を抑制することができる。そのため、共通電極電位 ( $V_{com}$ ) が AC 信号である液晶表示装置においても、表示品位の劣化を抑えることが可能となる。

【0085】

このように、第 1 行目の画素電極 12 の保持電位を安定させることができ、また、第 1 行目の画素  $P_{IX}$  における保持期間中の電位変動量 ( $V_{d1H} - V_{d1L}$ ) と、他の行 (ここでは、第 3 行目) の画素  $P_{IX}$  における保持期間中の電位変動量 ( $V_{d3H} - V_{d3L}$ ) との差を小さくすることができるため、第 1 行目とその他の行との表示品位を均等化することができる。

10

【0086】

また、上式 (7), (8) において、第 1 行目の画素  $P_{IX}$  における引き込み量と、他の行 (ここでは、第 3 行目) の画素  $P_{IX}$  における引き込み量との差の要因であるゲート - ドレイン間の寄生容量に関する成分、すなわち、式 (7), (8) の第 2 項中の、 $C_{g0} \cdot C_{g0} / \{ (C_{g0-com}) + (C_{g0-s}) + C_{g0} + (C_{g0-g}) \}$  の値が、従来の構成の場合の式 (3), (4) における値よりも小さくなる。これにより、電位  $V_{d3L}$  と  $V_{d1L}$  との差、電位  $V_{d3H}$  と  $V_{d1H}$  との差が、それぞれ小さくなる。そのため、第 1 行目の最適共通電位と、他の行の最適共通電位との差が小さくなる。よって、第 1 行目で生じるフリッカの影響による表示不良を低減することができる。

20

【0087】

以上のように、本実施の形態 1 の液晶表示装置 1 の構成によれば、ダミー走査信号線  $G_0$  を走査信号線  $G_n$  に交差するように配置して、交差部に容量を形成することによって、第 1 行目とその他の行との表示状態を均等化することができる。よって、液晶表示装置としての表示品位の劣化を抑えることができる。

【0088】

ここで、本実施の形態 1 のダミー走査信号線  $G_0$  は、図 1 に示すように、全ての走査信号線  $G_1, G_2, \dots, G_n$  と交差して設けられていることが好ましい。これにより、全ての行で等しく容量が形成されるため、特定の走査信号線で負荷が大きくなることを防ぐこともできる。本発明に係る表示装置は、上記表示装置において、前記ダミー走査信号線は、各行に備えられた全ての前記走査信号線と交差するように設けられていることが望ましい。

30

【0089】

また、ダミー走査信号線  $G_0$  は、全ての走査信号線と交差する部分 (領域) の面積 (重畳面積) が同一となるように設けられていることが好ましい。この構成によれば、全ての行において、確実に特定の走査信号線で負荷が大きくなることを防ぐこともできる。

【0090】

また、ダミー走査信号線  $G_0$  の線幅は、走査信号線と交差する部分以外は細くしておくことが好ましい。図 5 は、この構成の場合の、ダミー走査信号線  $G_0$  と走査信号線との交差部を拡大した図である。これにより、ダミー走査信号線  $G_0$  と共通電極 13 との間に形成される不要な容量を低減することができる。

40

【0091】

ここで、図 5 には、ダミー走査信号線  $G_0$  と走査信号線とが交差している様子が示されているため、本実施の形態 1 におけるダミー走査信号線  $G_0$  と走査信号線との交差部の構成の一例について簡単に説明する。図 5 に示すように、ダミー走査信号線  $G_0$  は、走査信号線  $G_1, G_2, \dots, G_n$  と平行する部分 (平行部分  $G_{0a}$ ) とそれに直交する部分 (直交部分  $G_{0b}$ ) とに分けられ、互いにコンタクトホールを介して接続されている。そして、平行部分  $G_{0a}$  は、走査信号線  $G_1, G_2, \dots, G_n$  と同材料でかつ同層に形成され、直交

50

部分 G 0 b は、データ信号線 S n と同材料でかつ同層に形成されている。これにより、ダミー走査信号線 G 0 と走査信号線 G 1 , G 2 , ... G n とは、絶縁膜を介して重なる構成となる。

【 0 0 9 2 】

なお、図 5 に示す構成に限らず、ダミー走査信号線 G 0 の線幅が一定のストレートな形状であっても、十分効果を得ることはできる。例えば、ダミー走査信号線 G 0 と対向基板に形成された共通電極 1 3 との間は少なくとも 2 ~ 7  $\mu\text{m}$  程度のセルギャップで、比誘電率 2 ~ 1 5 程度の液晶層が存在する。そして、ダミー走査信号線 G 0 と走査信号線との間の絶縁層は、0 . 2 ~ 0 . 6  $\mu\text{m}$  程度で比誘電率は 5 ~ 8 程度である。そのため、5  $\mu\text{m}$  のセルギャップで液晶の比誘電率が 5 . 0、絶縁膜の膜厚が 0 . 4  $\mu\text{m}$  で比誘電率が 6 . 9 の場合、ストレートな形状のダミー走査信号線 G 0 でも共通電極 1 3 との容量の増加より、走査信号線との容量を十分獲得することができる。

10

【 0 0 9 3 】

また、ダミー走査信号線 G 0 は、液晶表示パネル 1 0 の端部まで延出させず、可能な限り設置領域を小さくすることが好ましい。これにより、ダミー走査信号線 G 0 への静電気の進入等を防ぐことができる。

【 0 0 9 4 】

また、ダミー走査信号線 G 0 は、対向基板に配置された共通電極 1 3 が存在しない領域で、走査信号線と交差することが好ましい。これにより、ダミー走査信号線 G 0 と共通電極 1 3 との間に形成される容量を少なくすることができる。

20

【 0 0 9 5 】

また、ダミー走査信号線 G 0 は、ゲート信号の入力側で走査信号線と交差する構成に限定されず、ゲート信号の入力側とは反対側（走査信号線の終端側）で交差する構成であってもよい。なお、データ信号線に対しても同様であり、ダミー走査信号線 G 0 は、データ信号の入力側とは反対側（データ信号線の終端側）で交差する構成であってもよい。

【 0 0 9 6 】

また、本実施の形態 1 の液晶表示装置 1 では、画素電極 1 2 の形状が、走査信号線の延在方向（行方向）に長い場合に効果が大きい。図 6 は、画素電極 1 2 が横長形状の構成を示す図である。画素電極 1 2 が横長形状で、かつ同一の画素面積で同一の補助容量を形成した場合、ダミー走査信号線 G 0 と画素電極 1 2 との間に形成される容量 C g o が大きくなるため、第 1 行目とその他の行との表示品位の差が大きくなりやすい。このような走査線の延在方向に長い画素は、ゲートドライバ数を増やす代わりに、データドライバ数を減らした表示装置の構成に用いられる。一般に、ゲートドライバの回路構成はデータドライバに比べて複雑ではない。そのため、表示装置の小型化、低コスト化に貢献する。さらに、走査信号線が増えるため、ダミー走査信号線との交差部を形成して、容量を形成しやすい。

30

【 0 0 9 7 】

ここで、本実施の形態 1 に係る液晶表示装置 1 を、他の狭額縁の液晶表示装置に適用した場合の構成例について、図 7 ~ 図 1 4 を用いて以下に説明する。

【 0 0 9 8 】

図 7 は、走査信号線 G n の信号入力方向が、行ごとに異なる場合の液晶表示装置の構成を示す平面図である。同図に示すように、走査信号線 G n は、行ごとに駆動回路との接続方向が左右で異なるように構成されている。この構成において、ダミー走査信号線 G 0 は、液晶表示パネルの左右両側において走査信号線 G n と交差するように設けられている。これにより、1 本の走査信号線に対して 2 箇所容量 C g o - g を形成することができるため、より大きな効果が得られる。

40

【 0 0 9 9 】

図 8 は、液晶表示パネルの片側から走査信号線 G n へゲート信号が入力される場合の液晶表示装置の構成を示す平面図である。同図に示すように、ダミー走査信号線 G 0 と走査信号線 G n との間に形成される容量 C g o - g は、ゲート信号の入力側のみで形成される

50

。なお、図 9 に示すように、ゲート信号の入力側とは反対側である、走査信号線  $G_n$  の終端側で容量  $C_{g0-g}$  が形成されるように、ダミー走査信号線  $G_0$  が設けられていてもよい。さらに、図 10 に示すように、ゲート信号の入力側、および、その反対側である走査信号線  $G_n$  の終端側の両方に、コの字状にダミー走査信号線  $G_0$  が設けられていてもよい。

#### 【0100】

図 11 は、走査信号線  $G_n$  の信号入力方向が液晶表示パネルの両側からブロックごとに入力される構成の液晶表示装置を示す平面図である。この構成では、図 11 において点線枠で囲った部分にダミー走査信号線  $G_0$  を引き延ばす必要がないため、共通電極 13 との間に形成される不要な容量の増加を抑制することができる。なお、図 12 に示すように、ゲート信号の入力側、およびその反対側である走査信号線の終端側の両方にダミー走査信号線  $G_0$  が設けられていてもよい。

10

#### 【0101】

図 13 は、ゲートドライバが液晶表示パネルの両側に配置される構成の液晶表示装置を示す平面図である。ゲートドライバは、データドライバと異なる位置に配置されていてもよい。また、液晶表示パネルの外部に設けられていてもよいし、基板上に走査信号線やデータ信号線を形成するプロセスを用いて、基板に直接形成されていてもよい。

#### 【0102】

図 14 は、ダミー走査信号線  $G_0$  が、対向基板に配置された共通電極 13 が存在しない領域で、走査信号線  $G_n$  と交差する構成の液晶表示装置を示す平面図である。これにより、ダミー走査信号線  $G_0$  と共通電極 13 との間で形成される容量を少なくすることができる。

20

#### 【0103】

以上のように、本実施の形態 1 の液晶表示装置では、走査信号線のオフ電位信号が DC 信号であって共通電極に供給される信号が AC 信号である場合に、ダミー走査信号線が他の走査信号線と交差する構成が好ましい。また、走査信号線のオフ電位信号が DC 信号であって共通電極に供給される信号が DC 信号である場合に、ダミー走査信号線が他の走査信号線と交差する構成が好ましい。

#### 【0104】

##### 〔実施の形態 2〕

本発明の他の実施形態について図 15 から図 22 に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、上記実施の形態 1 において示した部材と同一の機能を有する部材には、同一の符号を付し、その説明を省略する。また、実施の形態 1 において定義した用語については、特に断らない限り本実施の形態においてもその定義に則って用いるものとする。

30

#### 【0105】

図 15 は、本実施の形態 2 に係る液晶表示装置 2 の全体構成を示すブロック図である。上記実施の形態 1 では、ダミー走査信号線  $G_0$  が走査信号線  $G_n$  と交差する構成（図 1 参照）であったが、本実施の形態 2 では、ダミー走査信号線  $G_0$  が、絶縁膜を介して、検査信号用配線の少なくとも一部に重畳して設けられている。

40

#### 【0106】

液晶表示装置 2 を構成する液晶表示パネル 10 は、上記実施の形態 1 に係る液晶表示装置 1 の構成に加えて、さらに、検査信号用配線（第 1 の信号供給配線）を備えている。

#### 【0107】

検査信号用配線は、液晶表示パネル 10、特に走査信号線やデータ信号線の導通状態やゲート信号によりオン/オフが制御される TFT 11 の動作状態を検査するための信号を伝送する配線であり、専用の TFT 11（検査用スイッチング素子）を介して各データ信号線  $S_1, S_2, \dots, S_n$  に接続されている。具体的には、TFT 11 のオン/オフを制御するための検査信号用配線が TFT 11 のゲート端子に接続され、各データ信号に検査用の信号を入力する検査信号入力配線がソース端子に接続され、データ信号線  $S$

50

n がドレイン端子に接続されている。これにより、T F T 1 1 をオンするための検査信号を入力することにより、検査信号入力配線から検査信号を入力し、データドライバを実装する前に液晶表示パネル 1 0 の動作状態を検査することが可能となる。

#### 【 0 1 0 8 】

なお、表示領域の T F T をオンさせるために、例えば、走査信号線側にもデータ信号線側と同様の検査用 T F T と検査信号配線を設置し、この検査用 T F T をオンさせる信号と、表示領域の T F T をオンさせる信号とを検査信号用配線を介して、表示領域の走査信号線に入力する構成としてもよい。

#### 【 0 1 0 9 】

また、検査信号の入力方法は、上記検査信号用配線を利用した構成に限らず、ドライバからの出力信号を受け取るパッドに直接検査信号を入力する構成や、走査信号線（データ信号線）を、検査用 T F T を介さずに直接共通接続した配線を介して検査信号を入力する構成などが挙げられる。さらに、例えば、データ信号線には上記検査用 T F T を用いた検査信号を入力し、走査信号線にはドライバパッドから検査信号を入力するといった組み合わせも可能である。

#### 【 0 1 1 0 】

ここで、検査終了後の最終製品では、検査信号用配線のうち T F T 1 1 をオン/オフさせる信号を入力する配線には、T F T 1 1 をオフさせるような信号を入力することが望ましい。これは、T F T 1 1 と検査信号用配線を介して、走査信号線（またはデータ信号線）同士が導通してしまうことを確実に回避するためである。

#### 【 0 1 1 1 】

本実施の形態 2 では、ダミー走査信号線 G 0 と、走査信号線に入力される T F T のオフ電位信号の電位変動と同じ周期で電位変動する信号が入力される検査信号線用配線とが交差することにより、その交差部（重畳部）において容量 C g o - x が形成される。この容量の総和 C g o - x は、上記実施の形態 1 で示した式（ 7 ）,（ 8 ）の C g o - g に対応している。

#### 【 0 1 1 2 】

これにより、上記実施の形態 1 で示したように、ダミー走査信号線 G 0 には、ダミー走査信号線 G 0 と検査信号用配線とで形成される容量和 C g o - x が追加されるため、ダミー走査信号線 G 0 全体としては、電位変動の要因となる、ダミー走査信号線 G 0 - データ信号線間容量（ C g o - s ）およびダミー走査信号線 G 0 - 共通電極間容量（ C g o - c o m ）の影響が小さくなる。そのため、第 1 行目の画素電極の保持電位を安定させることができ、また、第 1 行目の画素 P I X における保持期間中の電位変動量（ V d 1 H - V d 1 L ）と、他の行（ここでは、第 3 行目）の画素 P I X における保持期間中の電位変動量（ V d 3 H - V d 3 L ）との差を小さくすることができる。したがって、第 1 行目とその他の行との表示品位を均等化することができる。

#### 【 0 1 1 3 】

また、第 1 行目の最適共通電位と、他の行の最適共通電位との差が小さくなることにより、第 1 行目で生じるフリッカの影響による表示不良が低減されるという効果も上記実施の形態 1 と同様である。

#### 【 0 1 1 4 】

このように、ダミー走査信号線を T F T 1 1 用の検査信号用配線に交差させているため、例えば、T F T 1 1 用の検査信号用配線にスイッチング素子をオフさせる D C 信号が入力され、走査信号線のオフ電位信号も D C 信号であった場合には、新たな信号線や電源を追加することなく上述の効果を得ることができる。

#### 【 0 1 1 5 】

ここで、本実施の形態 2 に係る液晶表示装置 2 を、他の狭額縁の液晶表示装置に適用した場合の構成例について、図 1 6 ~ 図 2 2 を用いて以下に説明する。

#### 【 0 1 1 6 】

図 1 6 は、検査信号用配線を備えた狭額縁の液晶表示装置の構成を示す平面図である。

また、図 17 は、ダミー走査信号線 G0 が、検査信号用配線と平行に配置されている状態を示す図である。図 17 において点線枠で囲った部分は、ダミー走査信号線 G0 と検査信号用配線とが平行に配置される部分、すなわち重畳領域を示している。この構成によれば、重畳領域を大きく確保することができるため、ダミー走査信号線 G0 に形成される容量を大きくすることができ、表示品位をさらに均等化することができる。

#### 【0117】

ここで、本実施の形態 2 では、ダミー走査信号線 G0 と交差する信号線は、上述の検査信号用配線に限定されず、例えば、イオン性不純物吸着用配線（第 2 の信号供給配線）であってもよい。イオン性不純物吸着用配線は、液晶材に混入した不純物を表示領域外に留めて、表示品位の劣化を防止するものである。なお、このイオン性不純物吸着用配線には、例えばプラスのイオン性不純物を吸着させるためにマイナスの DC 信号が入力される。イオン性不純物吸着用配線を備える液晶表示装置の構成例について以下に示す。

10

#### 【0118】

図 18 は、ダミー走査信号線 G0 が、絶縁膜を介して、イオン性不純物吸着用配線の少なくとも一部に重畳して設けられている状態を示している。ダミー走査信号線 G0 とイオン性不純物吸着用配線との交差部（重畳部）において容量  $C_{go-tr}$  が形成される。

#### 【0119】

図 19 は、ダミー走査信号線 G0 が、イオン性不純物吸着用配線と平行に配置されている状態を示す図であり、図 20 は、その一部分を拡大した図であり、図 21 は、その A-A 断面図である。

20

#### 【0120】

なお、上記イオン性不純物吸着用配線を備える液晶表示装置では、イオン性不純物吸着用配線が液晶層側に設けられる構成上、ダミー走査信号線 G0 は、イオン性不純物吸着用配線の下側（図 21 参照）に設けられる。

#### 【0121】

これらの構成によれば、走査信号線のオフ電位信号も DC 信号であった場合には、ダミー走査信号線をこのイオン性不純物吸着用配線に交差させることにより、新たな信号線や電源を追加することなく上述の効果を得ることができる。

#### 【0122】

また、ダミー走査信号線 G0 と交差する信号線は、上述した検査信号用配線やイオン性不純物吸着用配線以外にも、例えば、ゲートドライバに電源を供給する配線のうち DC 信号を供給する配線であってもよい。図 22 は、このような信号線と、ダミー走査信号線 G0 とが交差する構成を示す液晶表示装置の一例を示す平面図である。

30

#### 【0123】

なお、本発明は、上記実施の形態 1 および 2 で示した構成を組み合わせた構成においても適用することができる。すなわち、ダミー走査信号線 G0 は、各走査信号線 G1, G2, ..., Gn と交差しつつ、検査信号用配線（あるいは、イオン性不純物吸着用配線）とも交差して、それぞれの交差部（重畳部）で容量を形成する構成としてもよい。

#### 【0124】

以上のように、本実施の形態 2 の液晶表示装置では、走査信号線のオフ電位信号が DC 信号であって共通電極に供給される信号が AC 信号である場合に、ダミー走査信号線が走査信号線のオフ電位信号と同じ信号（DC 信号）が入力される信号線と交差する構成が好ましい。また、走査信号線のオフ電位信号が DC 信号であって共通電極に供給される信号が DC 信号である場合に、ダミー走査信号線が走査信号線のオフ電位信号と同じ信号（DC 信号）が入力される信号線と交差する構成が好ましい。

40

#### 【0125】

ここで、本発明の液晶表示装置では、上記実施の形態 1 および 2 に示す構成には限定されず、例えば、実施の形態 1 の液晶表示装置において、走査信号線のオフ電位信号が AC 信号であって共通電極に供給される信号が AC 信号または DC 信号である場合に、ダミー走査信号線が他の走査信号線と交差する構成としてもよい。また、実施の形態 2 の液晶表

50

示装置において、走査信号線のオフ電位信号がAC信号であって共通電極に供給される信号がAC信号またはDC信号である場合に、ダミー走査信号線が走査信号線のオフ電位信号と同じ信号(DC信号)が入力される信号線と交差する構成としてもよい。さらに、実施の形態1および2の液晶表示装置において、走査信号線のオフ電位信号がAC信号であって共通電極に供給される信号がAC信号またはDC信号である場合に、ダミー走査信号線が、走査信号線のオフ電位信号とは異なる振幅だが、同じ周期で変動する信号(AC信号)が入力される信号線と交差する構成としてもよい。

【0126】

ダミー走査信号線が、共通電極や走査信号線のオフ電位信号と同じ振幅である場合、この振幅Vgoppは次式で表される。

【0127】

【数9】

$$\begin{aligned}
 V_{gopp} = & \underbrace{\frac{C_{go-com}}{C_{go-com} + C_{go-s} + C_{go\Sigma} + C_{go-x}} (V_{comh} - V_{coml})}_{\text{第1項}} \\
 & - \underbrace{\frac{C_{go-s}}{C_{go-com} + C_{go-s} + C_{go\Sigma} + C_{go-x}} (V_{sh} - V_{sl})}_{\text{第2項}} \\
 & + \underbrace{\frac{C_{go-x}}{C_{go-com} + C_{go-s} + C_{go\Sigma} + C_{go-x}} V_{xpp}}_{\text{第3項}} \quad \dots (9)
 \end{aligned}$$

10

20

【0128】

上式(9)中、Vxppは、ダミー走査信号線と重なることにより容量Cgo-xが形成されるための信号線の振幅を表している。なお、ダミー走査信号線に入力されない従来の構成の場合には、上記振幅は次式で表される。

【0129】

【数10】

$$V_{gopp} = \frac{C_{go-com}}{C_{go-com} + C_{go-s} + C_{go\Sigma}} (V_{comh} - V_{coml}) - \frac{C_{go-s}}{C_{go-com} + C_{go-s} + C_{go\Sigma}} (V_{sh} - V_{sl}) \quad \dots (10)$$

30

【0130】

ここで、例えば、走査信号線のオフ電位がDC信号の場合(式(1)~式(8)の場合)には、式(9)において、電位変動(印加電圧差)およびフリッカを低減するためには、VgoppをDCに近づけることが好ましい。そこで例えば、式(9)の第2項の値を小さくすることが考えられる。ところが、第2項に含まれる(Vsh-Vsl)は、階調によってその値が異なるため、第1項や第3項の値を調整して、第2項を相殺することは、特定の階調でしか成立しないため好ましくない。よって、第2項を小さくするためには、Cgo-xを十分大きくすることが好ましい。Cgo-xを大きくすることにより、第3項のVxppの係数が「1」に近づく。この場合、Vxppが他の走査信号線と同じDCであれば、式(9)のVgoppは、式(10)に比べて、DCに近づくことになる。なお、VxppはDCでさえあればよく、その電位は限定されるものではない。

40

【0131】

これに対して、走査信号線のオフ電位信号が振幅5VのAC信号の場合には、式(9)において、Vgoppをできるだけ、5Vに近づけると、電位変動(印加電圧差)およびフリッカを低減することができ、同様にCgo-xを大きくして、式(9)のVxppを5Vにすることにより、Vgoppは従来の構成(式(10)のVgopp)に比べて、

50

5 Vに近づくことになる。

【0132】

ここで、 $V_{xpp}$ は必ずしもDC信号や5 Vである必要はなく、式(9)の $V_{gopp}$ が式(10)の $V_{gopp}$ よりも、走査信号線の振幅に近づきさえすればよいため、多少の振幅の差は許容される。

【0133】

以上のように、本発明のダミー走査信号線G0は、走査信号線Gnに入力されるスイッチング素子のオフ電位信号の電位変動と同じ周期で電位変動する信号が入力される信号線(検査信号用配線、イオン性不純物吸着用配線等)の少なくとも一部に絶縁膜を介して重畳して設けられ、重畳部において容量が形成されている。また、ダミー走査信号線G0は、少なくとも1つの走査信号線の少なくとも一部に重畳して設けられ、重畳部において容量が形成されている。つまり、ダミー走査信号線G0との間で容量を形成する信号線は、走査信号線Gnに入力されるオフ電位信号の交流成分と、上記信号線に入力される信号の交流成分とが同一であって、互いの直流成分が同一又は異なる信号線である。よって、ダミー走査信号線G0と容量を形成する上記信号線は、DC信号およびAC信号の何れの信号が入力される信号線であってもよい。そして、本発明の液晶表示装置は、共通電極信号( $V_{com}$ )がAC信号である液晶表示装置においても、表示品位の劣化を抑えることができるという従来と比較して有利な効果を奏するものである。

【0134】

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。

【産業上の利用可能性】

【0135】

本発明は、共通電極信号がAC信号の場合にも、各行の表示状態を均等化することができるため、特に、狭額縁の表示装置において好適に適用できる。

【図面の簡単な説明】

【0136】

【図1】本実施の形態1に係る液晶表示装置の全体構成を示すブロック図である。

【図2】図1に示す液晶表示装置の画素の電氣的構成を示す等価回路図である。

【図3】図1に示す液晶表示装置における第1行目から第3行目までの一部の画素の電氣的構成を示す等価回路図である。

【図4】図1に示す液晶表示装置における画素PIXに関わる各種信号の波形を示すタイミングチャートであり、(a)は、第3行目の画素PIXに関わる各種信号の波形を示すタイミングチャートであり、(b)は、第1行目の画素PIXに関わる各種信号の波形を示すタイミングチャートである。

【図5】図1に示す液晶表示装置におけるダミー走査信号線G0と走査信号線との交差部を拡大した図である。

【図6】図1に示す液晶表示装置において、画素電極が横長形状の場合の構成を示す図である。

【図7】図1に示す液晶表示装置の他の構成例を示す図であり、走査信号線の信号入力方向が、行ごとに異なる場合の液晶表示装置の構成を示す平面図である。

【図8】図1に示す液晶表示装置の他の構成例を示す図であり、液晶表示パネルの片側から走査信号線へゲート信号が入力される場合の液晶表示装置の構成を示す平面図である。

【図9】図1に示す液晶表示装置の他の構成例を示す図であり、ゲート信号の入力側とは反対側である走査信号線の終端側にダミー走査信号線が設けられている場合の液晶表示装置の構成を示す平面図である。

【図10】図1に示す液晶表示装置の他の構成例を示す図であり、ゲート信号の入力側、および、その反対側である走査信号線の終端側の両方にダミー走査信号線が設けられている場合の液晶表示装置の構成を示す平面図である。

【図 1 1】図 1 に示す液晶表示装置の他の構成例を示す図であり、走査信号線の信号入力方向がパネルの両側からブロックごとに入力される構成の液晶表示装置を示す平面図である。

【図 1 2】図 1 1 に示す液晶表示装置において、ゲート信号の入力側、およびその反対側である走査信号線の終端側の両方にダミー走査信号線を設けた場合の構成を示す平面図である。

【図 1 3】図 1 に示す液晶表示装置の他の構成例を示す図であり、ゲートドライバが液晶表示パネルの両側に配置される構成の液晶表示装置を示す平面図である。

【図 1 4】図 1 に示す液晶表示装置の他の構成例を示す図であり、ダミー走査信号線が、対向基板に配置された共通電極が存在しない領域で、走査信号線と交差する構成の液晶表示装置を示す平面図である。

【図 1 5】本実施の形態 2 に係る液晶表示装置の全体構成を示すブロック図である。

【図 1 6】図 1 5 に示す液晶表示装置の他の構成例を示す図であり、検査信号用配線を備えた狭額縁の液晶表示装置の構成を示す平面図である。

【図 1 7】図 1 5 に示す液晶表示装置の他の構成例を示す図であり、ダミー走査信号線が、検査信号用配線と平行に配置されている状態を示す図である。

【図 1 8】図 1 5 に示す液晶表示装置の他の構成例を示す図であり、ダミー走査信号線が、イオン性不純物吸着用配線に交差して設けられている状態を示す図である。

【図 1 9】図 1 5 に示す液晶表示装置の他の構成例を示す図であり、ダミー走査信号線が、イオン性不純物吸着用配線と平行に配置されている状態を示す図である。

【図 2 0】図 1 9 に示す液晶表示装置の一部分を拡大した図である。

【図 2 1】図 2 0 における A - A 断面図である。

【図 2 2】図 1 5 に示す液晶表示装置の他の構成例を示す図であり、他の信号線とダミー走査信号線 G 0 とが交差する構成を示す液晶表示装置の一例を示す平面図である。

【図 2 3】従来の TFT アクティブマトリクス方式の液晶表示装置の構成を示す。

【図 2 4】図 2 3 に示す液晶表示装置に寄生容量が生じることを説明する画素の平面図である。

【図 2 5】図 2 3 に示す液晶表示装置に生じた寄生容量による画素電極電位の変動を説明する電圧波形図である。

【図 2 6】特許文献 1 に係る液晶表示装置の構成を示す回路図である。

【図 2 7】図 2 6 に示す液晶表示装置のダミー走査信号線及び走査信号線に入力される各信号のタイミングチャートである。

【図 2 8】図 2 6 に示す液晶表示装置において、ダミー走査信号線に信号入力しない状態で配置した場合の構成を示す回路図である。

【図 2 9】図 2 8 に示す液晶表示装置における画素 P I X に関わる各種信号の波形を示すタイミングチャートであり、( a ) は、第 3 行目の画素 P I X に関わる各種信号の波形を示すタイミングチャートであり、( b ) は、第 1 行目の画素 P I X に関わる各種信号の波形を示すタイミングチャートである。

【符号の説明】

【 0 1 3 7 】

- 1 液晶表示装置 ( 表示装置 )
- 1 0 液晶表示パネル ( 表示パネル )
- 1 1 TFT ( スイッチング素子 )
- 1 1 TFT ( 検査用スイッチング素子 )
- 1 2 画素電極
- 1 3 共通電極
- 1 4 補助容量
- 1 5 CS ライン
- 1 6 液晶容量
- 1 8 寄生容量 ( C g d 1 )

10

20

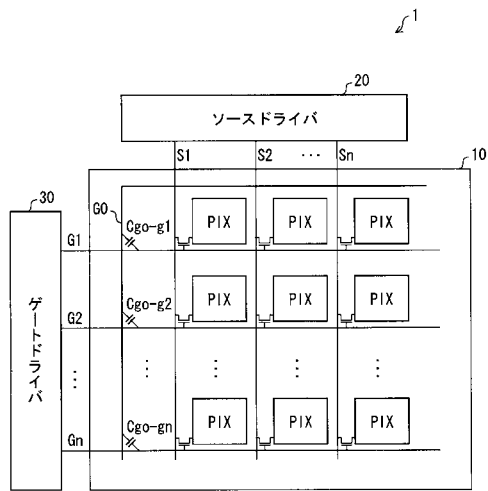
30

40

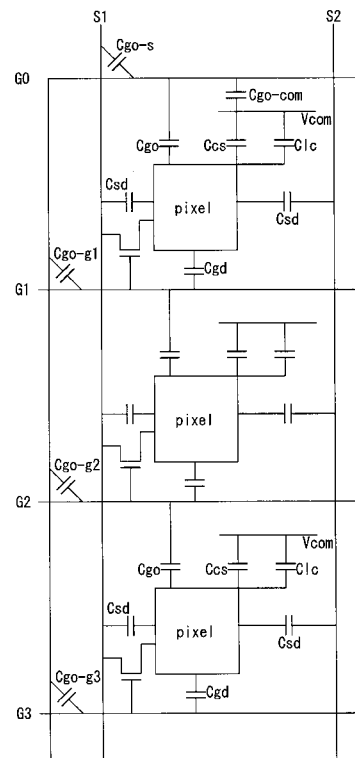
50

- 19 寄生容量 (Cgd2)
- 20 データドライバ (データ信号線駆動回路)
- 30 ゲートドライバ (走査信号線駆動回路)
- Sn データ信号線
- Gn 走査信号線
- G0 ダミー走査信号線

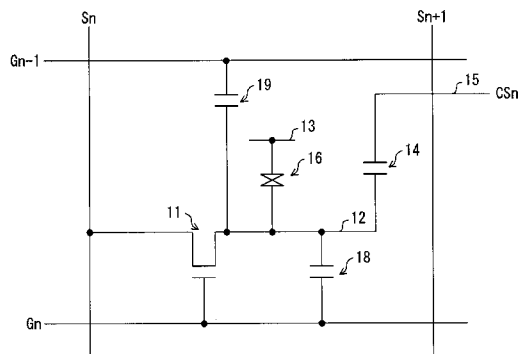
【図1】



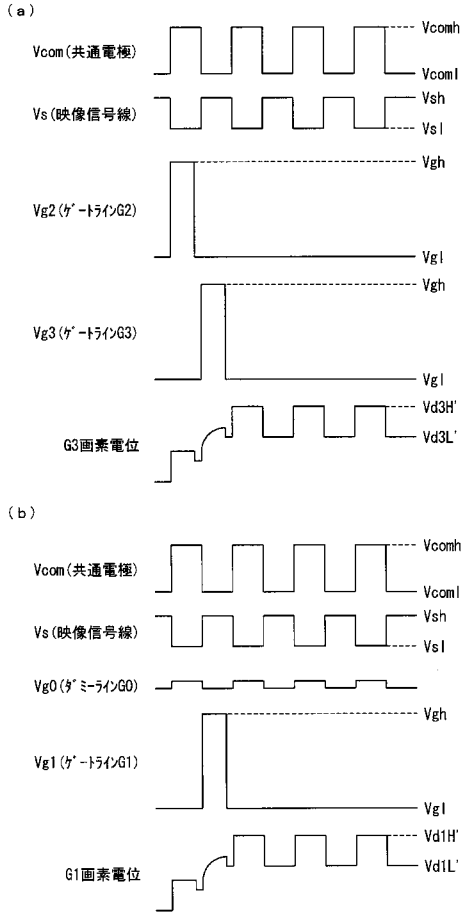
【図3】



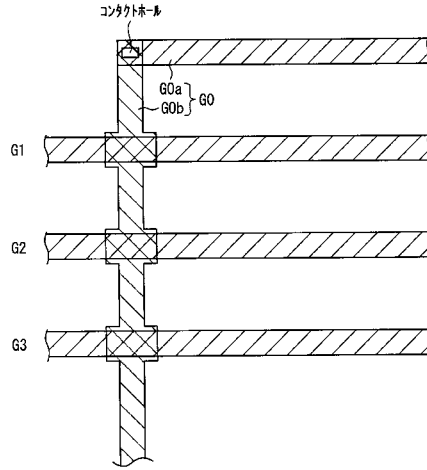
【図2】



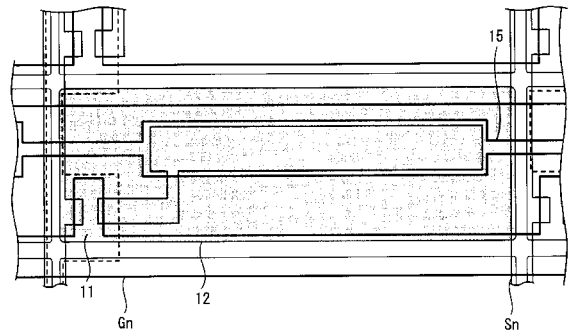
【 図 4 】



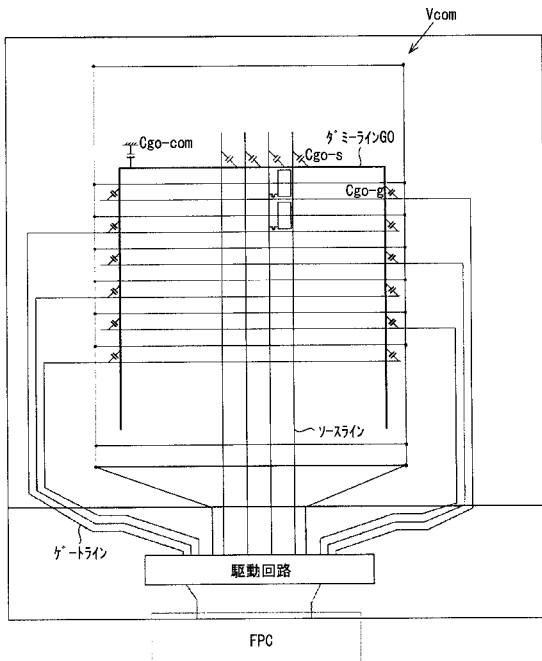
【 図 5 】



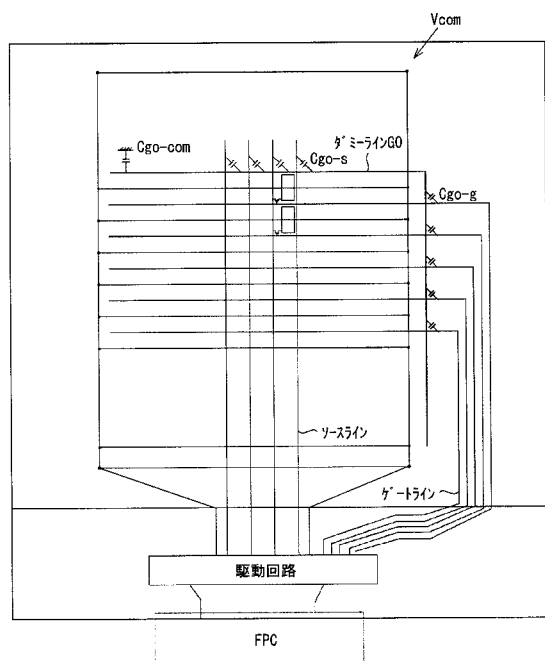
【 図 6 】



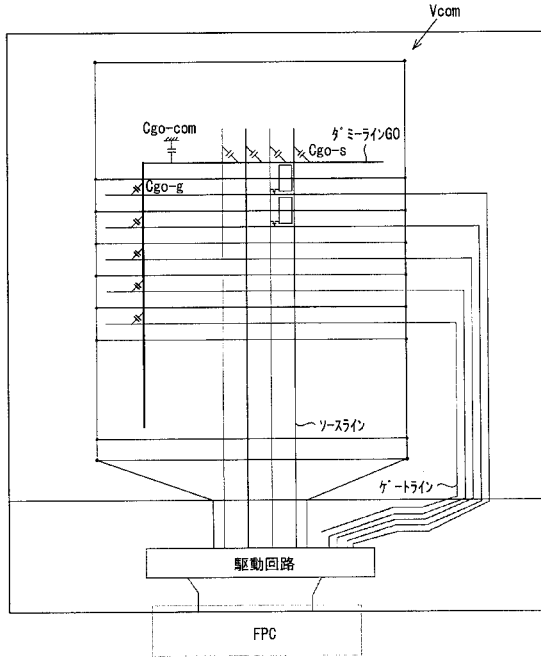
【 図 7 】



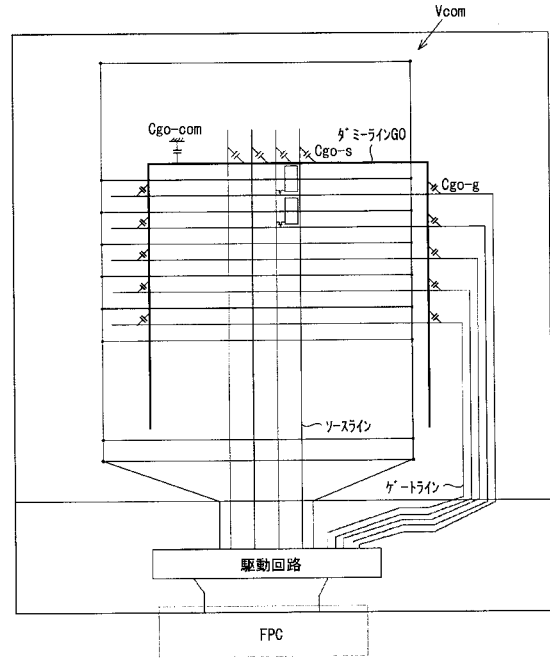
【 図 8 】



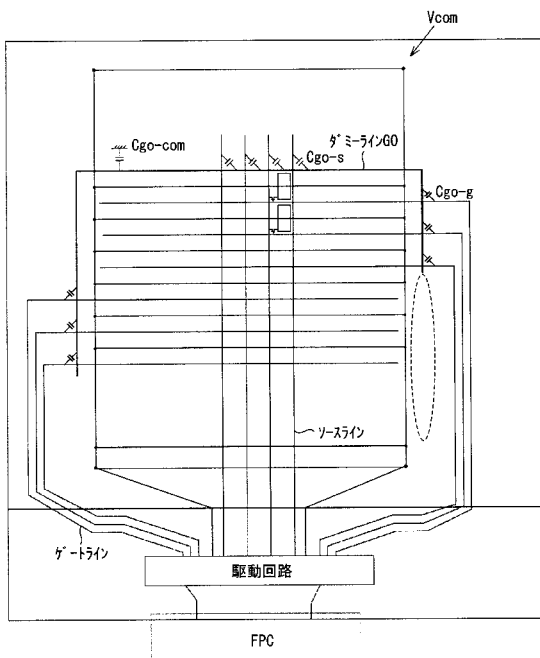
【 図 9 】



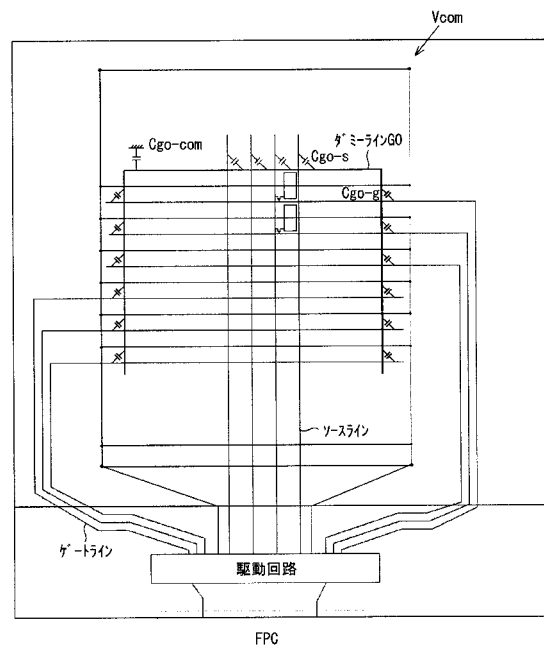
【 図 10 】



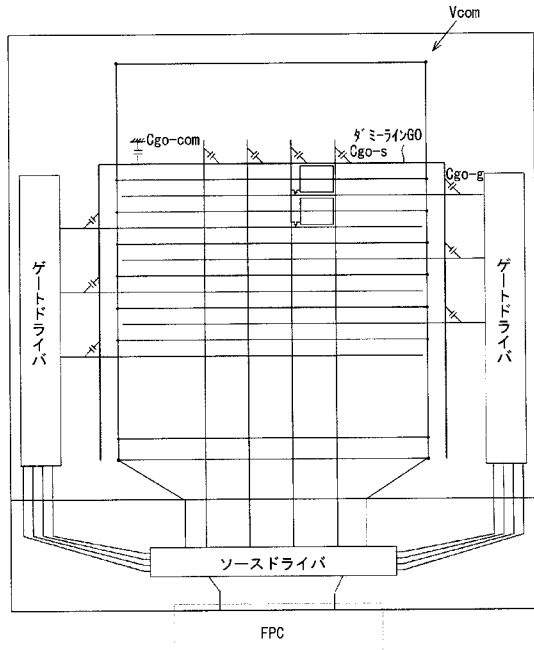
【 図 11 】



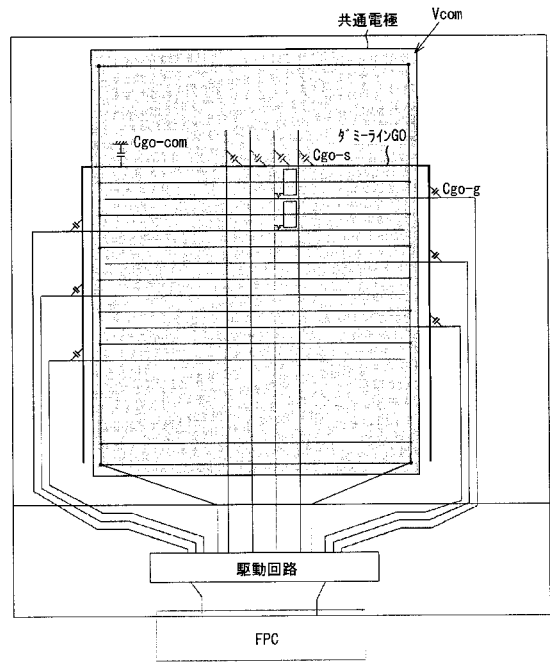
【 図 12 】



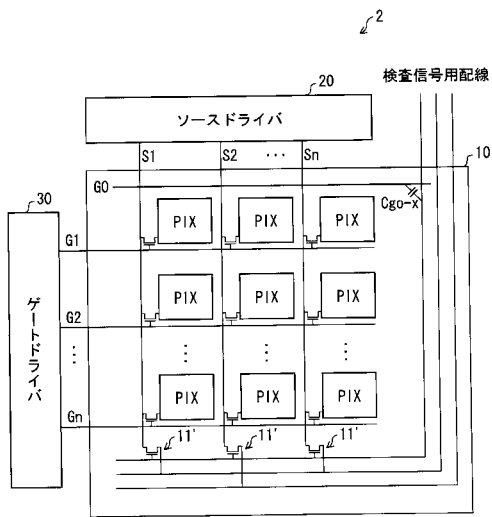
【図13】



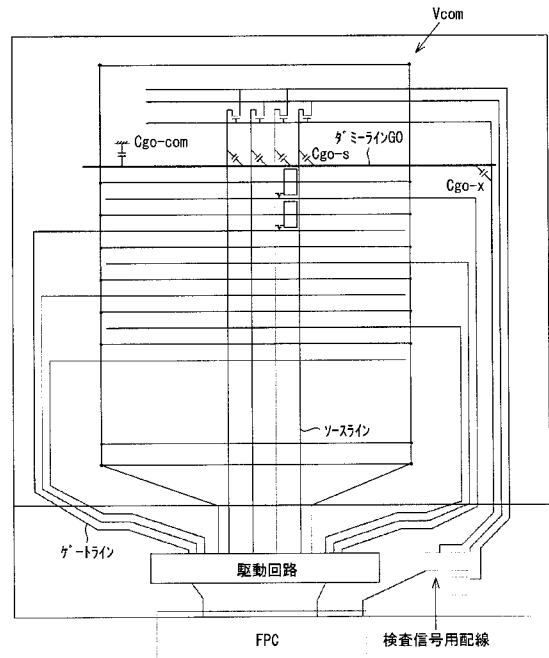
【図14】



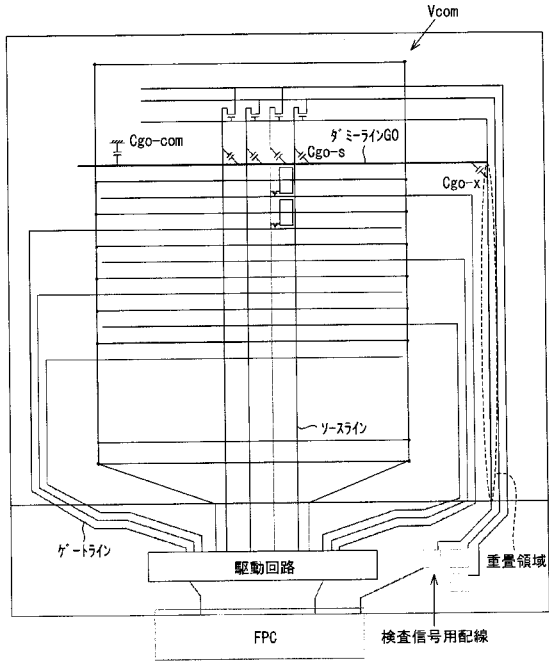
【図15】



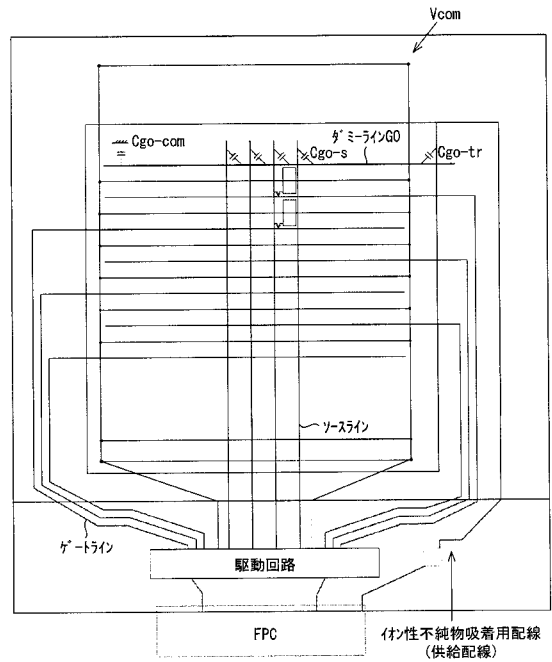
【図16】



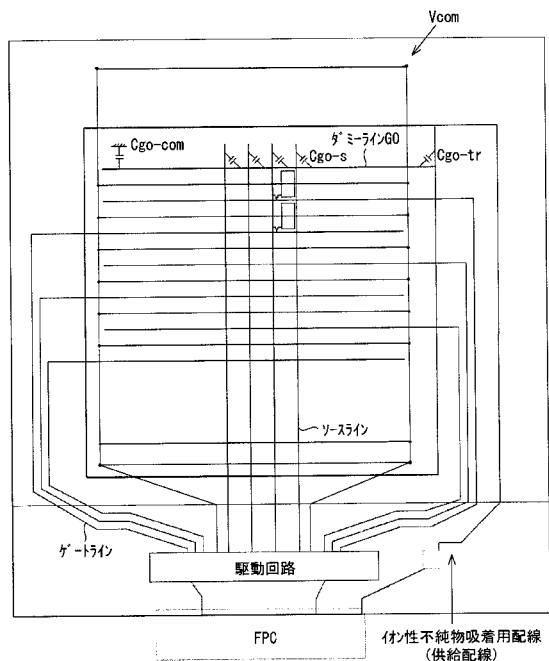
【図 17】



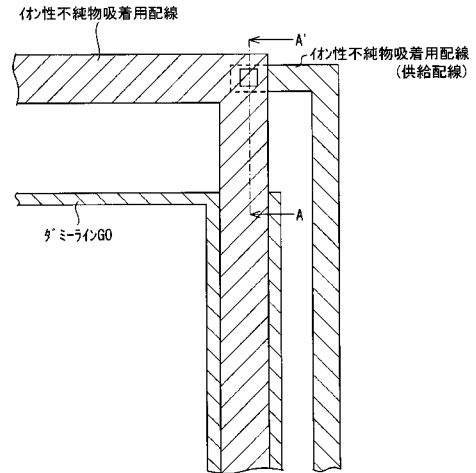
【図 18】



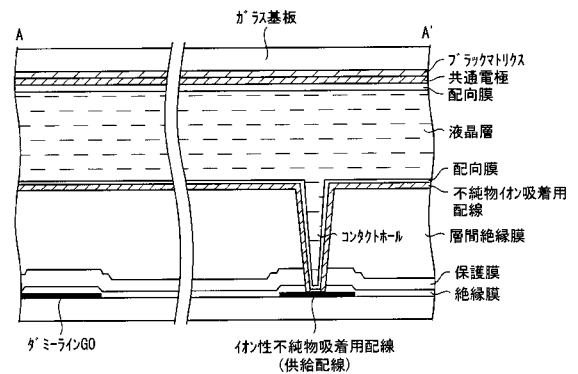
【図 19】



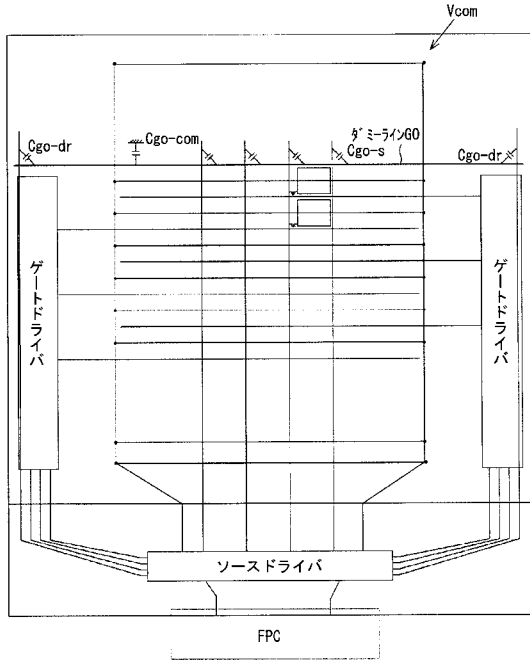
【図 20】



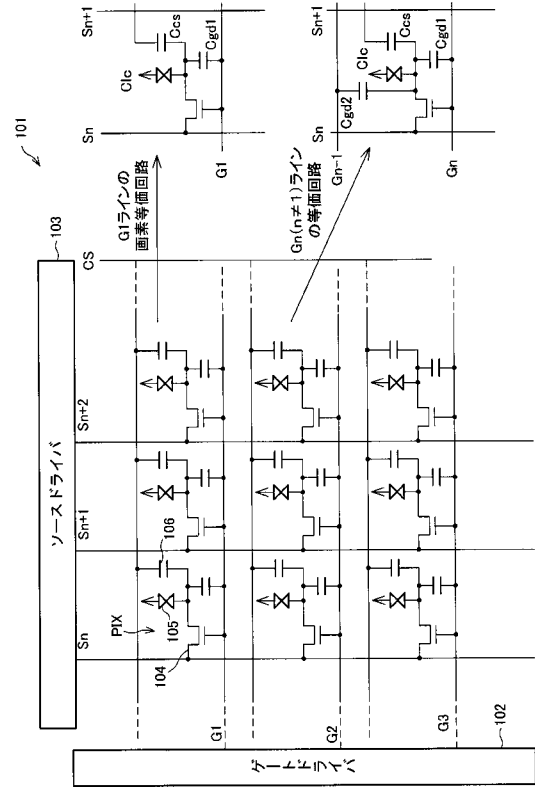
【図 21】



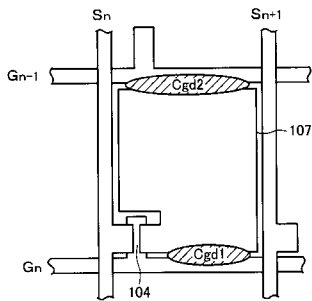
【図 2 2】



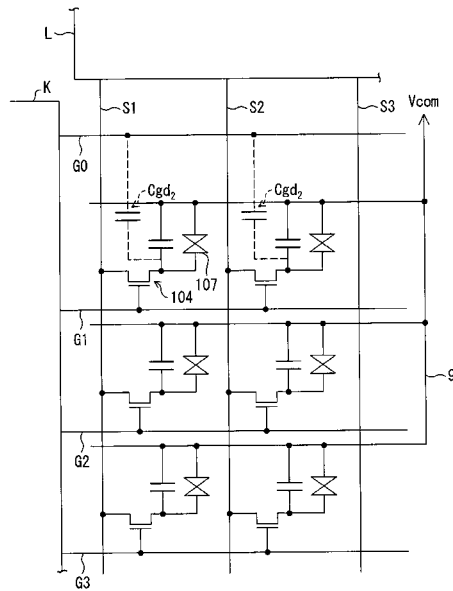
【図 2 3】



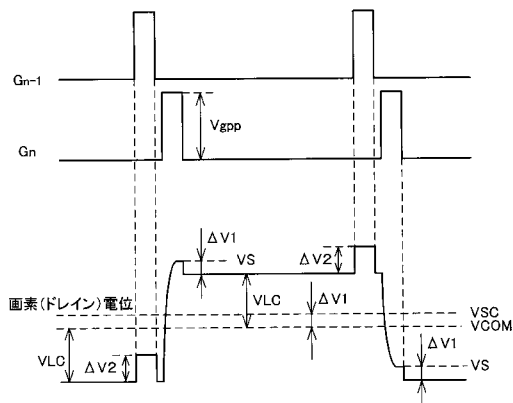
【図 2 4】



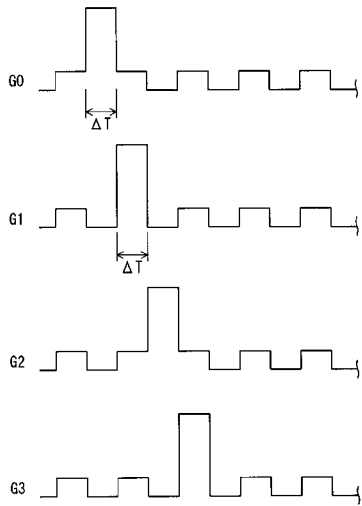
【図 2 6】



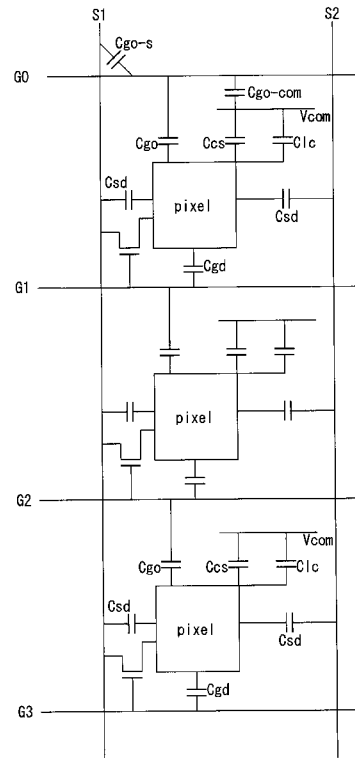
【図 2 5】



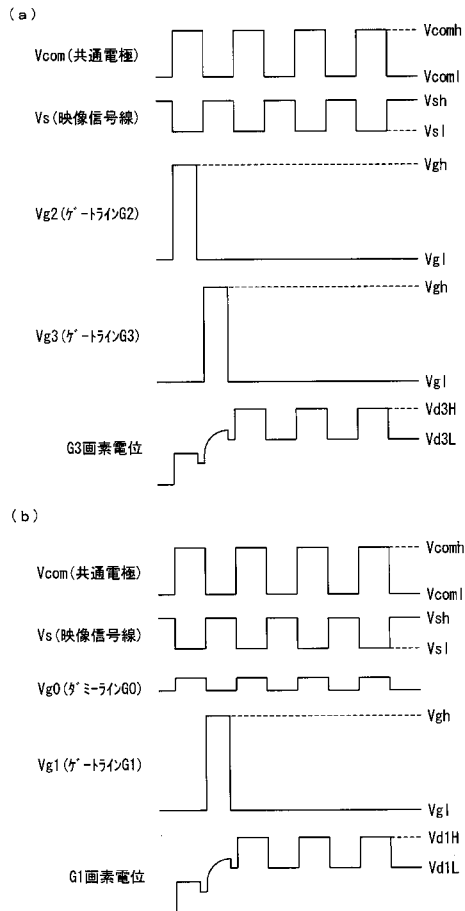
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



---

 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 7 0 Q
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 4 2 A
G 0 9 F	9/30	3 3 8
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 5 0

Fターム(参考)	5C006	AA16	AC11	AC25	AC27	AF35	AF51	AF59	BB16	BB27	BC02
		BC03	BC20	BF24	BF42	EB01	EB04	FA22	FA23	FA31	FA33
		FA37	FA38	FA42							
	5C080	AA10	BB05	DD05	DD06	DD12	DD15	DD23	DD28	DD29	EE29
		FF11	JJ02	JJ03	JJ04	JJ06	KK07				
	5C094	AA03	AA15	AA54	AA55	BA03	BA43	CA19	DA13	DA15	DB01
		EA01	EA03	FA01	FA02	FB01	FB12	FB15	GA10		

专利名称(译)	表示装置		
公开(公告)号	<a href="#">JP2009237282A</a>	公开(公告)日	2009-10-15
申请号	JP2008083367	申请日	2008-03-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	吉田昌弘		
发明人	吉田 昌弘		
IPC分类号	G09G3/36 G09G3/20 G09F9/30 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.A G09G3/20.622.G G09G3/20.660.Q G09G3/20.680.G G09G3/20.670.Q G09G3/20.624.D G09G3/20.611.J G09G3/20.611.E G09G3/20.642.A G09F9/30.338 G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA80 2H093/NB12 2H093/NC09 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC49 2H093/NC67 2H093/ND09 2H093/ND10 2H093/ND34 2H093/ND56 2H093/NE03 2H193/ZA04 2H193/ZD32 2H193/ZE31 2H193/ZF22 2H193/ZF36 2H193/ZH40 2H193/ZH45 2H193/ZK01 2H193/ZP03 5C006/AA16 5C006/AC11 5C006/AC25 5C006/AC27 5C006/AF35 5C006/AF51 5C006/AF59 5C006/BB16 5C006/BB27 5C006/BC02 5C006/BC03 5C006/BC20 5C006/BF24 5C006/BF42 5C006/EB01 5C006/EB04 5C006/FA22 5C006/FA23 5C006/FA31 5C006/FA33 5C006/FA37 5C006/FA38 5C006/FA42 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD12 5C080/DD15 5C080/DD23 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C094/AA03 5C094/AA15 5C094/AA54 5C094/AA55 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DA15 5C094/DB01 5C094/EA01 5C094/EA03 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB12 5C094/FB15 5C094/GA10 2H193/ZA07 2H193/ZB08 2H193/ZC25 2H193/ZH46 2H193/ZH79 2H193/ZK03 2H193/ZK08 2H193/ZK14		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：通过均匀化各行的显示状态，使显示装置尺寸小并抑制显示质量的劣化。解决方案：液晶显示装置1包括：液晶显示面板10，包括由扫描信号线G1导通/截止的扫描信号线G1，G2，...，Gn，TFT11构成的多行。G1，G2，...，Gn;像素电极连接到TFT 11的一端，并且还包括连接到每行中的TFT 11的另一端的数据信号线S1，S2，...，Sn。伪扫描信号线GO设置在最末端线上，位于栅极信号的扫描开始或结束侧。设置虚设扫描信号线GO，同时重叠扫描信号线的至少一部分，使得电容Cgo-g1，Cgo-g2，...，Cgo-gn分别形成在虚设扫描信号线GO和每个之间。扫描信号线G1，G2，...，Gn的一部分。Z

