

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-115994

(P2009-115994A)

(43) 公開日 平成21年5月28日(2009.5.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 622Q	5C080
	G09G 3/20 622G	
	G09G 3/20 623D	
審査請求 未請求 請求項の数 15 O L (全 40 頁) 最終頁に続く		

(21) 出願番号 特願2007-288123 (P2007-288123)
 (22) 出願日 平成19年11月6日 (2007.11.6)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (72) 発明者 沼尾 孝次
 大阪府大阪市阿倍野区長池町2番22号
 シャープ株式会社内
 Fターム(参考) 2H093 NA16 NC05 NC10 NC12 NC18
 NC22 NC29 NC34 NC35 NC40
 NC65 ND06 ND33 ND54 ND58
 NF04 NH18
 5C006 AC11 AC24 AC25 AC27 AF42
 AF46 BB16 BC03 BC06 FA12
 FA14 FA18 FA44
 最終頁に続く

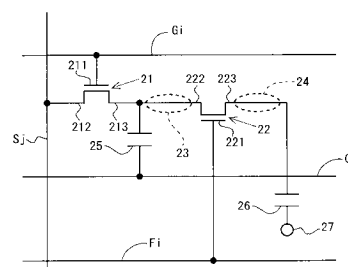
(54) 【発明の名称】 表示装置およびその駆動方法

(57) 【要約】

【課題】 フレームメモリを備えることなく、電気光学素子への印加電圧の変化に伴う電気光学素子の容量値の変化を補償することのできる表示装置を提供する。

【解決手段】 ゲート配線 G_i に印加される電圧によって導通/非導通状態が制御される第1のTFT 21と画素状態制御配線 F_i に印加される電圧によって導通/非導通状態が制御される第2のTFT 22とを各画素形成部に備える。各フレーム期間の第1期間には、液晶容量 26 に印加される電圧は0とされ、補助容量 25 にのみ階調値に応じた電荷が蓄積される。その際、補助容量 25 には、画像の輝度に対応する目標輝度電圧と該目標輝度電圧に対応する液晶容量値とに基づいて決定される電圧が印加される。各フレーム期間の第2期間には、第1のTFT 21は非導通状態、第2のTFT 22は導通状態とされ、補助容量 25 と液晶容量 26 との間で電荷の再配分が行われる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

表示装置であって、
 複数の映像信号線と、
 前記複数の映像信号線と交差する複数の走査信号線と、
 前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、表示すべき画像の輝度に応じた電荷を蓄積するための素子容量と該素子容量に並列に設けられた補助容量とを含む複数の画素形成部と、
 前記複数の映像信号線および前記複数の走査信号線に印加される電圧を制御することにより前記素子容量および前記補助容量に印加される電圧を制御する駆動回路と

10

を備え、
 任意の画素形成部に着目したとき、1画面分の表示が行われる期間である1フレーム期間は、当該画素形成部に対応する走査信号線が選択されている期間である第1期間と、該第1期間以外の期間である第2期間とからなり、

前記駆動回路は、各画素形成部につき、

前記第1期間には、前記素子容量に印加される電圧を0にするとともに、前記表示すべき画像の輝度に対応する目標輝度電圧と該目標輝度電圧に対応する素子容量値とに基づいて決定される第1期間補助容量充電電圧を前記補助容量に印加し、

前記第2期間には、前記第1期間に前記補助容量に蓄積された電荷が前記素子容量と前記補助容量との間で再配分されるように、当該各画素形成部に対応する走査信号線に電圧を印加することを特徴とする、表示装置。

20

【請求項 2】

前記複数の走査信号線と1対1に対応するように設けられ、前記駆動回路によって印加電圧が制御される画素状態制御配線を更に備え、

各画素形成部は、対応する走査信号線に印加される電圧によって導通/非導通状態が制御される第1のスイッチング素子と、対応する画素状態制御配線に印加される電圧によって導通/非導通状態が制御される第2のスイッチング素子とを有し、

各画素形成部において、

前記第1のスイッチング素子が導通状態であれば、当該各画素形成部に対応する映像信号線と前記補助容量とは電氣的に接続され、

30

前記第1のスイッチング素子が非導通状態であれば、当該各画素形成部に対応する映像信号線と前記補助容量とは電氣的に切り離され、

前記第2のスイッチング素子が導通状態であれば、前記補助容量と前記素子容量とは電氣的に接続され、

前記第2のスイッチング素子が非導通状態であれば、前記補助容量と前記素子容量とは電氣的に切り離され、

前記駆動回路は、各画素形成部につき、

前記第1期間の前半の期間には、前記第1のスイッチング素子と前記第2のスイッチング素子とを導通状態にするとともに、当該各画素形成部に対応する映像信号線への印加電圧を0とし、

40

前記第1期間の後半の期間には、前記第1のスイッチング素子を導通状態にして前記第2のスイッチング素子を非導通状態にするとともに、前記第1期間補助容量充電電圧が前記補助容量に印加されるように、当該各画素形成部に対応する映像信号線に電圧を印加し、

前記第2期間には、前記第1のスイッチング素子を非導通状態にして、前記第2のスイッチング素子を導通状態にすることを特徴とする、請求項1に記載の表示装置。

【請求項 3】

前記複数の走査信号線と1対1に対応するように設けられ、前記駆動回路によって印加電圧が制御される画素状態制御配線を更に備え、

各画素形成部は、対応する走査信号線に印加される電圧によって導通/非導通状態が制

50

御される第 1 のスイッチング素子と、対応する画素状態制御配線に印加される電圧によって導通 / 非導通状態が制御される第 2 のスイッチング素子とを有し、

各画素形成部において、

前記第 1 のスイッチング素子が導通状態であれば、当該各画素形成部に対応する映像信号線と前記素子容量とは電氣的に接続され、

前記第 1 のスイッチング素子が非導通状態であれば、当該各画素形成部に対応する映像信号線と前記素子容量とは電氣的に切り離され、

前記第 2 のスイッチング素子が導通状態であれば、前記素子容量と前記補助容量とは電氣的に接続され、

前記第 2 のスイッチング素子が非導通状態であれば、前記素子容量と前記補助容量とは電氣的に切り離され、

前記駆動回路は、各画素形成部につき、

前記第 1 期間の前半の期間には、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを導通状態にするとともに、前記第 1 期間補助容量充電電圧が前記補助容量に印加されるように、当該各画素形成部に対応する映像信号線に電圧を印加し、

前記第 1 期間の後半の期間には、前記第 1 のスイッチング素子を導通状態にして前記第 2 のスイッチング素子を非導通状態にするとともに、当該各画素形成部に対応する映像信号線への印加電圧を 0 とし、

前記第 2 期間には、前記第 1 のスイッチング素子を非導通状態にして、前記第 2 のスイッチング素子を導通状態にすることを特徴とする、請求項 1 に記載の表示装置。

10

20

【請求項 4】

各画素形成部は、前記第 2 のスイッチング素子と電氣的に接続された画素電極と、該画素電極との間に前記素子容量を形成するための共通電極とを含み、

前記第 1 期間補助容量充電電圧 V_b は、下記の式で算出されることを特徴とする、請求項 2 または 3 に記載の表示装置：

$$V_b = (C_s + C_1) \times V_1 / C_s - C_1 \times V_c / C_s$$

ここで、 C_s は前記補助容量の容量値を表し、 C_1 は前記目標輝度電圧に対応する素子容量値を表し、 V_1 は前記目標輝度電圧を表し、 V_c は前記共通電極の電圧を表す。

【請求項 5】

各画素形成部は、前記第 2 のスイッチング素子と電氣的に接続された容量電極と、該容量電極との間に前記補助容量を形成するための補助容量配線とを含み、

前記駆動回路は、前記補助容量配線に印加される電圧を制御する補助容量配線駆動回路を含み、

前記補助容量配線駆動回路は、各画素形成部につき、前記補助容量配線に印加される電圧を前記第 1 期間と前記第 2 期間とで異なる大きさにすることを特徴とする、請求項 2 から 4 までのいずれか 1 項に記載の表示装置。

30

【請求項 6】

前記駆動回路は、前記第 1 期間補助容量充電電圧が所定電圧以下となる画素形成部についてのみ、前記第 1 期間に、前記素子容量に印加される電圧を 0 にすることを特徴とする、請求項 1 から 5 までのいずれか 1 項に記載の表示装置。

40

【請求項 7】

前記所定電圧は、前記駆動回路が前記複数の映像信号線に印加可能な最大の電圧であることを特徴とする、請求項 6 に記載の表示装置。

【請求項 8】

前記素子容量は、液晶容量であることを特徴とする、請求項 1 から 7 までのいずれか 1 項に記載の表示装置。

【請求項 9】

複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、表示すべき画像の輝度に応じた電荷を蓄積するための素子容量と該素子容量に並列

50

に設けられた補助容量とを含む複数の画素形成部とを含む表示装置の駆動方法であって、各画素形成部につき、前記素子容量に印加される電圧を 0 にするとともに、前記表示すべき画像の輝度に対応する目標輝度電圧と該目標輝度電圧に対応する素子容量値とに基づいて決定される第 1 ステップ補助容量充電電圧を前記補助容量に印加する第 1 の駆動ステップと、

各画素形成部につき、前記第 1 の駆動ステップで前記補助容量に蓄積された電荷が前記素子容量と前記補助容量との間で再配分されるように、当該各画素形成部に対応する走査信号線に電圧を印加する第 2 の駆動ステップとを備えることを特徴とする、駆動方法。

【請求項 10】

前記表示装置は、前記複数の走査信号線と 1 対 1 に対応する画素状態制御配線を更に備え、

各画素形成部は、

対応する走査信号線に印加される電圧によって導通 / 非導通状態が制御されるスイッチング素子であって、導通状態であれば当該対応する映像信号線と前記補助容量とが電氣的に接続され、非導通状態であれば当該対応する映像信号線と前記補助容量とが電氣的に切り離される第 1 のスイッチング素子と、

対応する画素状態制御配線に印加される電圧によって導通 / 非導通状態が制御されるスイッチング素子であって、導通状態であれば前記補助容量と前記素子容量とが電氣的に接続され、非導通状態であれば前記補助容量と前記素子容量とが電氣的に切り離される第 2 のスイッチング素子と

を含み、

前記第 1 の駆動ステップは、

各画素形成部につき、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを導通状態にするとともに、当該各画素形成部に対応する映像信号線への印加電圧を 0 とする第 1 ステップと、

各画素形成部につき、前記第 1 のスイッチング素子を導通状態にして前記第 2 のスイッチング素子を非導通状態にするとともに、前記第 1 ステップ補助容量充電電圧が前記補助容量に印加されるように、当該各画素形成部に対応する映像信号線に電圧を印加する第 2 ステップとを含み、

前記第 2 の駆動ステップでは、前記第 1 のスイッチング素子は非導通状態にされ、前記第 2 のスイッチング素子は導通状態にされることを特徴とする、請求項 9 に記載の駆動方法。

【請求項 11】

前記表示装置は、前記複数の走査信号線と 1 対 1 に対応する画素状態制御配線を更に備え、

各画素形成部は、

対応する走査信号線に印加される電圧によって導通 / 非導通状態が制御されるスイッチング素子であって、導通状態であれば当該対応する映像信号線と前記素子容量とが電氣的に接続され、非導通状態であれば当該対応する映像信号線と前記素子容量とが電氣的に切り離される第 1 のスイッチング素子と、

対応する画素状態制御配線に印加される電圧によって導通 / 非導通状態が制御されるスイッチング素子であって、導通状態であれば前記素子容量と前記補助容量とが電氣的に接続され、非導通状態であれば前記素子容量と前記補助容量とが電氣的に切り離される第 2 のスイッチング素子と

を含み、

前記第 1 の駆動ステップは、

各画素形成部につき、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを導通状態にするとともに、前記第 1 ステップ補助容量充電電圧が前記補助容量に印加されるように、当該各画素形成部に対応する映像信号線に電圧を印加する第 1 ステップと、

10

20

30

40

50

各画素形成部につき、前記第 1 のスイッチング素子を導通状態にして前記第 2 のスイッチング素子を非導通状態にするとともに、当該各画素形成部に対応する映像信号線への印加電圧を 0 とする第 2 ステップとを含み、

前記第 2 の駆動ステップでは、前記第 1 のスイッチング素子は非導通状態にされ、前記第 2 のスイッチング素子は導通状態にされることを特徴とする、請求項 9 に記載の駆動方法。

【請求項 1 2】

各画素形成部は、前記第 2 のスイッチング素子と電氣的に接続された画素電極と、該画素電極との間に前記素子容量を形成するための共通電極とを含み、

前記第 1 期間補助容量充電電圧 V_b は、下記の式で算出されることを特徴とする、請求項 1 0 または 1 1 に記載の駆動方法：

$$V_b = (C_s + C_1) \times V_1 / C_s - C_1 \times V_c / C_s$$

ここで、 C_s は前記補助容量の容量値を表し、 C_1 は前記目標輝度電圧に対応する素子容量値を表し、 V_1 は前記目標輝度電圧を表し、 V_c は前記共通電極の電圧を表す。

【請求項 1 3】

各画素形成部は、前記第 2 のスイッチング素子と電氣的に接続された容量電極と、該容量電極との間に前記補助容量を形成するための補助容量配線とを含み、

前記第 1 の駆動ステップの際に前記補助容量配線に印加される電圧と前記第 2 の駆動ステップの際に前記補助容量配線に印加される電圧とが異なる大きさにされることを特徴とする、請求項 1 0 から 1 2 までのいずれか 1 項に記載の駆動方法。

【請求項 1 4】

前記第 1 ステップ補助容量充電電圧が所定電圧以下となる画素形成部についてのみ、前記第 1 の駆動ステップによって、前記素子容量に印加される電圧が 0 にされることを特徴とする、請求項 9 から 1 3 までのいずれか 1 項に記載の駆動方法。

【請求項 1 5】

前記所定電圧は、前記駆動回路が前記複数の映像信号線に印加可能な最大の電圧であることを特徴とする、請求項 1 4 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置等の表示装置およびその駆動方法に関する。

【背景技術】

【0002】

近年、ノートパソコン、携帯電話、液晶テレビジョンなど TFT (Thin Film Transistor: 薄膜トランジスタ) を用いた液晶表示装置が普及している。TFT を用いた液晶表示装置では、液晶による表示状態を制御するために、「ソースドライバ」と呼ばれる駆動回路によって液晶に電圧が供給されている。例えば、特開 2002-351409 号公報には、図 2 2 に示す構成の液晶表示装置についての発明が開示されている。この液晶表示装置では、複数個のソースドライバ IC 908 からなるソースドライバ 907 が設けられ、当該ソースドライバ 907 から液晶に電圧が供給されている。

【0003】

図 2 3 は、従来一般的な液晶表示装置における画素形成部の構成を示す回路図である。図 2 3 に示すように、各画素形成部には、対応する交差点を通過するゲート配線 G_i にゲート電極 85 が接続されるとともに当該交差点を通過するソース配線 S_j にソース電極 86 が接続された TFT 80 と、その TFT 80 のドレイン電極 87 に接続された画素電極 81 と、表示部内の複数個の画素形成部に共通的に設けられた共通電極 84 と、ゲート配線 G_i に対応するように設けられた補助容量配線 (補助容量電極) C_i と、画素電極 81 と共通電極 84 とによって形成される液晶容量 82 と、画素電極 81 と補助容量配線 C_i とによって形成される補助容量 83 とが含まれている。また、液晶容量 82 と補助容量 83 とによって画素容量が形成されている。そして、各 TFT 80 のゲート電極 85 がゲ

10

20

30

40

50

ート配線 G_i からアクティブな走査信号（選択信号）を受けたときに当該 TFT 80 のソース電極 86 がソース配線 S_j から受ける映像信号に基づいて、画素容量に画素値を示す電圧が保持される。なお、以下の説明において、液晶容量や補助容量などの容量に関し、それら自体を示すときには「容量（液晶容量、補助容量など）」の語を用い、それらの大きさを示すときには「容量値（液晶容量値、補助容量値など）」の語を用いる。

【0004】

ところで、液晶には「印加される電圧（液晶印加電圧）が大きくなると、容量値（液晶容量値）が増える」という特性がある。液晶印加電圧と液晶容量値との関係は、例えば図 24 の「キャパシタンス - 電圧対応曲線」で示すような関係となっている。なお、液晶印加電圧と（表示部に現れる）輝度との関係は、図 24 の「輝度 - 電圧対応曲線」で示すような関係となっている。

10

【0005】

ここで、図 23 および図 24 を参照しつつ、液晶印加電圧が V_1 になっている状態の時に液晶印加電圧を目標輝度の電圧 V_2 に変化させたときの動作について説明する。まず、液晶印加電圧が V_1 になることにより、画素電極 81 には次式（1）に示す電荷 Q が蓄積される。

$$Q = (C_1 + C_s) \times V_1 \quad \dots (1)$$

ここで、 C_1 は液晶印加電圧が V_1 になっている状態の時の液晶容量値であり、 C_s は補助容量値である。

【0006】

20

次に、液晶印加電圧が V_1 から V_2 に上昇したことに伴い、図 24 の「キャパシタンス - 電圧対応曲線」で示すように、（液晶に V_1 が印加されたフレーム期間から）次のフレーム期間までに液晶容量値が C_1 から C_2 に上昇する。このとき、TFT 80 は非導通状態となっており、画素電極 81 に蓄積されている電荷 Q は保持される。このため、液晶印加電圧は V_1 から V_2 に低下する。このように、或るフレーム期間に目標輝度に対応する電圧が液晶に印加されても、次のフレーム期間までに液晶印加電圧が低下する。これにより、目標輝度に到達するまでに数フレーム期間を要することになる。その結果、1 フレーム毎に変化するような画像の表示が行われる場合に、良好な表示品位が得られない。

【0007】

30

そこで、上述した特開 2002 - 351409 号公報に記載の液晶表示装置では、目標輝度に対応する電圧よりも高い電圧を液晶に印加することによって、「液晶印加電圧の変化に伴う液晶容量値の変化」に対する補償が施されている。なお、このような駆動方法は「オーバードライブ（駆動）」、「オーバーシュート（駆動）」などと呼ばれている。特開 2002 - 351409 号公報に記載の液晶表示装置には、図 22 に示すように、LCD コントローラ 904 とソースドライバ 907 との間にオーバードライブコントローラ 910 が設けられている。図 25 は、そのオーバードライブコントローラ 910 の構成を示すブロック図である。オーバードライブコントローラ 910 は、オーバードライブ電圧算出部 911 とキャパシタンス予測部 912 とフレームバッファ 913 とによって構成されている。キャパシタンス予測部 912 は、1 フレーム後のキャパシタンス値（液晶容量値）を予測する。フレームバッファ 913 には、キャパシタンス予測部 912 によって予測されたキャパシタンス値が格納される。オーバードライブ電圧算出部 911 は、LCD コントローラ 904 から送られた目標輝度と 1 フレーム前にフレームバッファ 913 に格納されたキャパシタンス値とに基づいて、液晶に印加すべき電圧（オーバードライブ電圧）を算出する。

40

【0008】

このような構成により、図 24 に示した例の場合、液晶印加電圧が V_1 になっている状態の時に液晶印加電圧を目標輝度の電圧 V_2 よりも高い電圧（オーバードライブ電圧） V_3 に変化させる。そうすると、液晶印加電圧が V_1 から V_2 に上昇したことに伴って、図 24 の「キャパシタンス - 電圧対応曲線」で示すように、（液晶に V_1 が印加されたフレーム期間から）次のフレーム期間までに液晶容量値が C_1 から C_2 に上昇する。このとき

50

、上述したように画素電極に蓄積されている電荷は保持されるので、液晶印加電圧はVからVに低下する。このようにして、目標輝度に対応する電圧Vが液晶に印加される。

【0009】

また、特開2006-30835号公報には、フレームメモリ(図25のフレームバッファ913)を備えることなく液晶の応答速度を改善する技術が開示されている。図26は、特開2006-30835号公報に記載の液晶表示装置における画素形成部の構成を示す回路図である。この液晶表示装置においては、図26に示すように、ソース配線928と補助容量Csとの間に第1のTF T930が設けられ、補助容量Csと液晶容量LCとの間に第2のTF T932が設けられている。第1のTF T930のゲート電極Gは第1走査線924に接続され、第2のTF T932のゲート電極Gは第2走査線926に接続されている。

10

【0010】

図27は、特開2006-30835号公報に記載の液晶表示装置における駆動方法を説明するための信号波形図である。図27に示すように、フレーム期間の前半には第1走査線924が順次に選択されている。これにより、第1のTF T930が導通状態となり、ソース配線928から与えられる電圧に基づいて補助容量Csに電荷が蓄積される。その後、フレーム期間の後半に、全ての行についての第2走査線926が選択される。これにより、第2のTF T932が導通状態となる。このとき、第1のTF T930は非導通状態となっているので、補助容量Csと液晶容量LCとの間で電荷の再配分が行われる。その後、バックライトの点灯が行われる。以上のようにして、インパルス方式の表示を行うことによって、動画の表示特性の改善が行われている。

20

【0011】

さらに、特開2007-122082号公報には、図28に示すようにして、画素形成部のTF T116が非導通状態となった後に補助容量配線113の電圧を変化させることにより、液晶印加電圧をシフトさせる方法が開示されている。この方法によると、補助容量値と液晶容量値との比に応じて、液晶印加電圧のシフトが行われる。

【特許文献1】特開2002-351409号公報

【特許文献2】特開2006-30835号公報

【特許文献3】特開2007-122082号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0012】

ところが、特開2002-351409号公報に開示されたような「オーバードライブ電圧を液晶に印加する構成」を採用する場合には、フレームメモリ(図25のフレームバッファ913)が必要となる。このため、特に「モバイル機器」と呼ばれるような中小型の液晶表示装置において、コスト上昇が問題となる。

【0013】

また、特開2006-30835号公報に記載の液晶表示装置によると、電荷をリフレッシュしたのち再度第2走査線が選択されて液晶への書き込みが行われるまでの期間には黒表示が行われるので、当該期間にはバックライトを消灯する必要がある。このため、比較的短い時間(期間)に高輝度の表示が行われなければならない、例えば必要となるCCFL(冷陰極蛍光灯)の数が増加するなど高コスト化の要因となる。

40

【0014】

さらに、特開2007-122082号公報に記載の液晶表示装置によると、図29に示すように補助容量値と液晶容量値との比に応じて液晶印加電圧がシフトするが、液晶印加電圧の変化に伴う液晶容量値の変化は補償されない。

【0015】

そこで本発明は、フレームメモリを備えることなく、液晶等の電気光学素子への印加電圧の変化に伴う電気光学素子の容量値の変化を補償することのできる表示装置を提供する

50

ことを目的とする。また、フレームメモリを有さない表示装置において応答速度の改善を図ることをも目的とする。

【課題を解決するための手段】

【0016】

第1の発明は、表示装置であって、
複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、表示すべき画像の輝度に応じた電荷を蓄積するための素子容量と該素子容量に並列に設けられた補助容量とを含む複数の画素形成部と、

前記複数の映像信号線および前記複数の走査信号線に印加される電圧を制御することにより前記素子容量および前記補助容量に印加される電圧を制御する駆動回路とを備え、

任意の画素形成部に着目したとき、1画面分の表示が行われる期間である1フレーム期間は、当該画素形成部に対応する走査信号線が選択されている期間である第1期間と、該第1期間以外の期間である第2期間とからなり、

前記駆動回路は、各画素形成部につき、

前記第1期間には、前記素子容量に印加される電圧を0にするとともに、前記表示すべき画像の輝度に対応する目標輝度電圧と該目標輝度電圧に対応する素子容量値とに基づいて決定される第1期間補助容量充電電圧を前記補助容量に印加し、

前記第2期間には、前記第1期間に前記補助容量に蓄積された電荷が前記素子容量と前記補助容量との間で再配分されるように、当該各画素形成部に対応する走査信号線に電圧を印加することを特徴とする。

【0017】

第2の発明は、第1の発明において、

前記複数の走査信号線と1対1で対応するように設けられ、前記駆動回路によって印加電圧が制御される画素状態制御配線を更に備え、

各画素形成部は、対応する走査信号線に印加される電圧によって導通/非導通状態が制御される第1のスイッチング素子と、対応する画素状態制御配線に印加される電圧によって導通/非導通状態が制御される第2のスイッチング素子とを有し、

各画素形成部において、

前記第1のスイッチング素子が導通状態であれば、当該各画素形成部に対応する映像信号線と前記補助容量とは電氣的に接続され、

前記第1のスイッチング素子が非導通状態であれば、当該各画素形成部に対応する映像信号線と前記補助容量とは電氣的に切り離され、

前記第2のスイッチング素子が導通状態であれば、前記補助容量と前記素子容量とは電氣的に接続され、

前記第2のスイッチング素子が非導通状態であれば、前記補助容量と前記素子容量とは電氣的に切り離され、

前記駆動回路は、各画素形成部につき、

前記第1期間の前半の期間には、前記第1のスイッチング素子と前記第2のスイッチング素子とを導通状態にするとともに、当該各画素形成部に対応する映像信号線への印加電圧を0とし、

前記第1期間の後半の期間には、前記第1のスイッチング素子を導通状態にして前記第2のスイッチング素子を非導通状態にするとともに、前記第1期間補助容量充電電圧が前記補助容量に印加されるように、当該各画素形成部に対応する映像信号線に電圧を印加し、

前記第2期間には、前記第1のスイッチング素子を非導通状態にして、前記第2のスイッチング素子を導通状態にすることを特徴とする。

【0018】

10

20

30

40

50

第3の発明は、第1の発明において、

前記複数の走査信号線と1対1で対応するように設けられ、前記駆動回路によって印加電圧が制御される画素状態制御配線を更に備え、

各画素形成部は、対応する走査信号線に印加される電圧によって導通/非導通状態が制御される第1のスイッチング素子と、対応する画素状態制御配線に印加される電圧によって導通/非導通状態が制御される第2のスイッチング素子とを有し、

各画素形成部において、

前記第1のスイッチング素子が導通状態であれば、当該各画素形成部に対応する映像信号線と前記素子容量とは電氣的に接続され、

前記第1のスイッチング素子が非導通状態であれば、当該各画素形成部に対応する映像信号線と前記素子容量とは電氣的に切り離され、

前記第2のスイッチング素子が導通状態であれば、前記素子容量と前記補助容量とは電氣的に接続され、

前記第2のスイッチング素子が非導通状態であれば、前記素子容量と前記補助容量とは電氣的に切り離され、

前記駆動回路は、各画素形成部につき、

前記第1期間の前半の期間には、前記第1のスイッチング素子と前記第2のスイッチング素子とを導通状態にするとともに、前記第1期間補助容量充電電圧が前記補助容量に印加されるように、当該各画素形成部に対応する映像信号線に電圧を印加し、

前記第1期間の後半の期間には、前記第1のスイッチング素子を導通状態にして前記第2のスイッチング素子を非導通状態にするとともに、当該各画素形成部に対応する映像信号線への印加電圧を0とし、

前記第2期間には、前記第1のスイッチング素子を非導通状態にして、前記第2のスイッチング素子を導通状態にすることを特徴とする。

【0019】

第4の発明は、第2または第3の発明において、

各画素形成部は、前記第2のスイッチング素子と電氣的に接続された画素電極と、該画素電極との間に前記素子容量を形成するための共通電極とを含み、

前記第1期間補助容量充電電圧 V_b は、下記の式で算出されることを特徴とする。

$$V_b = (C_s + C_1) \times V_1 / C_s - C_1 \times V_c / C_s$$

ここで、 C_s は前記補助容量の容量値を表し、 C_1 は前記目標輝度電圧に対応する素子容量値を表し、 V_1 は前記目標輝度電圧を表し、 V_c は前記共通電極の電圧を表す。

【0020】

第5の発明は、第2から第4までのいずれかの発明において、

各画素形成部は、前記第2のスイッチング素子と電氣的に接続された容量電極と、該容量電極との間に前記補助容量を形成するための補助容量配線とを含み、

前記駆動回路は、前記補助容量配線に印加される電圧を制御する補助容量配線駆動回路を含み、

前記補助容量配線駆動回路は、各画素形成部につき、前記補助容量配線に印加される電圧を前記第1期間と前記第2期間とで異なる大きさにすることを特徴とする。

【0021】

第6の発明は、第1から第5までのいずれかの発明において、

前記駆動回路は、前記第1期間補助容量充電電圧が所定電圧以下となる画素形成部についてのみ、前記第1期間に、前記素子容量に印加される電圧を0にすることを特徴とする。

【0022】

第7の発明は、第1から第6までのいずれかの発明において、

前記所定電圧は、前記駆動回路が前記複数の映像信号線に印加可能な最大の電圧であることを特徴とする。

【0023】

10

20

30

40

50

第 8 の発明は、第 1 から第 7 までのいずれかの発明において、
前記素子容量は、液晶容量であることを特徴とする。

【 0 0 2 4 】

第 9 の発明は、複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、表示すべき画像の輝度に応じた電荷を蓄積するための素子容量と該素子容量に並列に設けられた補助容量とを含む複数の画素形成部とを含む表示装置の駆動方法であって、

各画素形成部につき、前記素子容量に印加される電圧を 0 にするとともに、前記表示すべき画像の輝度に対応する目標輝度電圧と該目標輝度電圧に対応する素子容量値とに基づいて決定される第 1 ステップ補助容量充電電圧を前記補助容量に印加する第 1 の駆動ステップと、

各画素形成部につき、前記第 1 の駆動ステップで前記補助容量に蓄積された電荷が前記素子容量と前記補助容量との間で再配分されるように、当該各画素形成部に対応する走査信号線に電圧を印加する第 2 の駆動ステップとを備えることを特徴とする。

【 0 0 2 5 】

第 10 の発明は、第 9 の発明において、

前記表示装置は、前記複数の走査信号線と 1 対 1 で対応する画素状態制御配線を更に備え、

各画素形成部は、

対応する走査信号線に印加される電圧によって導通 / 非導通状態が制御されるスイッチング素子であって、導通状態であれば当該対応する映像信号線と前記補助容量とが電気的に接続され、非導通状態であれば当該対応する映像信号線と前記補助容量とが電気的に切り離される第 1 のスイッチング素子と、

対応する画素状態制御配線に印加される電圧によって導通 / 非導通状態が制御されるスイッチング素子であって、導通状態であれば前記補助容量と前記素子容量とが電気的に接続され、非導通状態であれば前記補助容量と前記素子容量とが電気的に切り離される第 2 のスイッチング素子と

を含み、

前記第 1 の駆動ステップは、

各画素形成部につき、前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とを導通状態にするとともに、当該各画素形成部に対応する映像信号線への印加電圧を 0 とする第 1 ステップと、

各画素形成部につき、前記第 1 のスイッチング素子を導通状態にして前記第 2 のスイッチング素子を非導通状態にするとともに、前記第 1 ステップ補助容量充電電圧が前記補助容量に印加されるように、当該各画素形成部に対応する映像信号線に電圧を印加する第 2 ステップとを含み、

前記第 2 の駆動ステップでは、前記第 1 のスイッチング素子は非導通状態にされ、前記第 2 のスイッチング素子は導通状態にされることを特徴とする。

【 0 0 2 6 】

第 11 の発明は、第 9 の発明において、

前記表示装置は、前記複数の走査信号線と 1 対 1 で対応する画素状態制御配線を更に備え、

各画素形成部は、

対応する走査信号線に印加される電圧によって導通 / 非導通状態が制御されるスイッチング素子であって、導通状態であれば当該対応する映像信号線と前記素子容量とが電気的に接続され、非導通状態であれば当該対応する映像信号線と前記素子容量とが電気的に切り離される第 1 のスイッチング素子と、

対応する画素状態制御配線に印加される電圧によって導通 / 非導通状態が制御される

スイッチング素子であって、導通状態であれば前記素子容量と前記補助容量とが電氣的に接続され、非導通状態であれば前記素子容量と前記補助容量とが電氣的に切り離される第2のスイッチング素子と

を含み、

前記第1の駆動ステップは、

各画素形成部につき、前記第1のスイッチング素子と前記第2のスイッチング素子とを導通状態にするとともに、前記第1ステップ補助容量充電電圧が前記補助容量に印加されるように、当該各画素形成部に対応する映像信号線に電圧を印加する第1ステップと、

各画素形成部につき、前記第1のスイッチング素子を導通状態にして前記第2のスイッチング素子を非導通状態にするとともに、当該各画素形成部に対応する映像信号線への印加電圧を0とする第2ステップとを含み、

前記第2の駆動ステップでは、前記第1のスイッチング素子は非導通状態にされ、前記第2のスイッチング素子は導通状態にされることを特徴とする。

【0027】

第12の発明は、第10または第11の発明において、

各画素形成部は、前記第2のスイッチング素子と電氣的に接続された画素電極と、該画素電極との間に前記素子容量を形成するための共通電極とを含み、

前記第1期間補助容量充電電圧 V_b は、下記の式で算出されることを特徴とする。

$$V_b = (C_s + C_1) \times V_1 / C_s - C_1 \times V_c / C_s$$

ここで、 C_s は前記補助容量の容量値を表し、 C_1 は前記目標輝度電圧に対応する素子容量値を表し、 V_1 は前記目標輝度電圧を表し、 V_c は前記共通電極の電圧を表す。

【0028】

第13の発明は、第10から第12までのいずれかの発明において、

各画素形成部は、前記第2のスイッチング素子と電氣的に接続された容量電極と、該容量電極との間に前記補助容量を形成するための補助容量配線とを含み、

前記第1の駆動ステップの際に前記補助容量配線に印加される電圧と前記第2の駆動ステップの際に前記補助容量配線に印加される電圧とが異なる大きさにされることを特徴とする。

【0029】

第14の発明は、第9から第13までのいずれかの発明において、

前記第1ステップ補助容量充電電圧が所定電圧以下となる画素形成部についてのみ、前記第1の駆動ステップによって、前記素子容量に印加される電圧が0にされることを特徴とする。

【0030】

第15の発明は、第9から第14までのいずれかの発明において、

前記所定電圧は、前記駆動回路が前記複数の映像信号線に印加可能な最大の電圧であることを特徴とする。

【発明の効果】

【0031】

上記第1の発明によれば、第1期間には、各画素形成部において、素子容量に蓄積される電荷は0とされ、補助容量にのみ画像の輝度に応じた電荷が蓄積される。そして、第2期間には、各画素形成部において、素子容量と補助容量との間で電荷の再配分が行われる。ここで、第1期間に補助容量に印加される第1期間補助容量充電電圧は、当該第1期間における補助容量への電圧の印加が開始される時点の素子容量値に基づくことなく、画像の輝度に対応する目標輝度電圧と該目標輝度電圧に対応する素子容量値とに基づいて決定される。このため、直前(1フレーム前)の表示状態を示す情報を保持するための構成要素(フレームメモリ等)を備えることなく第1期間補助容量充電電圧を決定することができ、電気光学素子への印加電圧の変化に伴う電気光学素子の容量値の変化が補償される。

【0032】

上記第2の発明によれば、走査信号線に印加される電圧によって導通/非導通状態が制

10

20

30

40

50

御される第1のスイッチング素子と画素状態制御配線に印加される電圧によって導通/非導通状態が制御される第2のスイッチング素子とを各画素形成部に備える構成によって、上記第1の発明と同様、直前の表示状態を示す情報を保持するための構成要素を備えることなく第1期間補助容量充電電圧を決定することができ、電気光学素子への印加電圧の変化に伴う電気光学素子の容量値の変化が補償される。

【0033】

上記第3の発明によれば、走査信号線に印加される電圧によって導通/非導通状態が制御される第1のスイッチング素子と画素状態制御配線に印加される電圧によって導通/非導通状態が制御される第2のスイッチング素子とを各画素形成部に備える構成によって、上記第1の発明と同様、直前の表示状態を示す情報を保持するための構成要素を備えることなく第1期間補助容量充電電圧を決定することができ、電気光学素子への印加電圧の変化に伴う電気光学素子の容量値の変化が補償される。

10

【0034】

上記第4の発明によれば、第1期間補助容量充電電圧は、補助容量の容量値と目標輝度電圧に対応する素子容量値と目標輝度電圧と共通電極の電圧とに基づいて算出される。このため、直前(1フレーム前)の表示状態にかかわらず、第1期間中に補助容量に印加すべき電圧を目標輝度に基づいて一意に決定することができる。

【0035】

上記第5の発明によれば、素子容量と補助容量との間で電荷の再配分が行われた後に、補助容量の電圧が変化する。このため、その補助容量の電圧の変化に応じて、上記電荷の再配分後に素子容量に印加される電圧(電圧の大きさ)が高められる。

20

【0036】

上記第6の発明によれば、比較的低階調の表示が行われる画素形成部においてのみ、素子容量と補助容量との間で電荷の再配分が行われる。このため、駆動回路から映像信号線に印加される電圧の振幅を従来よりも大きくすることなく、比較的高階調の表示も行うことができる。

【0037】

上記第7の発明によれば、第1期間補助容量充電電圧が「映像信号線に印加可能な最大の電圧」以下となる画素形成部についてのみ、素子容量と補助容量との間で電荷の再配分が行われる。このため、比較的高階調の表示が行われようとする際に、「所望の大きさの電圧が映像信号線に印加されずに表示不良が生ずる」ということはない。

30

【0038】

上記第8の発明によれば、液晶印加電圧の変化に伴う液晶容量値の変化を補償することのできる液晶表示装置が実現される。

【発明を実施するための最良の形態】

【0039】

< 1. 本発明の考え方 >

実施形態について説明する前に、本発明の基本的な考え方について説明する。なお、ここでは、以下のような表示装置を前提として説明する。この表示装置の表示部には、複数本のソース配線と、複数本のゲート配線と、それら複数本のソース配線と複数本のゲート配線との交差点にそれぞれ対応して設けられた複数個の画素形成部とが含まれている。各画素形成部には、2個のスイッチング素子(第1のスイッチング素子および第2のスイッチング素子)、液晶等の電気光学素子、電気光学素子に並列に設けられた補助容量、電気光学素子を備えることによって形成される容量(以下、「素子容量」という。)に電荷を蓄積させるための画素電極、補助容量に電荷を蓄積させるための容量電極などが含まれている。なお、本説明においては、「電圧」の語を「所定の電位(グラウンド電位など)を基準としたときの電位」の意味で用いる。例えば、「画素電極電圧」とは、当該所定の電位を基準としたときの画素電極の電位を意味する。

40

【0040】

各行に着目すると、1フレーム期間は、所定の長さの期間である第1期間と、当該第1

50

期間以外の期間である第2期間とに分けられる。詳しくは、1フレーム期間は、「1行目についての第1期間の開始、1行目についての第1期間の終了、2行目についての第1期間の開始、2行目についての第1期間の終了、・・・、m(mはゲート配線の本数)行目についての第1期間の開始、m行目についての第1期間の終了」というようになっている。すなわち、或る時点に着目したときに、「当該時点が複数の行についての第1期間である」ということはない。

【0041】

まず、本発明に係る表示装置における構成と動作の概要について説明する。各画素形成部において、ソース配線とゲート配線との交差点近傍に第1のスイッチング素子を備え、当該第1のスイッチング素子は画素電極または容量電極のいずれかと接続される。また、画素電極と容量電極との間に第2のスイッチング素子を備える。これにより、第1のスイッチング素子と第2のスイッチング素子とを共に導通状態にすると、素子容量および補助容量には、ソース配線から供給される電圧に基づいて電荷が蓄積される。また、第1のスイッチング素子を導通状態にして第2のスイッチング素子を非導通状態にすると、素子容量または補助容量の一方のみに、ソース配線から供給される電圧に基づく電荷が蓄積される。さらに、第1のスイッチング素子を非導通状態にして第2のスイッチング素子を導通状態にすると、素子容量と補助容量との間で電荷の再配分が行われる。なお、補助容量は、容量電極と補助容量配線とによって形成され、素子容量は、画素電極と共通電極とによって形成される。

10

【0042】

以上のような構成において、第1期間中に、電気光学素子への印加電圧を0とし、階調値に応じた電圧を容量電極に与えることによって補助容量に電荷を蓄積させる。第2期間には、第1のスイッチング素子を非導通状態にして第2のスイッチング素子を導通状態にすることによって、第1期間に補助容量に蓄積された電荷を、補助容量と素子容量との間で再配分させる。ここで、補助容量に蓄積される電荷と素子容量に蓄積される電荷との和は(第2期間における)電荷の再配分が行われる前後において変化しないことを考慮して、第1期間中に容量電極に与える電圧を求める。このとき、上述のように第1期間中には電気光学素子への印加電圧が0とされるので、電荷の再配分が行われる直前の時点において素子容量に蓄積されている電荷は常に0となる。このため、1フレーム前の表示状態にかかわらず、目標輝度に基づいて、第1期間中に容量電極に与えるべき電圧を一意に決定することができる。なお、これについての詳しい説明は後述する。以上のような動作によって、電気光学素子への印加電圧の変化に伴う素子容量値の変化が補償されている。

20

30

【0043】

次に、第1期間中に電気光学素子への印加電圧を0としつつ階調値に応じた電荷を補助容量に蓄積させるための構成として、以下に2つの構成を説明する。

【0044】

<1.1 第1の構成>

各画素形成部において、第1のスイッチング素子については、ゲート電極は対応する交差点を通過するゲート配線に接続され、ソース電極は当該交差点を通過するソース配線に接続され、ドレイン電極は容量電極に接続される。第2のスイッチング素子については、ゲート電極はゲート配線に対応して設けられた制御配線に接続され、ソース電極は容量電極に接続され、ドレイン電極は画素電極に接続される。

40

【0045】

以上のような構成において、第1期間のうちの前半の期間には、第1のスイッチング素子と第2のスイッチング素子とは共に導通状態にされる。この期間には、ソース配線に印加される電圧は0にされる。これにより、電気光学素子への印加電圧は0とされる。第1期間のうちの後半の期間には、第1のスイッチング素子は導通状態にされ、第2のスイッチング素子は非導通状態にされる。この期間には、階調値に応じた電圧がソース配線に印加される。これにより、階調値に応じた電荷が補助容量に蓄積される。なお、ここでいう「前半」、「後半」とは、それぞれ、第1期間のうちの「前の方の期間」、「後の方の期

50

間」を意味し、時間的に第 1 期間のうちの丁度半分の期間を意味するものではない。

【 0 0 4 6 】

< 1 . 2 第 2 の構成 >

各画素形成部において、第 1 のスイッチング素子については、ゲート電極は対応する交差点を通過するゲート配線に接続され、ソース電極は当該交差点を通過するソース配線に接続され、ドレイン電極は画素電極に接続される。第 2 のスイッチング素子については、ゲート電極はゲート配線に対応して設けられた制御配線に接続され、ソース電極は画素電極に接続され、ドレイン電極は容量電極に接続される。

【 0 0 4 7 】

以上のような構成において、第 1 期間のうちの前半の期間には、第 1 のスイッチング素子と第 2 のスイッチング素子とは共に導通状態にされる。この期間には、階調値に応じた電圧がソース配線に印加される。これにより、階調値に応じた電荷が素子容量と補助容量とに蓄積される。第 1 期間のうちの後半の期間には、第 1 のスイッチング素子は導通状態にされ、第 2 のスイッチング素子は非導通状態にされる。この期間には、ソース配線に印加される電圧は 0 にされる。これにより、電気光学素子への印加電圧は 0 とされる。補助容量に蓄積された電荷はそのまま維持される。

10

【 0 0 4 8 】

< 1 . 3 容量電極に与える電圧 >

次に、第 1 期間に容量電極に印加すべき電圧をどのようにして求めるかについて説明する。以下において、第 1 期間に容量電極に印加すべき電圧を V_b 、補助容量配線に与えら

20

【 0 0 4 9 】

第 1 期間に容量電極に電圧 V_b が印加されると、補助容量には次式 (2) で示す電荷 Q_1 が蓄積される。

$$Q_1 = C_s \times (V_b - V_s) \quad \dots (2)$$

また、電気光学素子への印加電圧は 0 にされるので、素子容量に蓄積される電荷 Q_2 は 0 となる。

【 0 0 5 0 】

ここで、第 2 期間における電荷の再配分後、容量電極および画素電極に印加されている電圧が V_1 となった時に目標輝度の表示が行われるものと仮定する。この時の素子容量値

30

$$Q_3 = C_s \times (V_1 - V_s) \quad \dots (3)$$

$$Q_4 = C_1 \times (V_1 - V_c) \quad \dots (4)$$

【 0 0 5 1 】

電荷の再配分の前後において、補助容量に蓄積されている電荷と素子容量に蓄積されて

$$Q_1 + Q_2 = Q_3 + Q_4 \quad \dots (5)$$

これにより、

$$C_s \times (V_b - V_s) + 0 = C_s \times (V_1 - V_s) + C_1 \times (V_1 - V_c)$$

40

となる。従って、第 1 期間に容量電極に印加すべき電圧 V_b は次式 (6) で算出される。

$$V_b = ((C_s + C_1) \times V_1 / C_s) - (C_1 \times V_c) / C_s \quad \dots (6)$$

なお、上記 V_1 は表示すべき画像の輝度に対応する目標輝度電圧に相当し、上記 C_1 は目標輝度電圧に対応する素子容量値に相当する。

【 0 0 5 2 】

上式 (6) によれば、電圧 V_b は、電荷の再配分前における素子容量値に基づくことなく算出される。すなわち、電荷の再配分前における表示状態にかかわらず、目標輝度に応じて電圧 V_b が一意に算出される。このため、電圧 V_b を算出するためにフレームメモリを備える必要はない。

【 0 0 5 3 】

50

ところで、上式(6)において「 $V_c = 0$ 」とすると、

$$V_b = (C_s + C_1) \times V_1 / C_s \quad \dots (7)$$

となるから、「 $V_b > V_1$ 」となる。これは、目標とする輝度に対応した電圧 V_1 を得るためには、ソースドライバからより大きな電圧 V_b を与える必要があることを意味する。

【0054】

上式(7)において、 C_s と C_1 とがほぼ等しい値とすると、上記電圧 V_b は第2期間に画素電極に印加されるべき電圧 V_1 の2倍程度の大きさとなる。電圧 V_1 の2倍程度の大きさの電圧を画素電極に印加させるためには、ソースドライバからの出力電圧の振幅を大きくさせる必要がある。そこで、上記電圧 V_b が所定の電圧(従来の駆動方法におけるソースドライバからの最大の出力電圧)よりも高くなるような階調値の表示が行われるべき画素形成部では、「第1期間中に電気光学素子への印加電圧を0にする」という動作は行われないようにする。例えば、第2期間に電気光学素子に印加されるべき電圧($V_1 - V_c$)が所定の電圧よりも大きくなる場合には、第1期間に電気光学素子に印加する電圧を0以外の電圧($V_a - V_c$)とする。これにより、ソースドライバから出力されるべき電圧の振幅を従来と同様にすることができる。なお、上記 V_a は階調値に応じた大きさの電圧である。

10

ところで、このように上記電圧 V_b が所定の電圧(従来の駆動方法におけるソースドライバからの最大の出力電圧)よりも高くなるような階調値の表示が行われるべき画素形成部では、高階調表示が行われる。

V Aモード(垂直配向モード)の液晶などでは、低階調間の応答速度が低く、低階調から高階調への応答速度が高いという特性があるので、このように高階調側で当発明の手段を用いなくても、大きな支障はない。

20

【0055】

< 1.4 補助容量配線の電圧について >

本発明においては、補助容量配線に印加される電圧を第1期間と第2期間とで異ならせることが好ましい。これについて以下に説明する。ここでは、第1期間に補助容量配線に印加される電圧を V_s 、第2期間に補助容量配線に印加される電圧を V_t とする。また、第1期間に画素電極に印加される電圧を V_a 、第2期間に画素電極に印加される電圧を V_2 とする。また、第1期間における素子容量値を C_0 、第2期間における素子容量値を C_2 とする。

30

【0056】

上述のように、補助容量に蓄積される電荷と素子容量に蓄積される電荷との和は(第2期間における)電荷の再配分が行われる前後において変化しないので、次式(8)が成立する。

$$C_s \times (V_b - V_s) + C_0 \times (V_a - V_c) \\ = C_s \times (V_2 - V_t) + C_2 \times (V_2 - V_c) \quad \dots (8)$$

【0057】

上式(8)より、第2期間に画素電極に印加される電圧 V_2 は次式(9)で算出される。

$$V_2 = (C_s \times V_b + C_0 \times V_a + (C_2 - C_0) \times V_c + C_s \times (V_t - V_s)) / (C_s + C_2) \quad \dots (9)$$

40

上式(9)より、第1期間と第2期間とで補助容量配線に印加する電圧を異ならせた方が好ましいことが把握される。何故ならば、上式(9)において「 $V_t = V_s$ 」とすると、「 $C_s \times (V_t - V_s)$ 」が0となり、画素電極に電圧 V_2 が印加されるようにするためには、ソースドライバからの出力電圧 V_a 、 V_b が大きくされなければならないからである。

【0058】

ところで、上式(9)において、「 $V_a = V_c$ 」、「 $V_c = 0$ 」とすると、次式(10)が成立する。

$$V_2 = (C_s \times V_b + C_s \times (V_t - V_s)) / (C_s + C_2) \quad \dots (10)$$

50

上式(10)より、第2期間における素子容量値 C_2 が小さいほど第2期間に電気光学素子に印加される電圧($V_2 - V_c$)が大きくなることが把握される。また、VAモードの液晶などにおいては、低階調のときに素子容量値が小さくなり、高階調のときに素子容量値が大きくなることが知られている。以上のことから、第2期間に画素電極に電圧 V_2 が印加されるよう容量電極に電圧 V_b を印加するとき、低階調側から高階調側へと遷移させると、第2期間における素子容量値 C_2 が小さい状態となり、電気光学素子には本来与えるべき電圧 V_b より大きな電圧が印加されるので好ましい。なお、高階調側から低階調側へと遷移させると、第2期間における素子容量値 C_2 が大きい状態となり、電気光学素子には本来与えるべき電圧 V_b より小さな電圧が印加されるので好ましい。

【0059】

以下、添付図面を参照して本発明の実施形態について説明する。

【0060】

< 2. 第1の実施形態 >

< 2.1 全体構成および動作 >

図2は、本発明の第1の実施形態に係る液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、表示制御回路100と表示部200とソースドライバ(映像信号線駆動回路)300とゲートドライバ(走査信号線駆動回路)400とを備えている。以下においては、ソースドライバ300とゲートドライバ400とをまとめてドライバ(駆動回路)ともいう。図3は、この液晶表示装置におけるドライバと表示部200の詳細な構成を示すブロック図である。なお、この液晶表示装置では256階調の階調表示が行われるものとする。

【0061】

表示部200には、 n 本のソース配線(映像信号線) $S_1 \sim S_n$ と、 m 本のゲート配線(走査信号線) $G_1 \sim G_m$ と、それら n 本のソース配線と m 本のゲート配線との交差点にそれぞれ対応して設けられた複数個($n \times m$ 個)の画素形成部とが含まれている。また、表示部200には、各ゲート配線 $G_1 \sim G_m$ に対応するように、 m 本の補助容量配線 $C_1 \sim C_m$ と、各画素形成部の状態を制御するための m 本の配線(以下、「画素状態制御配線」という。) $F_1 \sim F_m$ とが設けられている。なお、以下においては、ゲート配線の本数は8本($m = 8$)で、ソース配線の本数は6本($n = 6$)と仮定して説明する。すなわち、表示部200には48個の画素形成部が設けられており、それらの画素形成部によって8行 \times 6列の画素マトリクスが形成されているものと仮定する。また、 i 行 j 列に配置されている画素形成部には参照符号 A_{ij} を付して説明する。すなわち、図3に示すように、表示部200内の各画素形成部に参照符号 $A_{11} \sim A_{86}$ を付して説明する。

【0062】

図1は、画素形成部 A_{ij} の構成を示す回路図である。図1に示すように、各画素形成部 A_{ij} には、2個のTFT(第1のTFT21および第2のTFT22)と、第1のTFT21のドレイン電極213に接続された容量電極23と、第2のTFT22のドレイン電極223に接続された画素電極24と、ゲート配線 G_i に対応するように設けられた補助容量配線 C_i および画素状態制御配線 F_i と、上記複数個の画素形成部 A_{ij} に共通的に設けられた共通電極27と、容量電極23と補助容量配線 C_i とによって形成される補助容量25と、画素電極24と共通電極27とによって形成される液晶容量26とが含まれている。そして、補助容量25と液晶容量26とによって画素容量が形成されている。また、第1のTFT21については、ゲート電極211は対応する交差点を通過するゲート配線 G_i に接続され、ソース電極212は当該交差点を通過するソース配線 S_j に接続され、ドレイン電極213は容量電極23に接続されている。第2のTFT22については、ゲート電極221は画素状態制御配線 F_i に接続され、ソース電極222は容量電極23に接続され、ドレイン電極223は画素電極24に接続されている。なお、以下においては、 i 行 j 列に配置されている画素形成部 A_{ij} 内の容量電極23には参照符号 P_{ij} 、画素電極24には参照符号 R_{ij} を付して説明する。

【0063】

10

20

30

40

50

表示制御回路100は、外部から送られるデータ信号DATとタイミング制御信号群TGとを受け取り、デジタル映像信号Dxと、表示部200に画像を表示するタイミングや液晶への印加電圧の制御などを行うためのソーススタートパルス信号SSP、ソースクロック信号SCK、極性信号PO、ラッチパルス信号LP、ソース出力制御信号HF、ゲートスタートパルス信号GSP、ゲートクロック信号GCK、ゲート出力制御信号OE、および制御配線用タイミング信号QCKとを出力する。

【0064】

ソースドライバ300は、表示制御回路100から出力されるデジタル映像信号Dx、ソーススタートパルス信号SSP、ソースクロック信号SCK、極性信号PO、ラッチパルス信号LP、およびソース出力制御信号HFと、共通電極電圧Vcomとに基づき、表示部200内の各画素形成部Aijの画素容量を充電するために駆動用映像信号をソース配線S1～S6に印加する。

10

【0065】

ゲートドライバ400は、表示制御回路100から出力されるゲートスタートパルス信号GSP、ゲートクロック信号GCK、ゲート出力制御信号OE、および制御配線用タイミング信号QCKを受け取り、ゲート配線G1～G8に順次に選択信号（走査信号）G1～G8を印加するとともに（便宜上、ゲート配線と選択信号には同一の参照符号を付している）、画素状態制御配線F1～F8に画素状態制御信号F1～F8を印加する（便宜上、画素状態制御配線と画素状態制御信号には同一の参照符号を付している）。

【0066】

なお、本実施形態においては、図3に示すように、補助容量配線C1～C8は共通電極27に接続されている。このため、共通電極電圧Vcomと同じ大きさの電圧が、補助容量配線駆動信号C1～C8として補助容量配線C1～C8に印加される（便宜上、補助容量配線駆動信号と補助容量配線には同一の参照符号を付している）。

20

【0067】

以上のようにして、各ソース配線に駆動用映像信号が印加され、各ゲート配線に選択信号が印加され、各画素状態制御配線に画素状態制御信号が印加され、各補助容量配線に補助容量配線駆動信号が印加されることにより、表示部200に画像が表示される。

【0068】

< 2.2 ソースドライバの構成および動作 >

図3に示すように、ソースドライバ300には、シフトレジスタ31とレジスタ32とソース出力回路33とが含まれている。なお、シフトレジスタ31は6ビット（6段）で構成され、レジスタ32は42ビット（6×7ビット）で構成されている。また、ソース出力回路33は共通電極27と電氣的に接続されている。

30

【0069】

シフトレジスタ31にはソーススタートパルス信号SSPとソースクロック信号SCKとが入力される。シフトレジスタ31は、これらの信号SSP、SCKに基づき、ソーススタートパルス信号SSPに含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ31から各ソース配線S1～S6に対応するサンプリングパルスが順次に出力され、当該サンプリングパルスはレジスタ32に順次に入力される。

40

【0070】

レジスタ32は、表示制御回路100からデジタル映像信号Dxとして送られる7ビットのデータを、シフトレジスタ31から出力されるサンプリングパルスのタイミングでサンプリングして保持する。なお、デジタル映像信号Dxとして送られる7ビットのデータに関し、最上位ビットは、当該デジタル映像信号Dxの階調値が低階調値または高階調値のいずれであるかを示すデータである。本実施形態においては、デジタル映像信号Dxの階調値が低階調値であれば最上位ビットは「0」（論理レベルがローレベルの電圧に対応する）とされ、デジタル映像信号Dxの階調値が高階調値であれば最上位ビットは「1」（論理レベルがハイレベルの電圧に対応する）とされる。また、上記7ビットのうちの最

50

上位ビットを除く6ビットは、階調値そのものを示すデータである。

【0071】

ソース出力回路33は、レジスタ32に保持された6個の7ビットデータをラッチパルス信号LPのパルスのタイミングで取り込み、その取り込んだデータにデジタルアナログ変換を施す。その際、極性信号POに基づいてアナログ電圧の極性が決定される。また、ソース出力回路33には共通電極電圧Vcomが与えられる。そして、ソース出力回路33は、デジタルアナログ変換で生成された電圧もしくは共通電極電圧Vcomと同じ大きさの電圧を駆動用映像信号としてソース配線S1～S6に印加する。

【0072】

次に、ソース出力回路33の詳細な構成について説明する。ソース出力回路33には、ソース配線S1～S6に対応するようにして6個の7ビットラッチ付きD/A変換回路50が設けられている。図4は、7ビットラッチ付きD/A変換回路50の詳細な構成を示す図である。この7ビットラッチ付きD/A変換回路50には、ラッチ回路51とD/A変換回路52とTFT回路53とが含まれている。なお、図4においては、デジタル映像信号Dxのうちのj列目用のデータを参照符号Djxで示している。

10

【0073】

ラッチ回路51には、7ビットのデータDjxとラッチパルス信号LPとソース出力制御信号HFとが入力される。ラッチ回路51は、レジスタ32に保持されている7ビットのデータDjxをラッチパルス信号LPのパルスのタイミングで取り込み、7ビットのうち最上位ビットDj7に基づく電圧(以下、「最上位ビット電圧Dj7」という。)をTFT回路53に与え(便宜上、最上位ビットと最上位ビット電圧には同一の参照符号を付している)、残りの6ビットのデータDj1～Dj6をD/A変換回路52に与える。図5は、D/A変換回路52に与えられる6ビットのデータ(図5の「出力Dj1～6」)について説明するための図である。なお、図5において、「H」や「L」はソース出力制御信号HFおよび最上位ビットDj7の論理レベルを示している。ソース出力制御信号HFの論理レベルが「ローレベル」で、かつ、最上位ビットDj7の論理レベルが「ハイレベル」のときには所定の変換処理が施され、その処理後のデータがD/A変換回路52に与えられる。それ以外のときには、ラッチ回路51に入力された7ビットのデータDjxのうちの下位6ビットのデータがそのままD/A変換回路52に与えられる。

20

【0074】

D/A変換回路52は、極性信号POに基づき、ラッチ回路51から出力された6ビットのデータDj1～Dj6にデジタルアナログ変換を施す。そして、D/A変換回路52は、デジタルアナログ変換で生成された電圧DAjをTFT回路53に与える。

30

【0075】

TFT回路53には、2個のn型TFT532, 534と2個のp型TFT531, 533とが含まれている。TFT531については、ドレイン電極はTFT532のソース電極に接続され、ソース電極には共通電極電圧Vcomが与えられ、ゲート電極にはラッチ回路51から出力された最上位ビット電圧Dj7が与えられる構成となっている。TFT532については、ソース電極はTFT531のドレイン電極に接続され、ドレイン電極はソース配線Sjに接続され、ゲート電極にはソース出力制御信号HFが与えられる構成となっている。TFT533については、ドレイン電極はソース配線Sjに接続され、ソース電極にはD/A変換回路52から出力された電圧DAjが与えられ、ゲート電極にはソース出力制御信号HFが与えられる構成となっている。TFT534については、ドレイン電極はソース配線Sjに接続され、ソース電極にはD/A変換回路52から出力された電圧DAjが与えられ、ゲート電極には最上位ビット電圧Dj7が与えられる構成となっている。

40

【0076】

以上のような構成により、7ビットラッチ付きD/A変換回路50からソース配線Sjに印加される電圧の大きさは、ソース出力制御信号HFの論理レベルと最上位ビット電圧Dj7の論理レベルとに応じて決定される。図6は、ソース配線Sjに印加される電圧(

50

図6の「出力S_j」の大きさの決定について説明するための図である。なお、図6において、「H」や「L」はソース出力制御信号HFおよび最上位ビット電圧D_{j7}の論理レベルを示している。ソース出力制御信号HFの論理レベルが「ハイレベル」で、かつ、最上位ビット電圧データD_{j7}の論理レベルが「ローレベル」のとき（図6において符号a₁で示す行）には、TF T 5 3 1とTF T 5 3 2とは共に導通状態となり、TF T 5 3 3とTF T 5 3 4とは共に非導通状態となる。その結果、ソース配線S_jには共通電極電圧V_{com}が印加される。それ以外するとき（図6において符号a₂で示す行）には、TF T 5 3 1およびTF T 5 3 2の少なくとも一方は非導通状態となり、TF T 5 3 3およびTF T 5 3 4の少なくとも一方は導通状態となる。その結果、ソース配線S_jにはD/A変換回路52から出力された電圧DA_jが印加される。

10

【0077】

< 2.3 ゲートドライバの構成および動作 >

図3に示すように、ゲートドライバ400には、シフトレジスタ41とゲート出力回路42とが含まれている。なお、シフトレジスタ41は8ビット（8段）で構成されている。シフトレジスタ41にはゲートスタートパルス信号GSPとゲートクロック信号GCKとが入力される。シフトレジスタ41は、これらの信号GSP、GCKに基づき、ゲートスタートパルス信号GSPに含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ41から各ゲート配線G1～G8に対応するタイミングパルスGSiが順次に出力され、当該タイミングパルスGSiはゲート出力回路42に順次に入力される。

20

【0078】

ゲート出力回路42は、シフトレジスタ41から出力されたタイミングパルスGSiと表示制御回路100から出力されたゲート出力制御信号OEとに基づいて、ゲート配線G1～G8に選択信号G1～G8を出力する。また、ゲート出力回路42は、表示制御回路100から出力された制御配線用タイミング信号QCKに基づいて上記選択信号G1～G8を遅延させ、その遅延後の信号を反転させた信号を画素状態制御信号F1～F8として画素状態制御配線F1～F8に出力する。

【0079】

< 2.4 駆動方法 >

次に、本実施形態における駆動方法について説明する。なお、ここでは、画素形成部A11では低階調の表示が行われ、画素形成部A12では高階調の表示が行われるものとして説明する。図7および図8は、本実施形態における駆動方法について説明するための信号波形図である。図7(a)～(i)は、1行目のゲート配線G1に印加される選択信号、1行目の画素状態制御配線F1に印加される画素状態制御信号、2行目のゲート配線G2に印加される選択信号、2行目の画素状態制御配線F2に印加される画素状態制御信号、ソース出力制御信号HF、共通電極電圧V_{com}、1列目のソース配線S1に印加される駆動用映像信号、画素形成部A11の容量電極P11の電圧、および画素形成部A11の画素電極R11の電圧の波形をそれぞれ示している。図8(a)～(i)は、1行目のゲート配線G1に印加される選択信号、1行目の画素状態制御配線F1に印加される画素状態制御信号、2行目のゲート配線G2に印加される選択信号、2行目の画素状態制御配線F2に印加される画素状態制御信号、ソース出力制御信号HF、共通電極電圧V_{com}、2列目のソース配線S2に印加される駆動用映像信号、画素形成部A12の容量電極P12の電圧、および画素形成部A12の画素電極R12の電圧の波形をそれぞれ示している。なお、図7および図8においては、時点t0から時点t8までの期間が1フレーム期間に相当する。また、1行目に配置されている画素形成部に着目すると、上記1フレーム期間のうち時点t0から時点t03までの期間が第1期間に相当し、時点t03から時点t8までの期間が第2期間に相当する。

30

40

【0080】

まず、図7(g)～(i)における各線の意味について、図9(a)を参照しつつ説明する。太実線は、階調値が「63」の入力信号Dxに対応する波形を示している。太点線

50

は、階調値が「32」の入力信号Dxに対応する波形を示している。細実線は、階調値が「0」の入力信号Dxに対応する波形を示している。次に、図8(g)~(i)における各線の意味について、図9(b)を参照しつつ説明する。太実線は、階調値が「127」の入力信号Dxに対応する波形を示している。太点線は、階調値が「96」の入力信号Dxに対応する波形を示している。細実線は、階調値が「64」の入力信号Dxに対応する波形を示している。

【0081】

次に、低階調の表示が行われる画素形成部A11における駆動方法について、図7を参照しつつ説明する。

【0082】

時点t0~t01の期間には、1行目のゲート配線G1には選択電圧(TFTのゲートを導通状態にする電圧)VHが印加され、1行目の画素状態制御配線F1にも選択電圧VHが印加される。このため、画素形成部A11の第1のTFT21および第2のTFT22は共に導通状態となる。これにより、容量電極P11および画素電極R11には、1列目のソース配線S1に与えられている電圧が印加される。ここで、この期間には、ソース出力制御信号HFはハイレベルになっている。また、画素形成部A11では低階調の表示が行われるものと仮定しているため、上述の最上位ビット電圧Dj7はローレベルになっている。このため、図6より、ソース配線S1には共通電極電圧Vcomが印加される。以上より、容量電極P11および画素電極R11には、共通電極電圧Vcomが印加される。なお、共通電極電圧Vcomについては、1水平走査期間毎に極性が反転されている。

【0083】

時点t01~t03の期間には、画素状態制御配線F1には非選択電圧(TFTのゲートを非導通状態にする電圧)VLが印加される。このため、画素形成部A11の第2のTFT22は非導通状態となる。これにより、画素電極R11では、t01時点の電圧(共通電極電圧Vcom)が維持される。また、この期間には、ゲート配線G1には選択電圧VHが印加されている。このため、画素形成部A11の第1のTFT21は導通状態で維持されており、容量電極P11にはソース配線S1に与えられている電圧が印加される。また、時点t01から時点t02までの期間に、ソース出力制御信号HFがハイレベルからローレベルに変化させられる。このため、図6より、時点t02以降には、ソース配線S1には階調値に応じた電圧DAjが印加される。従って、容量電極P11には階調値に応じた電圧DAjが印加される。

【0084】

時点t03~時点t1の期間には、ゲート配線G1には非選択電圧VLが印加される。このため、画素形成部A11の第1のTFT21は非導通状態となる。また、この期間中に、共通電極電圧Vcomが図7(f)に示すように変化する。このため、共通電極電圧Vcomの変化に伴い、図7(i)に示すように画素電極R11の電圧が変化する。また、この期間には、画素状態制御配線F1には非選択電圧VLが印加されている。このため、画素形成部A11の第2のTFT22は非導通状態で維持されている。ここで、上述のように、補助容量配線Ciには共通電極電圧Vcomが与えられている。このため、共通電極電圧Vcomの変化に伴い、図7(h)に示すように容量電極P11の電圧が変化する。

【0085】

時点t1~時点t11の期間には、ゲート配線G1には非選択電圧VLが印加される。このため、画素形成部A11の第1のTFT21は非導通状態で維持されている。また、この期間には、画素状態制御配線F1には選択電圧VHが印加される。このため、画素形成部A11の第2のTFT22は導通状態となる。このように、画素形成部A11において、第1のTFT21は非導通状態となり、第2のTFT22は導通状態となるので、補助容量25に蓄積されている電荷と液晶容量26に蓄積されている電荷との和が維持されたまま、容量電極P11の電圧と画素電極R11の電圧とがほぼ等しくなるように、補助

10

20

30

40

50

容量 25 と液晶容量 26 との間で電荷の再配分が行われる。その結果、容量電極 P 1 1 の電圧は図 7 (h) に示すように変化し、画素電極 R 1 1 の電圧は図 7 (i) に示すように変化する。

【 0 0 8 6 】

時点 t_{11} ~ 時点 t_8 の期間には、ゲート配線 G 1 には非選択電圧 V_L が印加され、画素状態制御配線 F 1 には選択電圧 V_H が印加される。このため、画素形成部 A 1 1 の第 1 の T F T 2 1 は非導通状態で維持され、第 2 の T F T 2 2 は導通状態で維持されている。これにより、容量電極 P 1 1 の電圧および画素電極 R 1 1 の電圧は、共通電極電圧 V_{com} の変化に伴って変化する。

【 0 0 8 7 】

次に、高階調の表示が行われる画素形成部 A 1 2 における駆動方法について、図 8 を参照しつつ説明する。

【 0 0 8 8 】

時点 t_0 ~ t_{01} の期間には、上述した画素形成部 A 1 1 における動作と同様に、容量電極 P 1 2 および画素電極 R 1 2 には、ソース配線 S 2 に与えられている電圧が印加される。ここで、この期間には、ソース出力制御信号 H F はハイレベルになっている。また、画素形成部 A 1 2 では高階調の表示が行われるものと仮定しているため、上述の最上位ビット電圧 D_j はハイレベルになっている。このため、図 6 より、ソース配線 S 2 には階調値に応じた電圧 $D A_j$ が印加される。以上より、容量電極 P 1 2 および画素電極 R 1 2 には、階調値に応じた電圧 $D A_j$ が印加される。

【 0 0 8 9 】

時点 t_{01} ~ t_{03} の期間には、上述した画素形成部 A 1 1 における動作と同様に、画素形成部 A 1 2 の第 2 の T F T 2 2 は非導通状態となり、第 1 の T F T 2 1 は導通状態で維持される。このため、画素電極 R 1 2 では t_{01} 時点の電圧 (階調値に応じた電圧 $D A_j$) が維持され、容量電極 P 1 2 にはソース配線 S 2 に与えられている電圧すなわち階調値に応じた電圧 $D A_j$ が印加される。

【 0 0 9 0 】

時点 t_{03} ~ 時点 t_1 の期間には、上述した画素形成部 A 1 1 における動作と同様に、容量電極 P 1 2 の電圧および画素電極 R 1 2 の電圧は、共通電極電圧 V_{com} の変化に伴って変化する。

【 0 0 9 1 】

時点 t_1 ~ 時点 t_{11} の期間には、上述した画素形成部 A 1 1 における動作と同様に、第 1 の T F T 2 1 は非導通状態となり、第 2 の T F T 2 2 は導通状態となる。このため、補助容量 25 と液晶容量 26 との間での電荷の再配分が行われるが、 t_1 の時点で容量電極 P 1 2 の電圧と画素電極 R 1 2 の電圧とはほぼ等しい大きさとなっているため、容量電極 P 1 2 および画素電極 R 1 2 では、 t_1 時点の電圧が維持される。

【 0 0 9 2 】

時点 t_{11} ~ 時点 t_8 の期間には、上述した画素形成部 A 1 1 における動作と同様に、容量電極 P 1 2 の電圧および画素電極 R 1 2 の電圧は、共通電極電圧 V_{com} の変化に伴って変化する。

【 0 0 9 3 】

< 2 . 5 効果 >

本実施形態によれば、低階調の表示が行われる画素形成部においては、まず、液晶印加電圧は 0 とされ、補助容量にのみ階調値に応じた電荷が蓄積される。その後、補助容量と液晶容量との間で電荷の再配分が行われる。ここで、補助容量値を C_s 、電荷の再配分が行われた後の液晶容量値を C_2 、時点 t_{01} ~ t_{03} に容量電極 P 1 1 に印加された電圧を V_b 、共通電極電圧を V_c 、電荷の再配分が行われた後の容量電極 P 1 1 の電圧を V_2 とすると、次式 (1 1) が成立する。

$$C_s \times (V_b - V_c) = C_s \times (V_2 - V_c) + C_2 \times (V_2 - V_c) \quad \dots (11)$$

10

20

30

40

50

上式(11)より、電荷の再配分が行われた後の容量電極P11の電圧V2は、

$$V2 = (Cs \times Vb + C2 \times Vc) / (Cs + C2) \quad \dots (12)$$

となる。上式(12)より、電荷の再配分後の液晶印加電圧は、

$$V2 - Vc = Cs \times (Vb - Vc) / (Cs + C2) \quad \dots (13)$$

となる。

【0094】

ここで、上式(13)の電圧Vbは、上式(6)に基づいて設定される。そうすると、上式(6)のVbを上式(13)に代入し、

$$\begin{aligned} & V2 - Vc \\ &= ((Cs + C1) \times V1 - C1 \times Vc) - Cs \times Vc / (Cs + C2) \\ &= (Cs + C1) \times (V1 - Vc) / (Cs + C2) \quad \dots (14) \end{aligned}$$

10

となる。

【0095】

上式(14)で求められる電圧(V2 - Vc)は、電荷の再配分が行われた後に液晶に印加される電圧である。上式(14)において、「V1 - Vc」は目標輝度の表示が行われる時の液晶印加電圧であるところ、当該電圧の((Cs + C1) / (Cs + C2))倍の電圧が、電荷の再配分が行われた後に液晶に印加される。このため、電荷の再配分による液晶印加電圧の変化に起因する液晶容量値の変化を補償するように、上述したオーバードライブ(オーバーシュート)効果を奏する電圧が液晶に印加される。

【0096】

20

また、本実施形態によれば、時点t0における液晶印加電圧の大きさにかかわらず、電荷の再配分後に十分に時間が経過すると、液晶容量値はC1となって目標輝度の表示が行われる。すなわち、液晶への電圧の印加が行われる際に、直前の表示状態を示す情報は不要であるので、フレームメモリを備える必要はない。このため、フレームメモリを備えるためのコスト上昇を伴うことなく本実施形態を採用することができる。また、上述のようにオーバードライブ効果を奏する電圧が液晶に印加されるので、フレームメモリを有さない表示装置において応答速度が改善される。

【0097】

ところで、本実施形態によると、高階調の表示が行われる画素形成部A12については、オーバードライブ(オーバーシュート)効果は得られない。これについて、以下に説明する。

30

【0098】

高階調の表示が行われる画素形成部A12においては、t03の時点では、画素電極R12および容量電極P12には階調値に応じた電圧が印加されている。ここで、時点t03と時点t1以降とで、補助容量に蓄積されている電荷と液晶容量に蓄積されている電荷との和は変化しないので、時点t1以降の画素電極電圧をV2、時点t03に画素電極R12に印加されている電圧をVa、時点t03に容量電極P12に印加されている電圧をVb、時点t03の素子容量値をC0とすると、次式(15)が成立する。

$$\begin{aligned} & Cs \times (Vb - Vc) + C0 \times (Va - Vc) \\ &= Cs \times (V2 - Vc) + C2 \times (V2 - Vc) \quad \dots (15) \end{aligned}$$

40

上式(15)より、時点t1以降の画素形成部A12における液晶印加電圧は、

$$\begin{aligned} & V2 - Vc \\ &= (Cs \times Vb + C0 \times Va - (C0 - C2) \times Vc) / (Cs + C2) \\ & \quad \dots (16) \end{aligned}$$

となる。さらに上式(16)を変形すると、

$$\begin{aligned} & V2 - Vc \\ &= (Cs \times Vb + C2 \times Va + (C0 - C2) \times Va - (C0 - C2) \times Vc) / \\ & \quad (Cs + C2) \\ &= (Cs \times Vb + C2 \times Va + (C0 - C2) \times (Va - Vc)) / (Cs + C2) \\ & \quad \dots (17) \end{aligned}$$

50

となる。

【0099】

一方、仮に t_{01} の時点で目標輝度の表示が行われるよう液晶に電圧 ($V_1 - V_c$) が印加されている場合には、次式 (18) が成立する。

$$C_s \times (V_b - V_c) + C_1 \times (V_a - V_c) \\ = C_s \times (V_2 - V_c) + C_1 \times (V_2 - V_c) \quad \dots (18)$$

本実施形態では「 $V_c = 0$ 」であるので、上式 (18) を変形し、

$$V_2 - V_c = (C_s \times V_b + C_1 \times V_a) / (C_s + C_1)$$

となる。

【0100】

上式 (17) において、画素電極 R_{12} に正極性の電圧を印加するタイミングでは、「 $(V_a - V_c) > 0$ 」となる。また、時点 t_{01} 以前に低階調の表示が行われているときに、時点 t_{01} に高階調のデータの書き込みが行われると「 $C_0 < C_2$ 」となる。従って、上式 (17) の「 $(C_0 - C_2) \times (V_a - V_c)$ 」の部分は負になるので、

$$V_2 - V_c < (C_s \times V_b + C_2 \times V_a) / (C_s + C_2)$$

となる。

【0101】

上式 (14) においては、分子の C_1 が分母の C_2 よりも大きくなることがあるためオーバードライブ (オーバーシュート) の効果が生じるが、上式 (16) においてはそのようなことがないので、オーバードライブ (オーバーシュート) の効果は生じない。このため、高階調の表示が行われる画素形成部においては、従来と同様の駆動方法により画像表示が行われる。

【0102】

以上のように、本実施形態においては、オーバードライブ (オーバーシュート) の効果が得られるのは低階調の表示が行われる画素形成部においてのみである。しかしながら、例えば V_A モードの液晶では、図 10 に示すように高階調表示が行われる際には液晶の応答速度が速いので、高階調の表示が行われる画素形成部においてオーバードライブ (オーバーシュート) の効果が得られなくても、表示品位に与える影響は比較的小さいものとなる。

【0103】

< 3 . 第 2 の実施形態 >

< 3 . 1 構成 >

図 11 は、本発明の第 2 の実施形態に係る液晶表示装置の全体構成を示すブロック図である。本実施形態においては、上記第 1 の実施形態とは異なり、表示制御回路 100 からソースドライバ 301 には、ソーススタートパルス信号 SSP 、ソースクロック信号 SCK 、アナログ映像信号 DAX 、データ制御信号 DS 、およびソース出力制御信号 HF が送られる。図 12 は、本実施形態におけるドライバと表示部 200 の詳細な構成を示すブロック図である。本実施形態においては、ソースドライバ 301 の構成が上記第 1 の実施形態における構成と異なっている。それ以外の構成については、上記第 1 の実施形態と同様であるので、説明を省略する。

【0104】

図 12 に示すように、ソースドライバ 301 には、シフトレジスタ 34 とソース出力回路 35 とが含まれている。シフトレジスタ 34 にはソーススタートパルス信号 SSP とソースクロック信号 SCK とソース出力制御信号 HF とが入力される。シフトレジスタ 34 は、ソース出力制御信号 HF の論理レベルがハイレベルの期間中、ソースクロック信号 SCK に基づき、ソーススタートパルス信号 SSP に含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ 34 から各ソース配線 $S_1 \sim S_6$ に対応するサンプリングパルス $SSP_1 \sim SSP_6$ が順次に出力され、当該サンプリングパルス $SSP_1 \sim SSP_6$ はソース出力回路 35 に順次に入力される。なお、ソース出力制御信号 HF の論理レベルがローレベルの期間中には、シフトレジスタ 34 からサ

10

20

30

40

50

ンプリングパルス $SSP1 \sim SSP6$ は出力されない。ソース出力回路 35 には、アナログ映像信号 DAx とデータ制御信号 Ds とソース出力制御信号 HF とサンプリングパルス $SSP1 \sim SSP6$ とが入力される。また、ソース出力回路 35 には共通電極電圧 $Vcom$ が与えられる。そして、ソース出力回路 35 は、アナログ映像信号 DAx に基づくアナログ電圧もしくは共通電極電圧 $Vcom$ と同じ大きさの電圧のソース配線 $S1 \sim S6$ への印加を行うか、ソース配線 $S1 \sim S6$ をハイインピーダンス状態にする。

【0105】

図 13 は、本実施形態における画素形成部 Aij の構成を示す回路図である。図 13 に示すように、各画素形成部 Aij には、2 個の T F T (第 1 の T F T 61 および第 2 の T F T 62) と、第 1 の T F T 61 のドレイン電極 613 に接続された画素電極 63 と、第 2 の T F T 62 のドレイン電極 623 に接続された容量電極 64 と、ゲート配線 Gi に対応するように設けられた補助容量配線 Ci および画素状態制御配線 Fi と、表示部 200 内の複数個の画素形成部 Aij に共通的に設けられた共通電極 67 と、容量電極 64 と補助容量配線 Ci とによって形成される補助容量 65 と、画素電極 63 と共通電極 67 とによって形成される液晶容量 66 とが含まれている。そして、補助容量 65 と液晶容量 66 とによって画素容量が形成されている。また、第 1 の T F T 61 については、ゲート電極 611 は対応する交差点を通過するゲート配線 Gi に接続され、ソース電極 612 は当該交差点を通過するソース配線 Sj に接続され、ドレイン電極 613 は画素電極 63 に接続されている。第 2 の T F T 62 については、ゲート電極 621 は画素状態制御配線 Fi に接続され、ソース電極 622 は画素電極 63 に接続され、ドレイン電極 623 は容量電極 64 に接続されている。

10

20

【0106】

次に、ソースドライバ 301 内のソース出力回路 35 の詳細な構成について説明する。ソース出力回路 35 には、ソース配線 $S1 \sim S6$ に対応するようにして 6 個の 1 ビットラッチ付きサンプルホールド回路 70 が設けられている。図 14 は、1 ビットラッチ付きサンプルホールド回路 70 の詳細な構成を示す図である。この 1 ビットラッチ付きサンプルホールド回路 70 には、ラッチ回路 71 と T F T 回路 73 とが含まれている。

【0107】

ラッチ回路 71 は、表示制御回路 100 から出力されるデータ制御信号 Ds をシフトレジスタ 34 から出力されるサンプリングパルス $SSPj$ のタイミングで取り込み、それを T F T 回路 73 に与える。なお、データ制御信号 Ds については、表示制御回路 100 から送られるアナログ映像信号 DAx が低階調のデータであればハイレベルにされ、当該アナログ映像信号 DAx が高階調のデータであればローレベルにされる。

30

【0108】

T F T 回路 73 には、2 個の n 型 T F T 731, 733 と 1 個の p 型 T F T 732 とが含まれている。T F T 731 については、ドレイン電極はソース配線 Sj に接続され、ソース電極は T F T 732 のドレイン電極に接続され、ゲート電極にはラッチ回路 71 からの出力信号 Lj が与えられる構成となっている。T F T 732 については、ソース電極には共通電極電圧 $Vcom$ が与えられ、ドレイン電極は T F T 731 のソース電極に接続され、ゲート電極にはソース出力制御信号 HF が与えられる構成となっている。T F T 733 については、ドレイン電極はソース配線 Sj に接続され、ソース電極にはアナログ映像信号 DAx が与えられ、ゲート電極にはシフトレジスタ 34 から出力されたサンプリングパルス $SSPj$ が与えられる構成となっている。

40

【0109】

以上のような構成により、1 ビットラッチ付きサンプルホールド回路 70 からソース配線 Sj に印加される電圧の大きさは、ソース出力制御信号 HF の論理レベルとラッチ回路 71 からの出力信号 Lj の論理レベルとに応じて決定される。図 15 は、ソース配線 Sj に印加される電圧 (図 15 の「出力 Sj 」) の大きさの決定について説明するための図である。

【0110】

50

ソース出力制御信号 H F の論理レベルが「ハイレベル」のとき（図 1 5 において符号 a 3 で示す行）には、T F T 7 3 2 は非導通状態となる。このため、ラッチ回路 7 1 からの出力信号 L j の論理レベルにかかわらず、サンプリングパルス S S P j のタイミングに応じて、ソース配線 S j にはアナログ映像信号 D A x に基づくアナログ電圧（以下、「データ電圧」ともいう。）D A j が印加される。なお、このデータ電圧 D A j は、階調値に応じた大きさの電圧である。

【 0 1 1 1 】

ソース出力制御信号 H F の論理レベルが「ローレベル」で、かつ、ラッチ回路 7 1 からの出力信号 L j の論理レベルが「ローレベル」のとき（図 1 5 において符号 a 4 で示す行）には、T F T 7 3 2 は導通状態となるが、T F T 7 3 1 は非導通状態となる。また、ソース出力制御信号 H F の論理レベルがローレベルの期間中にはシフトレジスタ 3 4 からサンプリングパルス S S P j が出力されないので、T F T 7 3 3 は非導通状態となる。このようにして、ソース配線 S j はハイインピーダンス状態にされる。

10

【 0 1 1 2 】

ソース出力制御信号 H F の論理レベルが「ローレベル」で、かつ、ラッチ回路 7 1 からの出力信号 L j の論理レベルが「ハイレベル」のとき（図 1 5 において符号 a 5 で示す行）には、T F T 7 3 1 と T F T 7 3 2 とは共に導通状態となる。また、上述したように、T F T 7 3 3 は非導通状態となる。このため、ソース配線 S j には共通電極電圧 V c o m が印加される。

20

【 0 1 1 3 】

< 3 . 2 駆動方法 >

次に、本実施形態における駆動方法について説明する。なお、ここでは、画素形成部 A 1 1 では低階調の表示が行われ、画素形成部 A 1 2 では高階調の表示が行われるものとして説明する。図 1 6 および図 1 7 は、本実施形態における駆動方法について説明するための信号波形図である。なお、図 1 6 は、低階調の表示が行われる画素形成部における信号波形図であり、図 1 7 は、高階調の表示が行われる画素形成部における信号波形図である。図 1 6 (a) ~ (k) は、1 行目のゲート配線 G 1 に印加される選択信号、1 行目の画素状態制御配線 F 1 に印加される画素状態制御信号、2 行目のゲート配線 G 2 に印加される選択信号、2 行目の画素状態制御配線 F 2 に印加される画素状態制御信号、ソース出力制御信号 H F 、共通電極電圧 V c o m 、アナログ映像信号 D A x 、データ制御信号 D s 、1 列目のソース配線 S 1 に対応するサンプリングパルス S S P 1 、1 列目のソース配線 S 1 に対応するラッチ回路 7 1 からの出力信号 L 1 、およびソース配線 S 1 への印加電圧の波形をそれぞれ示している。図 1 7 (a) ~ (h) については、図 1 6 (a) ~ (h) と同様である。図 1 7 (i) ~ (k) は、2 列目のソース配線 S 2 に対応するサンプリングパルス S S P 2 、2 列目のソース配線 S 2 に対応するラッチ回路 7 1 からの出力信号 L 2 、およびソース配線 S 2 への印加電圧の波形をそれぞれ示している。

30

【 0 1 1 4 】

まず、低階調の表示が行われる画素形成部 A 1 1 における駆動方法について、図 1 6 を参照しつつ説明する。

【 0 1 1 5 】

時点 $t_0 \sim t_{01}$ の期間には、1 行目のゲート配線 G 1 には選択電圧 V H が印加され、1 行目の画素状態制御配線 F 1 にも選択電圧 V H が印加される。このため、画素形成部 A 1 1 の第 1 の T F T 6 1 および第 2 の T F T 6 2 は共に導通状態となる。これにより、容量電極 P 1 1 および画素電極 R 1 1 には、1 列目のソース配線 S 1 に与えられている電圧が印加される。ここで、この期間には、ソース出力制御信号 H F はハイレベルになっている。また、低階調のデータのときにはデータ制御信号 D s はハイレベルとなっているので、図 1 4 に示したラッチ回路 7 1 では、サンプリングパルス S S P 1 によってハイレベルのデータ制御信号 D s が取り込まれる。1 列目の全ての画素形成部で低階調の表示が行われるものと仮定すると、ラッチ回路 7 1 からの出力信号 L 1 は、図 1 6 (j) に示すような波形となる。図 1 6 (j) に示すように、時点 $t_0 \sim t_{01}$ の期間には、ラッチ回路 7

40

50

1からの出力信号L1はハイレベルとなっている。従って、図15より、ソース配線S1にはアナログ映像信号DAxに基づくデータ電圧DAjが印加される。その結果、容量電極P11および画素電極R11には、階調値に応じた大きさのデータ電圧DAjが印加される。なお、共通電極電圧Vcomについては、上記第1の実施形態と同様、1水平走査期間毎に極性が反転されている。

【0116】

時点t01~t02の期間には、画素状態制御配線F1には非選択電圧VLが印加される。このため、画素形成部A11の第2のTFT62は非導通状態となる。これにより、容量電極P11では、t01時点の電圧(データ電圧DAj)が維持される。また、この期間には、ゲート配線G1には選択電圧VHが印加されている。このため、画素形成部A11の第1のTFT61は導通状態で維持されており、画素電極R11にはソース配線S1に与えられている電圧が印加される。また、この期間中、ソース出力制御信号HFとラッチ回路71からの出力信号L1とは共にハイレベルとなっている。従って、図15より、ソース配線S1には階調値に応じた大きさのデータ電圧DAjが維持される。その結果、画素電極R11には階調値に応じた大きさのデータ電圧DAjが維持される。

10

【0117】

時点t02~t03の期間には、画素状態制御配線F1には非選択電圧VLが印加され、ゲート配線G1には選択電圧VHが印加されている。このため、画素形成部A11の第2のTFT62は非導通状態で維持され、第1のTFT61は導通状態で維持されている。これにより、容量電極P11では、t02時点の電圧(データ電圧DAj)が維持され、画素電極R11にはソース配線S1に与えられている電圧が印加される。また、この期間中、ソース出力制御信号HFはローレベルになっており、ラッチ回路71からの出力信号L1はハイレベルとなっている。従って、図15より、ソース配線S1には共通電極電圧Vcomが印加される。その結果、画素電極R11には共通電極電圧Vcomが印加される。

20

【0118】

時点t03~t1の期間には、ゲート配線G1には非選択電圧VLが印加される。このため、画素形成部A11の第1のTFT61は非導通状態となる。また、この期間には、画素状態制御配線F1にも非選択電圧VLが印加されている。このため、画素形成部A11の第2のTFT62は非導通状態で維持されている。これにより、容量電極P11では、t03時点の電圧(データ電圧DAj)が維持され、画素電極R11では、t03時点の電圧(共通電極電圧Vcom)が維持される。

30

【0119】

時点t1になると、画素状態制御配線F1には選択電圧VHが印加される。このため、画素形成部A11の第2のTFT62は導通状態となる。また、ゲート配線G1には非選択電圧VLが印加されている。このため、画素形成部A11の第1のTFT61は非導通状態で維持されている。このように、画素形成部A11において、第1のTFT61は非導通状態となり、第2のTFT62は導通状態となる。これにより、上記第1の実施形態と同様に、補助容量65に蓄積されている電荷と液晶容量66に蓄積されている電荷との和が維持されたまま、容量電極P11の電圧と画素電極R11の電圧とがほぼ等しくなるように、補助容量65と液晶容量66との間で電荷の再配分が行われる。

40

【0120】

次に、高階調の表示が行われる画素形成部A12における駆動方法について、図17を参照しつつ説明する。

【0121】

時点t0~t01の期間には、上述した画素形成部A11における動作と同様に、容量電極P12および画素電極R12には、2列目のソース配線S2に与えられている電圧が印加される。ここで、この期間には、ソース出力制御信号HFはハイレベルになっている。また、高階調のデータのときにはデータ制御信号Dsはローレベルとなっているので、図14に示したラッチ回路71では、サンプリングパルスSSP2によってローレベルの

50

データ制御信号 D_s が取り込まれる。1列目の全ての画素形成部で高階調の表示が行われるものと仮定すると、ラッチ回路 71 からの出力信号 L_2 は、図 17 (j) に示すような波形となる。図 17 (j) に示すように、時点 $t_0 \sim t_{01}$ の期間には、ラッチ回路 71 からの出力信号 L_2 はローレベルとなっている。従って、図 15 より、ソース配線 S_2 にはアナログ映像信号 DA_x に基づくデータ電圧 DA_j が印加される。その結果、容量電極 P_{12} および画素電極 R_{12} には、階調値に応じた大きさのデータ電圧 DA_j が印加される。

【0122】

時点 $t_{01} \sim t_{02}$ の期間には、上述した画素形成部 A_{11} における動作と同様に、容量電極 P_{12} では t_{01} 時点の電圧（データ電圧 DA_j ）が維持され、画素電極 R_{12} にはソース配線 S_2 に与えられている電圧が印加される。また、この期間中、ソース出力制御信号 HF はハイレベルとなっており、ラッチ回路 71 からの出力信号 L_2 はローレベルとなっている。従って、図 15 より、ソース配線 S_2 には階調値に応じた大きさのデータ電圧 DA_j が維持される。その結果、画素電極 R_{12} には階調値に応じた大きさのデータ電圧 DA_j が維持される。

10

【0123】

時点 $t_{02} \sim t_{03}$ の期間には、上述した画素形成部 A_{11} における動作と同様に、容量電極 P_{12} では、 t_{02} 時点の電圧（データ電圧 DA_j ）が維持され、画素電極 R_{12} にはソース配線 S_2 に与えられている電圧が印加される。また、この期間中、ソース出力制御信号 HF とラッチ回路 71 からの出力信号 L_2 とは共にローレベルになっている。従って、図 15 より、ソース配線 S_2 はハイインピーダンス状態にされる。その結果、画素電極 R_{12} では、 t_{02} 時点の電圧（データ電圧 DA_j ）が印加されたまま維持される。

20

【0124】

時点 $t_{03} \sim t_1$ の期間には、上述した画素形成部 A_{11} における動作と同様に、容量電極 P_{12} では、 t_{03} 時点の電圧（データ電圧 DA_j ）が維持され、画素電極 R_{12} では、 t_{03} 時点の電圧（データ電圧 DA_j ）が維持される。

【0125】

時点 t_1 になると、上述した画素形成部 A_{11} における動作と同様に、第 1 の TFT 61 は非導通状態となり、第 2 の TFT 62 は導通状態となる。このため、補助容量 65 と液晶容量 66 との間での電荷の再配分が行われるが、 t_1 の時点で容量電極 P_{12} の電圧と画素電極 R_{12} の電圧とはほぼ等しい大きさとなっているので、容量電極 P_{12} および画素電極 R_{12} では、 t_1 時点の電圧が維持される。

30

【0126】

< 3.3 効果 >

本実施形態によれば、上記第 1 の実施形態と同様、低階調の表示が行われる画素形成部においては、まず、液晶印加電圧は 0 とされ、補助容量にのみ階調値に応じた電荷が蓄積される。その後、補助容量と液晶容量との間で電荷の再配分が行われる。このとき、電荷の再配分による液晶印加電圧の変化に起因する液晶容量値の変化を補償するように、上述したオーバードライブ（オーバーシュート）効果を奏する電圧が液晶に印加される。また、上記第 1 の実施形態と同様、フレームメモリを備える必要はない。

40

【0127】

さらに、本実施形態によれば、階調値に応じた大きさの電圧（データ電圧 DA_j ）のソース配線への印加は、第 1 期間の前半の期間に行われる。そして、第 1 期間の後半の期間には、ソース配線には共通電極電圧 V_{com} が与えられる、もしくは、ソース配線はハイインピーダンス状態にされる。このため、表示制御回路 100 からアナログ映像信号が与えられるソースドライバ（「アナログドライバ」と呼ばれるソースドライバ）を備える液晶表示装置において、消費電力が低減される。

【0128】

< 4. 第 3 の実施形態 >

< 4.1 構成 >

50

図18は、本発明の第3の実施形態に係る液晶表示装置の全体構成を示すブロック図である。本実施形態においては、上記第1および第2の実施形態とは異なり、補助容量ドライバ450が設けられている。また、共通電極電圧 V_{com} は0にされている。それ以外の構成については、上記第1の実施形態と同様であるので、説明を省略する。

【0129】

表示制御回路100から補助容量ドライバ450には、ゲートクロック信号GCK、補助容量スタートパルス信号PI、および極性信号POが送られる。補助容量ドライバ450は、ゲートクロック信号GCK、補助容量スタートパルス信号PI、および極性信号POを受け取り、補助容量配線駆動信号を補助容量配線C1~Cm(C8)に印加する。

【0130】

図19は、本実施形態におけるドライバと表示部200の詳細な構成を示すブロック図である。図19に示すように、補助容量ドライバ450には、シフトレジスタ451と補助容量出力回路452とが含まれている。シフトレジスタ451には補助容量スタートパルス信号PIとゲートクロック信号GCKとが入力される。シフトレジスタ451は、これらの信号PI、GCKに基づき、補助容量スタートパルス信号PIに含まれるパルスを入力端から出力端へと順次に転送する。このパルスの転送に応じてシフトレジスタ451から各補助容量配線C1~C8に対応するタイミングパルスCS1~CS8が順次に出力され、当該タイミングパルスCS1~CS8は補助容量出力回路452に順次に入力される。補助容量出力回路452は、極性信号POとタイミングパルスCS1~CS8とに基づいて、共通電極電圧 V_{com} よりも高い所定の電圧 V_s もしくは共通電極電圧 V_{com} よりも低い所定の電圧 V_t を補助容量配線駆動信号として補助容量配線C1~C8に印加する。

【0131】

<4.2 駆動方法>

次に、本実施形態における駆動方法について説明する。なお、ここでは、画素形成部A11では低階調の表示が行われ、画素形成部A12では高階調の表示が行われるものとして説明する。図20および図21は、本実施形態における駆動方法について説明するための信号波形図である。なお、図20は、低階調の表示が行われる画素形成部における信号波形図であり、図21は、高階調の表示が行われる画素形成部における信号波形図である。図20(a)~(i)は、1行目のゲート配線G1に印加される選択信号、1行目の画素状態制御配線F1に印加される画素状態制御信号、2行目のゲート配線G2に印加される選択信号、2行目の画素状態制御配線F2に印加される画素状態制御信号、ソース出力制御信号HF、1行目の補助容量配線C1に印加される補助容量配線駆動信号、1列目のソース配線S1への印加電圧、画素形成部A11の容量電極P11の電圧、および画素形成部A11の画素電極R11の電圧の波形をそれぞれ示している。図21(a)~(f)については、図20(a)~(f)と同様である。図21(g)~(i)は、2列目のソース配線S2への印加電圧、画素形成部A12の容量電極P12の電圧、および画素形成部A12の画素電極R12の電圧の波形をそれぞれ示している。

【0132】

まず、低階調の表示が行われる画素形成部A11における駆動方法について、図20を参照しつつ説明する。

【0133】

時点 $t_0 \sim t_{01}$ の間には、上記第1の実施形態と同様に、容量電極P11および画素電極R11には、共通電極電圧 V_{com} が印加される。時点 $t_{01} \sim t_{03}$ の間には、上記第1の実施形態と同様に、容量電極P11にはソース配線S1に与えられている電圧(階調値に応じた電圧)が印加され、画素電極R11では t_{01} 時点の電圧(共通電極電圧 V_{com})が維持される。

【0134】

時点 $t_{03} \sim t_1$ の間には、ゲート配線G1には非選択電圧 V_L が印加される。このため、画素形成部A11の第1のTFT21は非導通状態となる。これにより、容量

10

20

30

40

50

電極 P 1 1 では、 t_03 時点の電圧（階調値に応じた電圧）が維持される。また、この期間には、画素状態制御配線 F 1 には非選択電圧 V_L が印加されている。このため、画素形成部 A 1 1 の第 2 の T F T 2 2 は非導通状態で維持されている。これにより、画素電極 R 1 1 では、 t_03 時点の電圧（共通電極電圧 V_{com} ）が維持される。

【 0 1 3 5 】

時点 t_1 ~ 時点 t_{11} の期間には、上記第 1 の実施形態と同様に、画素形成部 A 1 1 において、第 1 の T F T 2 1 は非導通状態となり、第 2 の T F T 2 2 は導通状態となる。このため、補助容量 2 5 に蓄積されている電荷と液晶容量 2 6 に蓄積されている電荷との和が維持されたまま、容量電極 P 1 1 の電圧と画素電極 R 1 1 の電圧とがほぼ等しくなるように、補助容量 2 5 と液晶容量 2 6 との間で電荷の再配分が行われる。その結果、容量電極 P 1 1 の電圧は図 2 0 (h) に示すように変化し、画素電極 R 1 1 の電圧は図 2 0 (i) に示すように変化する。

10

【 0 1 3 6 】

時点 t_{11} ~ 時点 t_8 の期間には、上記第 1 の実施形態と同様に、画素形成部 A 1 1 において、第 1 の T F T 2 1 は非導通状態で維持され、第 2 の T F T 2 2 は導通状態で維持される。ここで、時点 t_{11} ~ 時点 t_{12} の期間に、補助容量配線 C 1 の電圧が V_s から V_t に変化する。これに伴い、容量電極 P 1 1 の電圧および画素電極 R 1 1 の電圧も変化する。時点 t_{12} ~ 時点 t_8 の期間には、容量電極 P 1 1 および画素電極 R 1 1 では、 t_{12} 時点の電圧が維持される。

【 0 1 3 7 】

次に、高階調の表示が行われる画素形成部 A 1 2 における駆動方法について、図 2 1 を参照しつつ説明する。

20

【 0 1 3 8 】

時点 t_0 ~ t_{01} の期間には、上記第 1 の実施形態と同様に、容量電極 P 1 2 および画素電極 R 1 2 には、ソース配線 S 2 に与えられている電圧（階調値に応じた電圧）が印加される。時点 t_{01} ~ t_{03} の期間には、上記第 1 の実施形態と同様に、容量電極 P 1 2 にはソース配線 S 2 に与えられている電圧（階調値に応じた電圧）が印加され、画素電極 R 1 2 では t_{01} 時点の電圧（階調値に応じた電圧）が維持される。

【 0 1 3 9 】

時点 t_{03} ~ 時点 t_1 の期間には、ゲート配線 G 1 には非選択電圧 V_L が印加される。このため、画素形成部 A 1 2 の第 1 の T F T 2 1 は非導通状態となる。これにより、容量電極 P 1 2 では、 t_{03} 時点の電圧（階調値に応じた電圧）が維持される。また、この期間には、画素状態制御配線 F 1 には非選択電圧 V_L が印加されている。このため、画素形成部 A 1 1 の第 2 の T F T 2 2 は非導通状態で維持されている。これにより、画素電極 R 1 1 では、 t_{03} 時点の電圧（階調値に応じた電圧）が維持される。

30

【 0 1 4 0 】

時点 t_1 ~ 時点 t_{11} の期間には、上記第 1 の実施形態と同様に、画素形成部 A 1 2 において、第 1 の T F T 2 1 は非導通状態となり、第 2 の T F T 2 2 は導通状態となる。このため、補助容量 2 5 と液晶容量 2 6 との間での電荷の再配分が行われるが、 t_1 の時点で容量電極 P 1 2 の電圧と画素電極 R 1 2 の電圧とはほぼ等しい大きさとなっているので、容量電極 P 1 2 および画素電極 R 1 2 では、 t_1 時点の電圧が維持される。

40

【 0 1 4 1 】

時点 t_{11} ~ 時点 t_8 の期間には、上記第 1 の実施形態と同様に、画素形成部 A 1 1 において、第 1 の T F T 2 1 は非導通状態で維持され、第 2 の T F T 2 2 は導通状態で維持される。ここで、時点 t_{11} ~ 時点 t_{12} の期間に、補助容量配線 C 1 の電圧が V_s から V_t に変化する。これに伴い、容量電極 P 1 2 の電圧および画素電極 R 1 2 の電圧も変化する。時点 t_{12} ~ 時点 t_8 の期間には、容量電極 P 1 2 および画素電極 R 1 2 では、 t_{12} 時点の電圧が維持される。

【 0 1 4 2 】

< 4 . 3 効果 >

50

本実施形態によれば、上記第 1 の実施形態と同様、低階調の表示が行われる画素形成部においては、まず、液晶印加電圧は 0 とされ、補助容量にのみ階調値に応じた電荷が蓄積される。その後、補助容量と液晶容量との間で電荷の再配分が行われる。一方、本実施形態においては、上記第 1 の実施形態とは異なり、図 20 および図 21 に示したように、時点 t_{11} ~ 時点 t_{12} の期間に補助容量配線の電圧が共通電極電圧 V_{com} よりも高い所定の電圧 V_s から共通電極電圧 V_{com} よりも低い所定の電圧 V_t に変化する。

【0143】

ここで、共通電極電圧を V_c 、補助容量値を C_s 、時点 t_{01} ~ 時点 t_{03} における容量電極の電圧を V_b 、時点 t_{12} ~ 時点 t_8 における画素電極の電圧を V_3 、時点 t_{12} ~ 時点 t_8 における液晶容量値を C_3 すると、次式 (19) が成立する。

$C_s \times (V_b - V_s) = C_s \times (V_3 - V_t) + C_3 \times (V_3 - V_c) \cdots (19)$
上式 (19) より、電圧 V_3 は、

$V_3 = (C_s \times (V_b + V_t - V_s) + C_3 \times V_c) / (C_s + C_3) \cdots (20)$
となる。また、本実施形態では「 $V_c = 0$ 」であるので、

$V_3 = C_s \times (V_b + V_t - V_s) / (C_s + C_3) \cdots (21)$
となる。

【0144】

ところで、液晶印加電圧と透過率との関係は、図 24 に示した「輝度 - 電圧対応曲線」と同様の関係である。図 24 によると、液晶印加電圧が 1.8 V 以下であれば（輝度が一定であるので）透過率は一定であることが把握される。また、例えば 256 階調の階調表示が可能なノーマリーブラック型の液晶表示装置においては、従来の駆動方法での液晶印加電圧の最大値は、階調値「255」に相当する電圧値（図 24 では約 4 V）である。

【0145】

上記第 1 の実施形態で示した式 (13) で、「 $V_c = 0$ 」であって、 C_s が C_2 にほぼ等しいとすると、

$$V_2 - V_c = V_b / 2 \cdots (22)$$

となる。上式 (22) によると、ソースドライバ 300 から出力された電圧の 2 分の 1 の大きさの電圧が液晶に印加されることになる。従って、ソースドライバ 300 からの出力電圧が例えば 4 V の場合には、液晶には 2 V の電圧しか印加されないことになる。このため、液晶印加電圧の変化に伴う液晶容量値の変化を補償するという効果は、小さな階調レベルのデータについてのみ得られることになる。

【0146】

本実施形態によれば、上式 (21) から把握されるように、上記第 1 の実施形態と比べて「 $V_t - V_s$ 」だけ液晶印加電圧を高めることができる。例えば、上式 (21) で、 C_s が C_3 にほぼ等しいものとし、「 $V_t - V_s = 3.6$ 」とすると、

$$V_3 = (V_b + 3.6) / 2 \cdots (23)$$

となる。これにより、ソースドライバ 300 からの出力電圧が 2.2 V であれば、液晶印加電圧は 2.9 V となる。ここで、図 24 によると、2.9 V の液晶印加電圧は中間階調レベル以上の電圧に相当する。従って、本実施形態によれば、中間階調レベルまでの階調値のデータについて、液晶印加電圧の変化に伴う液晶容量値の変化を補償するという効果が得られる。

【0147】

以上のように、本実施形態によれば、フレームメモリを備えることなく、液晶印加電圧の変化に伴う液晶容量値の変化を補償することができる。また、上記第 1 の実施形態に比べて「 $V_t - V_s$ 」だけ液晶印加電圧を高めることができ、オーバードライブ（オーバーシュート）の効果がより大きく得られる。

【0148】

< 5. その他 >

上記各実施形態においては、128 階調の階調表示が可能な液晶表示装置を前提に説明したが、本発明はこれに限定されない。階調数は 128 以外であっても本発明を適用する

10

20

30

40

50

ことができる。また、上記各実施形態においては液晶表示装置を例に挙げて説明しているが、印加電圧の変化に伴い素子容量値が変化する電気光学素子を表示素子として採用するものであれば、液晶表示装置以外の表示装置にも本発明を適用することができる。

【図面の簡単な説明】

【0149】

【図1】本発明の第1の実施形態に係る液晶表示装置における画素形成部の構成を示す回路図である。

【図2】上記第1の実施形態において、液晶表示装置の全体構成を示すブロック図である。

【図3】上記第1の実施形態において、ドライバと表示部の詳細な構成を示すブロック図である。

【図4】上記第1の実施形態において、7ビットラッチ付きD/A変換回路の詳細な構成を示す図である。

【図5】上記第1の実施形態において、D/A変換回路に与えられる6ビットのデータについて説明するための図である。

【図6】上記第1の実施形態において、ソース配線に印加される電圧の大きさの決定について説明するための図である。

【図7】上記第1の実施形態において、低階調の表示が行われる画素形成部における駆動方法について説明するための信号波形図である。

【図8】上記第1の実施形態において、高階調の表示が行われる画素形成部における駆動方法について説明するための信号波形図である。

【図9】上記第1の実施形態において、図7および図8における各線の意味について説明するための図である。

【図10】VAモードの液晶の応答特性を示す図である。

【図11】本発明の第2の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【図12】上記第2の実施形態において、ドライバと表示部の詳細な構成を示すブロック図である。

【図13】上記第2の実施形態において、画素形成部の構成を示す回路図である。

【図14】上記第2の実施形態において、1ビットラッチ付きサンプルホールド回路の詳細な構成を示す図である。

【図15】上記第2の実施形態において、ソース配線に印加される電圧の大きさの決定について説明するための図である。

【図16】上記第2の実施形態において、低階調の表示が行われる画素形成部における駆動方法について説明するための信号波形図である。

【図17】上記第2の実施形態において、高階調の表示が行われる画素形成部における駆動方法について説明するための信号波形図である。

【図18】本発明の第3の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【図19】上記第3の実施形態において、ドライバと表示部の詳細な構成を示すブロック図である。

【図20】上記第3の実施形態において、低階調の表示が行われる画素形成部における駆動方法について説明するための信号波形図である。

【図21】上記第3の実施形態において、高階調の表示が行われる画素形成部における駆動方法について説明するための信号波形図である。

【図22】従来例において、液晶表示装置の全体構成を示すブロック図である。

【図23】従来例の一般的な液晶表示装置における画素形成部の構成を示す回路図である。

【図24】液晶印加電圧と液晶容量値との関係を示す図である。

【図25】従来例において、オーバードライブコントローラの構成を示すブロック図である。

10

20

30

40

50

【図 2 6】従来の液晶表示装置（特開 2 0 0 6 - 3 0 8 3 5 号公報に記載の液晶表示装置）における画素形成部の構成を示す回路図である。

【図 2 7】従来例における信号波形図である。

【図 2 8】従来例において、液晶印加電圧をシフトさせる方法について説明するための図である。

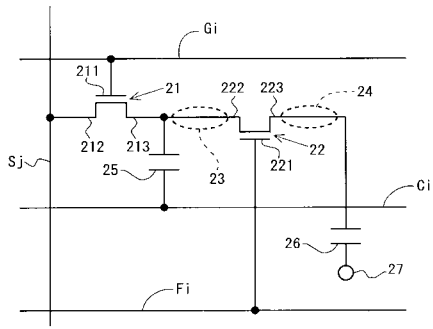
【図 2 9】従来例における信号波形図である。

【符号の説明】

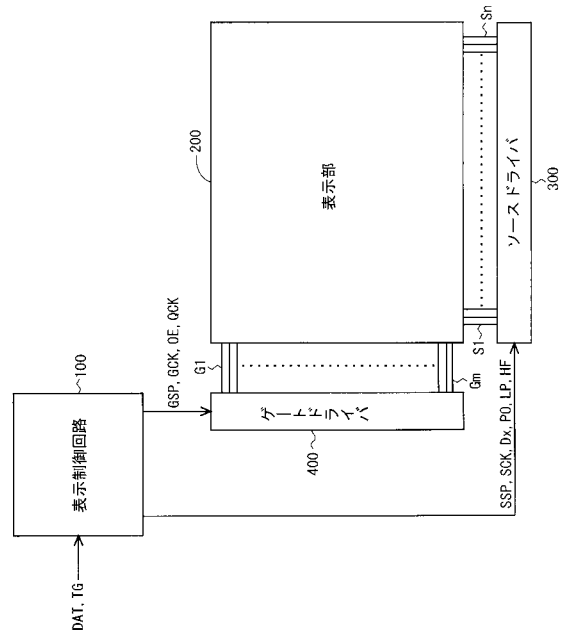
【 0 1 5 0 】

- | | |
|--------------------------------------|----|
| 2 1 , 6 1 ... 第 1 の T F T | |
| 2 2 , 6 2 ... 第 2 の T F T | 10 |
| 2 3 , 6 4 ... 容量電極 | |
| 2 4 , 6 3 ... 画素電極 | |
| 2 5 , 6 5 ... 補助容量 | |
| 2 6 , 6 6 ... 液晶容量 | |
| 2 7 , 6 7 ... 共通電極 | |
| 3 1 , 4 1 ... シフトレジスタ | |
| 3 2 ... レジスタ | |
| 3 3 , 3 5 ... ソース出力回路 | |
| 4 2 ... ゲート出力回路 | |
| 5 0 ... 7ビットラッチ付き D / A 変換回路 | 20 |
| 5 1 , 7 1 ... ラッチ回路 | |
| 5 2 ... D / A 変換回路 | |
| 5 3 , 7 3 ... T F T 回路 | |
| 7 0 ... 1ビットラッチ付きサンプルホールド回路 | |
| 1 0 0 ... 表示制御回路 | |
| 2 0 0 ... 表示部 | |
| 3 0 0 , 3 0 1 ... ソースドライバ（映像信号線駆動回路） | |
| 4 0 0 ... ゲートドライバ（走査信号線駆動回路） | |
| 4 5 0 ... 補助容量ドライバ | |
| A i j ... 画素形成部 | 30 |
| C 1 ~ C m ... 補助容量配線 , 補助容量配線駆動信号 | |
| D A x ... アナログ映像信号 | |
| D x ... デジタル映像信号 | |
| D s ... データ制御信号 | |
| F 1 ~ F m ... 画素状態制御配線 , 画素状態制御信号 | |
| H F ... ソース出力制御信号 | |
| G 1 ~ G m ... ゲート配線 , 選択信号 | |
| S 1 ~ S n ... ソース配線 , 駆動用映像信号 | |

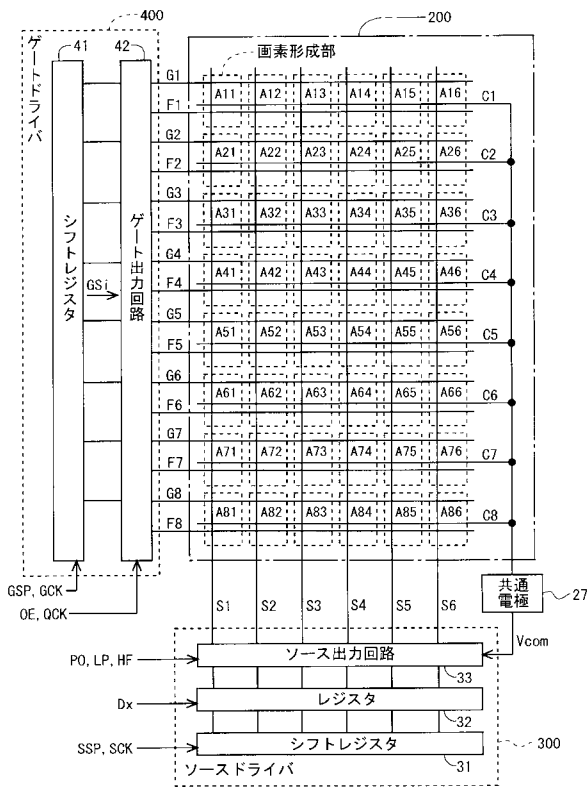
【図1】



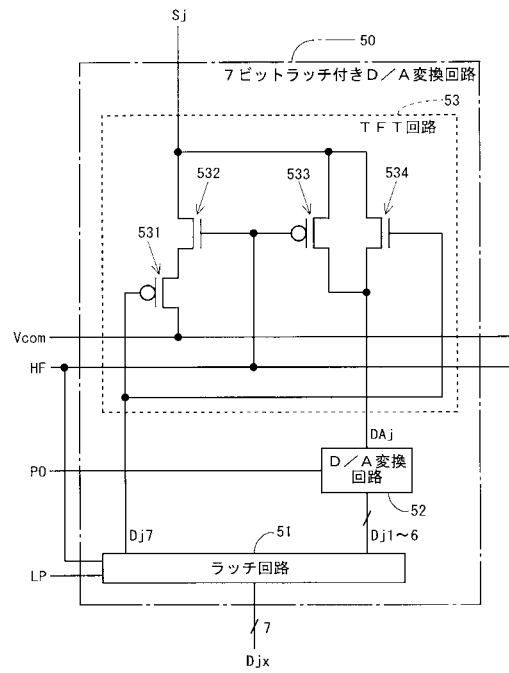
【図2】



【図3】



【図4】



【 図 5 】

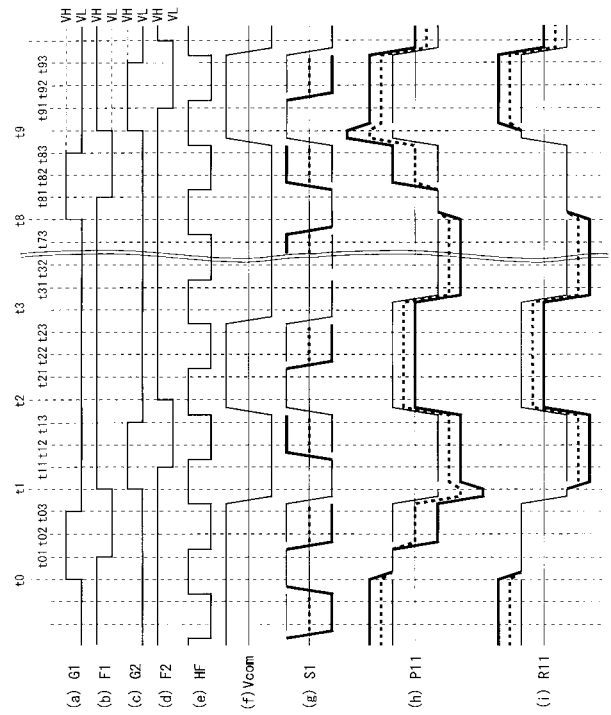
HF	最上位ビットD _j 7	出力D _j 1~6
H	L	入力D _j 1~6
H	H	入力D _j 1~6
L	L	入力D _j 1~6
L	H	処理後のデータ

【 図 6 】

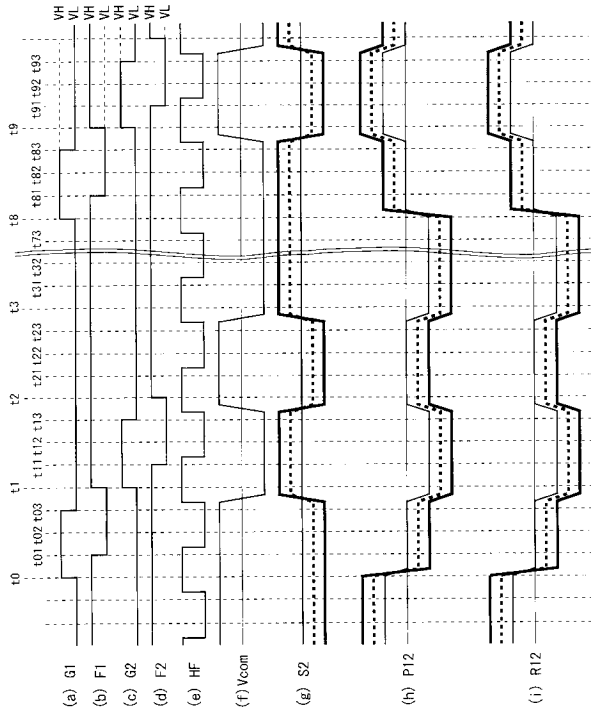
HF	最上位ビット電圧D _j 7	出力S _j
H	L	V _{com}
H	H	DA _j
L	L	DA _j
L	H	DA _j

} a1
} a2

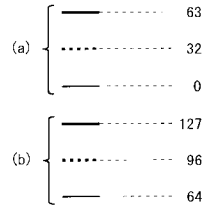
【 図 7 】



【 図 8 】



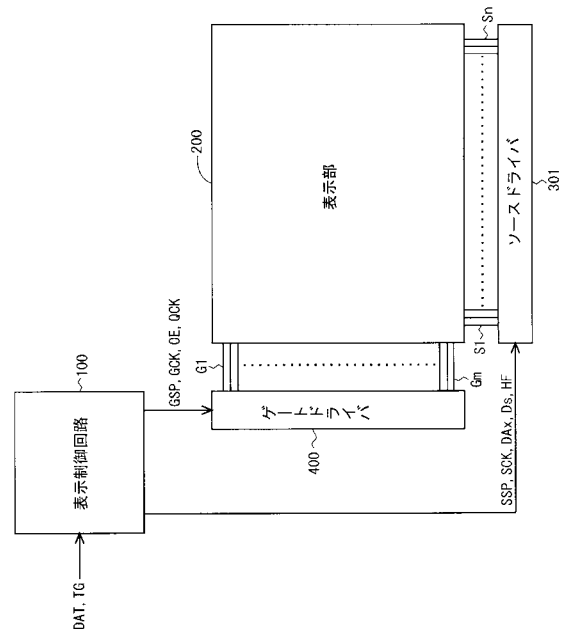
【 図 9 】



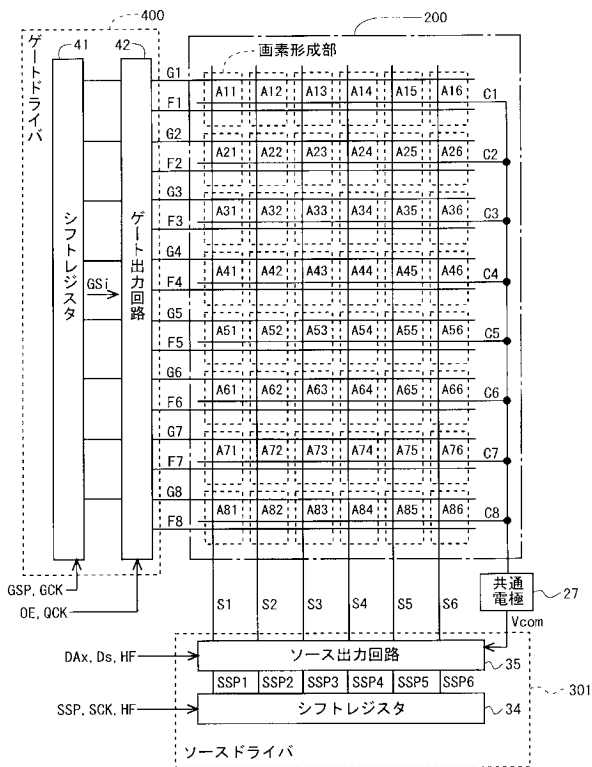
【図 1 0】

VO => V255	23ms
VO => V224	32ms
VO => V192	39ms
VO => V160	49ms
VO => V128	62ms
VO => V96	74ms
VO => V64	97ms
VO => V32	136ms
電圧変化 検出時間	

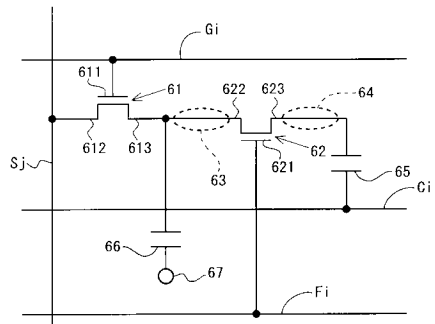
【図 1 1】



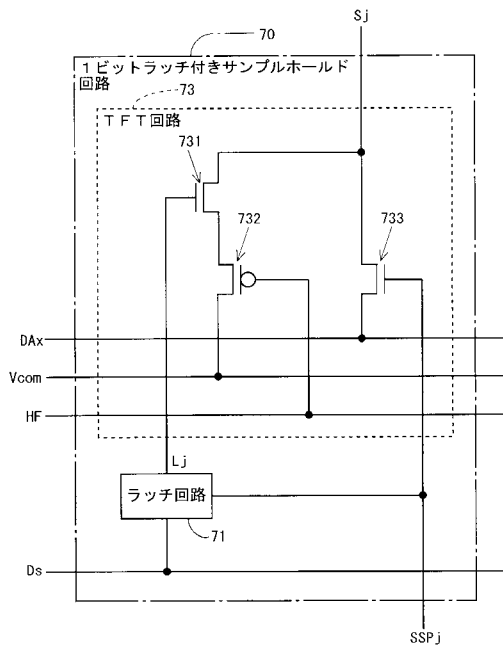
【図 1 2】



【図 1 3】



【図14】

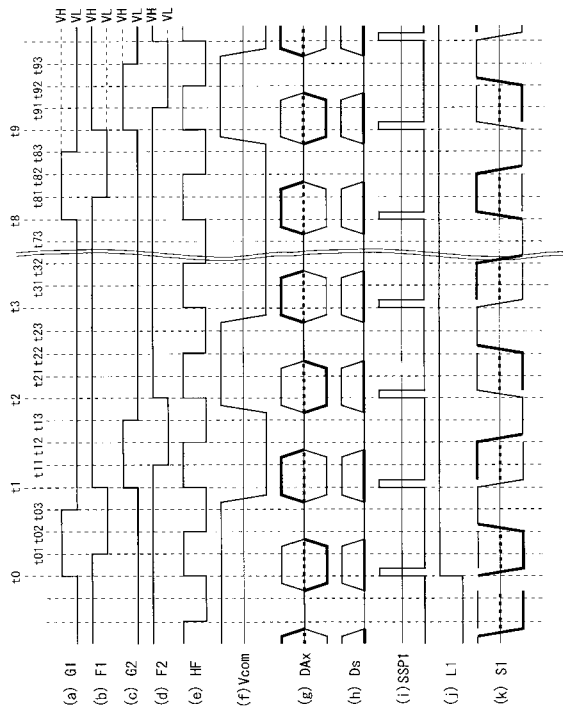


【図15】

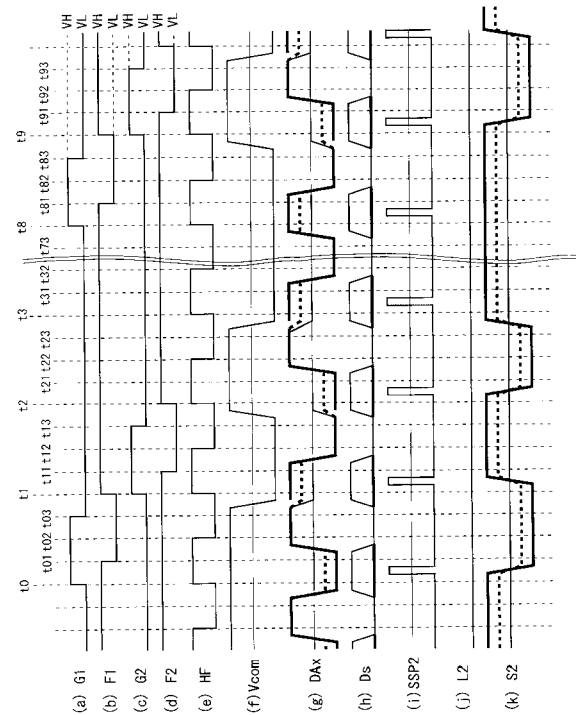
HF	ラッチ回路からの出力信号 L _j	SSP _j	出力 S _j
H	—	H	DA _j
H	—	L	H _i
L	L	—	H _i
L	H	—	V _c

a3, a4, a5

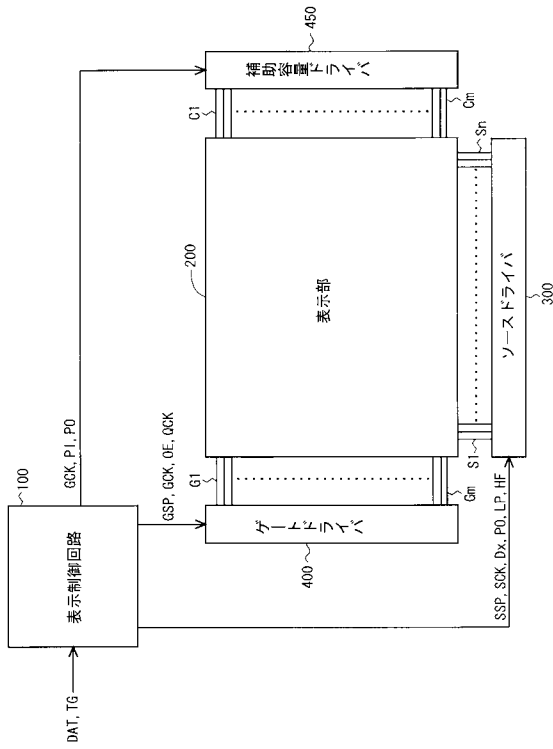
【図16】



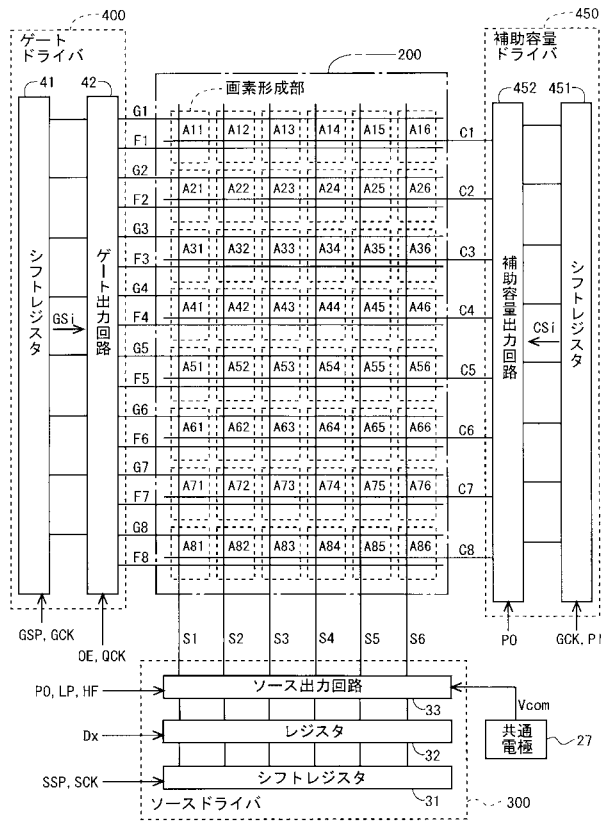
【図17】



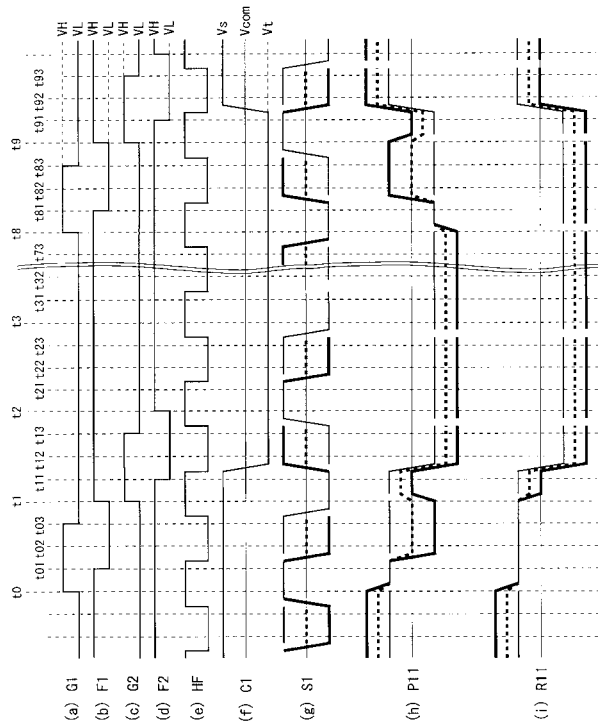
【図 18】



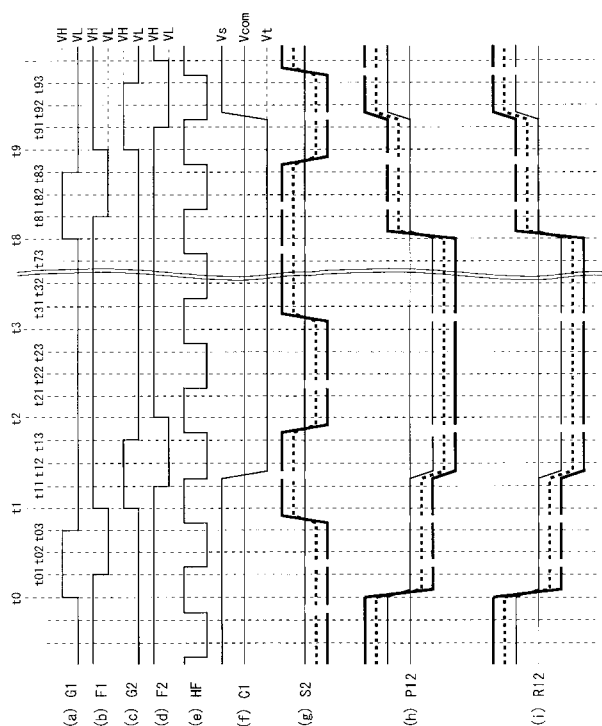
【図 19】



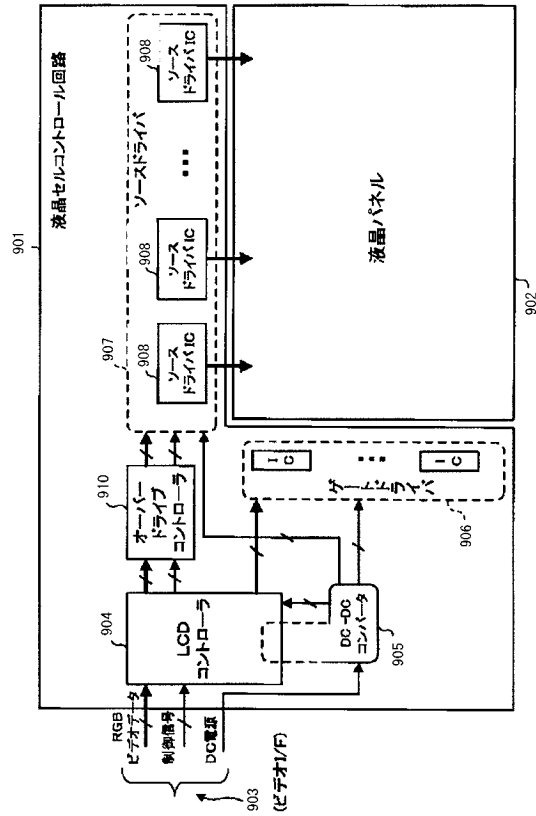
【図 20】



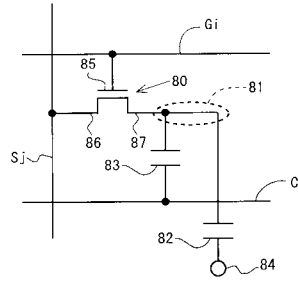
【図 21】



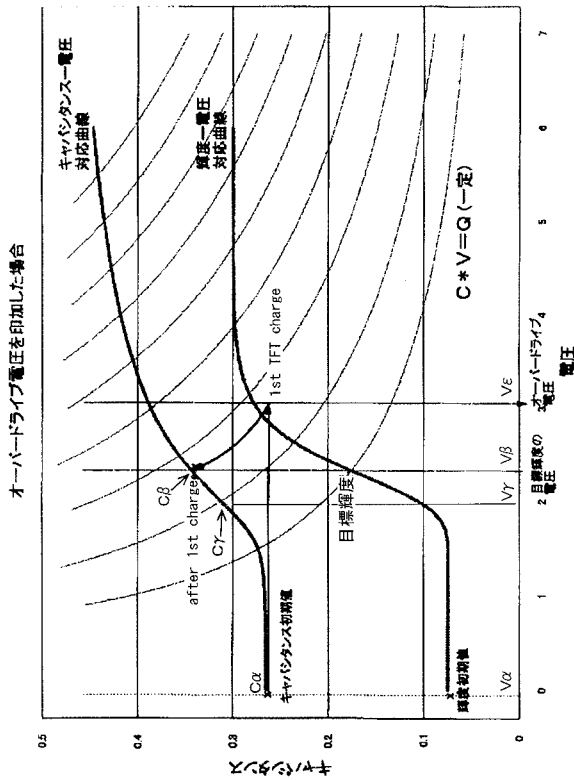
【 図 2 2 】



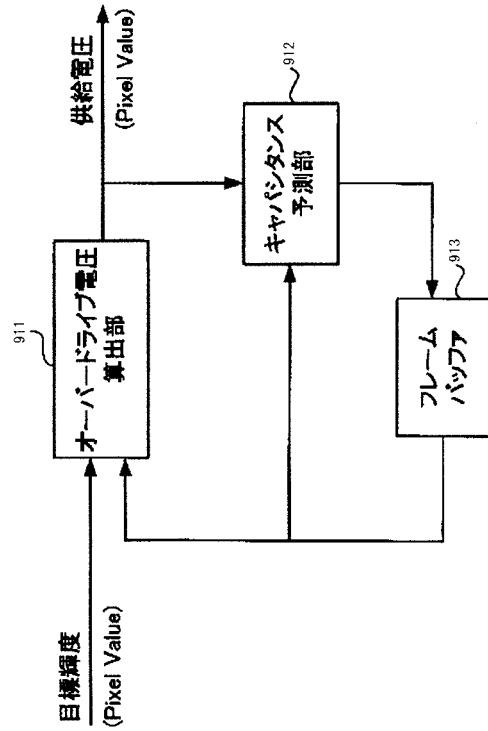
【 図 2 3 】



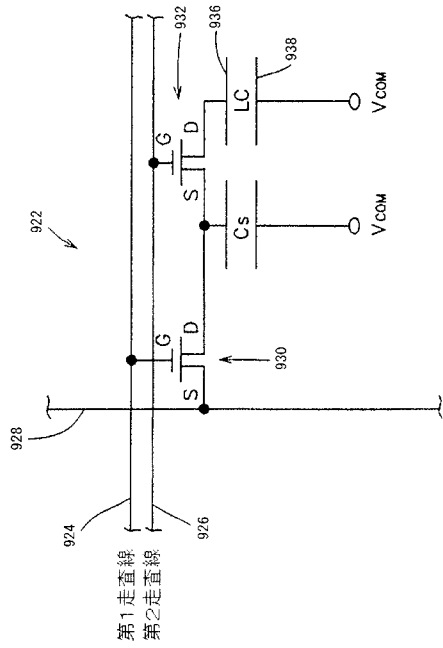
【 図 2 4 】



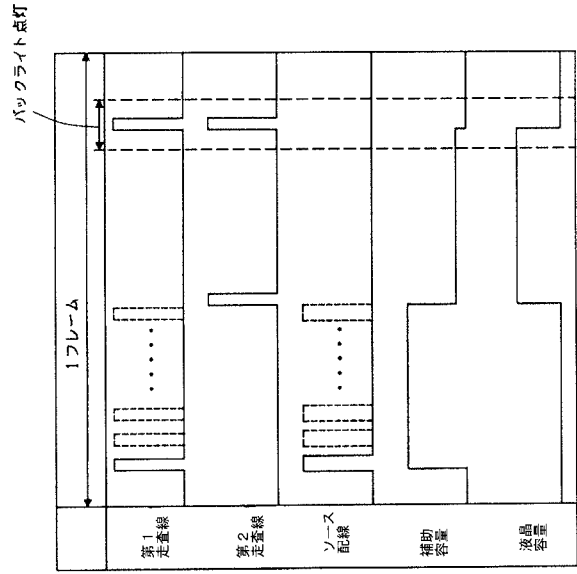
【 図 2 5 】



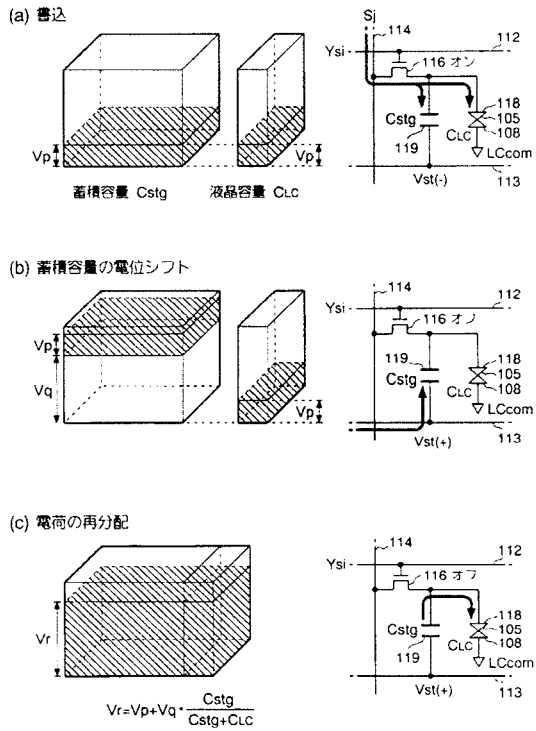
【 図 2 6 】



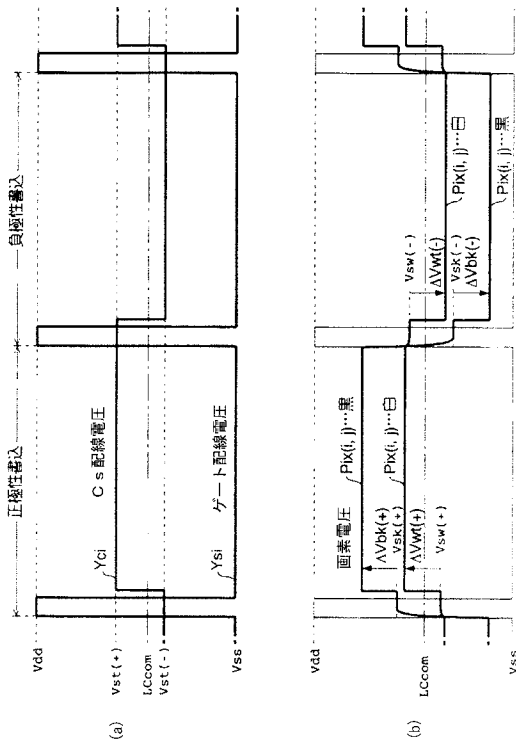
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 6 0 V
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 7 0

Fターム(参考) 5C080 AA10 BB05 DD02 DD08 EE19 EE29 FF07 FF11 JJ02 JJ03
JJ04 JJ05

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP2009115994A	公开(公告)日	2009-05-28
申请号	JP2007288123	申请日	2007-11-06
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	沼尾孝次		
发明人	沼尾 孝次		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.622.Q G09G3/20.622.G G09G3/20.623.D G09G3/20.660.V G02F1/133.550 G02F1/133.505 G02F1/133.575 G02F1/133.570		
F-TERM分类号	2H093/NA16 2H093/NC05 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC22 2H093/NC29 2H093/NC34 2H093/NC35 2H093/NC40 2H093/NC65 2H093/ND06 2H093/ND33 2H093/ND54 2H093/ND58 2H093/NF04 2H093/NH18 5C006/AC11 5C006/AC24 5C006/AC25 5C006/AC27 5C006/AF42 5C006/AF46 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA12 5C006/FA14 5C006/FA18 5C006/FA44 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD08 5C080/EE19 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB08 2H193/ZB14 2H193/ZC04 2H193/ZE01 2H193/ZF22 2H193/ZF23 2H193/ZF33 2H193/ZF34 2H193/ZF36 2H193/ZF59 2H193/ZH40		
代理人(译)	岛田彰		
外部链接	Espacenet		

摘要(译)

甲不设置帧存储器，对因施加于电光元件的电压的变化提供能够补偿在电光元件的电容变化的显示装置。第二传导由第一电压施加到TFT21和像素状态控制线连接到栅极布线导通/非导通状态由施加到GI的电压被控制/非导通状态被控制每个像素形成部分中的TFT 22。每个帧周期的第一个周期中，施加到液晶电容器26上的电压为零，对应于灰度值仅与存储电容器25中的电荷累积。此时，辅助电容器25，电压是基于被施加对应于目标亮度电压和对应于图像的亮度的目标亮度电压时，液晶电容值来确定。每个帧周期的第二时间段，第一TFT21是为非导通状态时，第二TFT22导通时，在辅助电容器25和液晶电容器26之间进行电荷再分配。

点域1

