

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-185907
(P2008-185907A)

(43) 公開日 平成20年8月14日(2008.8.14)

(51) Int.Cl.	F I	テーマコード(参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO9F 9/30 (2006.01)	GO9F 9/30 338	5C094

審査請求 未請求 請求項の数 1 O L (全 9 頁)

(21) 出願番号 特願2007-21002(P2007-21002)
(22) 出願日 平成19年1月31日(2007.1.31)

(71) 出願人 000004329
日本ビクター株式会社
神奈川県横浜市神奈川区守屋町3丁目12番地
(74) 代理人 100085235
弁理士 松浦 兼行
(72) 発明者 今野 秀一
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内
Fターム(参考) 2H092 GA32 GA59 HA14 JA23 JB31
KA03 KB02 KB04 MA28 NA23
NA27 PA06
5C094 AA02 AA43 BA03 BA43 CA19
DA13 FB12

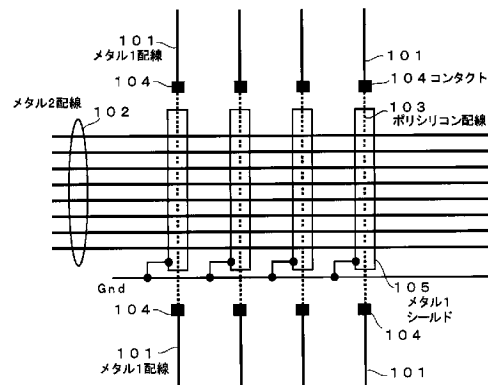
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 液晶駆動素子において、直交する信号線の交差領域に専用のシールド層を設けるのは、半導体プロセスの効率が悪く、コストアップの要因にもなる。交差配線部の結合容量が、多画素化・高画質化により画質へ悪影響を及ぼす可能性が増えている。

【解決手段】 メタル1配線101と、メタル1配線101より上層のメタル2配線102とが互いに直交する交差領域では、メタル1配線101よりも下層にあるポリシリコン配線103にメタル1配線101を接続するようにしたため、交差領域では、信号線として用いたメタル1配線101とポリシリコン配線103とが交差し、かつ、互いの配線の間には信号線として用いていない残りの1つの配線層であるメタル1配線101を介在した構成とすることができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板上に、
 2次元マトリクス状に配列された複数の画素と、
 前記複数の画素に映像信号を供給するための信号線と、
 前記信号線と立体的に交差して、前記複数の画素のうち、所定の画素を選択するための画素選択線と、

を備えた液晶表示装置において、

前記半導体基板上に順次積層された第1の配線層、第2の配線層及び第3の配線層を有し、

前記信号線と前記画素選択線とが立体的に交差する交差領域では、

前記信号線及び前記画素選択線の一方が前記第1の配線層及び前記第3の配線層の一方に形成され、前記信号線及び前記画素選択線の他方が前記第1の配線層及び前記第3の配線層の他方に形成されると共に、前記第2の配線層には所定の電位を有する配線部が形成されてなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に反射型液晶プロジェクタ装置等に用いる液晶表示装置に関する。

【背景技術】

【0002】

近年、プロジェクタ装置やプロジェクションテレビには画像を投影するための中心部品としてLCOS(Liquid Crystal on Silicon)型の液晶表示装置が多く用いられている。このLCOS型の液晶表示装置は、ガラス基板上の透明電極と、シリコン基板上の液晶駆動素子の上にマトリクス状に配置された複数の反射電極とを離間対向させ、それら透明電極と反射電極との間に液晶層を封入した構造を有している。この中で特に本発明に係る液晶駆動素子の従来構造について図4、図6、図7を用いて説明する。

【0003】

図4において、従来液晶表示装置に用いられる液晶駆動素子の構造は、水平方向駆動回路10、垂直方向駆動回路20、複数の映像信号線70、複数のビデオスイッチ群(41, 42, ...)、画素部30、複数のデータ線(6-1, 6-2, ...)、および複数のゲート線8から構成されている。なお、図4中で、各符号のハイフン後のサフィックス番号は、同一種類の構成要素で異なった位置にあることを示している。また、この図4は構成要素全体の一部を示したものである。

【0004】

図6は画素部30の一例の回路図を示す。同図において、画素部30は、各データ線6-1, 6-2, 6-3, ...と各ゲート線8(8-1, 8-2, 8-3, ...)との交差部に、マトリクス状に配置された画素11~13, 21~23, 31~33(一部の画素のみ図示)からなる。各画素11~13, 21~23, 31~33はそれぞれ同一構成であり、画素11に代表して示すように、画素選択トランジスタ(Tr)2、保持容量3及び反射電極4からなり、画素選択トランジスタ2はゲートがゲート線8-1に接続され、ソースがデータ線6-1に接続され、ドレインが保持容量3の一端と反射電極4とにそれぞれ接続されている。また、各画素の保持容量3の他端は共通電極線9に共通接続されている。

【0005】

図4に戻って説明する。コントローラ60は、映像信号に同期して生成した各種クロック信号を水平方向駆動回路10と垂直方向駆動回路20に供給し(経路は図示せず)、映像信号線70に供給される映像信号と同期してデータ線(6-1, 6-2, ...)、ゲート線8(8-1, 8-2, ...)をそれぞれ駆動することで水平、垂直の走査を伴っ

10

20

30

40

50

た画素選択と映像信号の書き込みとを行う。

【0006】

こうして、データ線(6-1, 6-2, ...)とゲート線8(8-1, 8-2, ...)の交差部の画素が選択されると、外部から入力された映像信号は映像信号線70、ビデオスイッチ群41、42等、データ線6-1、6-2等、及び画素部30内の各画素の垂直方向の画素選択トランジスタ2を経由して保持容量3に書き込まれる。そして、保持容量3に接続されている反射電極4を介して液晶が駆動される。

【0007】

ビデオスイッチ群41、42等のそれぞれは、図7に示すように、Pチャネル電界効果トランジスタ(FET)P1、P2、P3、...と、Nチャネル電界効果トランジスタN1、N2、N3、...とからなり、互いのドレイン同士とソース同士とが接続された一つのPチャネルFETと一つのNチャネルFETとからなるCMOS構成のスイッチが複数設けられ、PチャネルFETP1、P2、P3、...は第1の制御線に共通接続され、NチャネルFETN1、N2、N3、...は第2の制御線に共通接続され、PチャネルFETP1、P2、P3、...と、NチャネルFETN1、N2、N3、...とは同時にオン、又はオフに制御されて、映像信号を通過又は遮断する構成である。

【0008】

このように、半導体基板上に画素部30内に2次元マトリクス状に配列された複数の画素のうち、水平方向に配置されて各画素に映像信号を供給するための複数のデータ線6-1、6-2等と垂直方向の画素を選択するための複数のゲート線8(8-1, 8-2, ...)とが交差する交差部のそれぞれに、画素選択トランジスタ2と信号保持容量3と液晶を駆動する反射電極4とから構成された複数の画素回路が配置され、複数のデータ線6-1、6-2等に映像信号を供給するように順次切換えるための複数のビデオスイッチ群41、42等が配備され、これら複数のビデオスイッチ群41、42等のオン・オフを制御するための水平方向駆動回路10と、複数のゲート線を順次活性化させるための垂直方向駆動回路20とを備えた液晶表示装置においては、通常、画素部30の画素数は100万画素以上と非常に多い。

【0009】

そのため、画素へのデータ書き込みを高速に行うために、図示したように映像信号線70を複数本設けて、並列に書き込みを行って時間を短縮する方法がとられる。図4の例では、8本の映像信号のデータが水平方向駆動回路10からの制御線により各ビデオスイッチ群41、42毎に同時に選択されて、水平方向に8画素ずつ並列に書き込んで行く場合を示している。こうすることで映像信号を転送するときのクロック周波数を下げることができ、多画素化にも対応可能となる。

【0010】

一方で、映像信号線の数が増えると、これらと交差する線があった場合には、それに対して干渉する割合も増えて悪影響を及ぼし易くなる。特に、交差する側の線が画素に係わるアナログ信号で、かつ、駆動インピーダンスも高いケースでは、映像信号の影響を受け易く、信号の変動も大きくなってしまふ。図4の例では、映像信号線70と制御線との交差やビデオスイッチ群41、42等への入力配線との交差などがこれに当たる。

【0011】

図5は、従来液晶表示装置に用いられる液晶駆動素子の他の例の構成を示し、水平方向駆動回路10、垂直方向駆動回路20、複数の映像信号線70、複数のビデオスイッチ群(41, 42, ...)、画素部30、複数のデータ線(6-1, 6-2, ...)、および複数のゲート線8とから構成されているが、図4に示した液晶駆動素子と比較して、映像信号線70とビデオスイッチ群(41, 42, ...)との位置関係を入れ替えたものである。

【0012】

この図5の液晶駆動素子では、水平方向駆動回路10からの制御線と映像信号線70との交差はなくなるが、代わりに映像信号線70とデータ線6-1、6-2等との交差が発

10

20

30

40

50

生してしまう。つまり、水平方向に走る映像信号線 70 に対して、データ線 6 - 1、6 - 2 等又はビデオスイッチの制御線等とが交差するのは避けられない。

【0013】

図 5 に示すように、横方向の映像信号線 70 と縦方向のデータ線 6 - 1、6 - 2 等とが交差する場合は、交差する映像信号線 70 とデータ線 6 - 1、6 - 2 等との間にできる寄生容量を介して、画素に繋がるデータ線に映像信号線 70 からの信号がクロストークとして混入することになるので影響は大きい。映像信号線 70 と制御線とが交差する場合でも、制御線で伝送される振幅の大きなデジタル信号に、アナログ信号である映像信号線 70 からの信号が交差する信号線間にできる寄生容量を介してクロストークとして大きな影響を及ぼす。

10

【0014】

データ線と制御線のどちらを映像信号線 70 と交差させるかはレイアウト設計時に決めるが、このようなクロストークが画質に与える影響は大きいため、データ線又は制御線と映像信号線 70 との間にできる結合容量（寄生容量）は極力ゼロであることが望ましい。

【0015】

通常の映像で、画面の一部の領域が白から黒への変化、あるいはその逆の変化、というケースは頻繁に発生する。このようなケースでは、複数の映像信号線 70 で伝送される映像信号が同時に大きく変化することになる。多くの場合、配線が交差する部分の面積は小さく結合容量も小さいが、上記例のように複数の映像信号線 70 と交差していて、それらで伝送される映像信号が同時に同じような変化をした時には、上記の結合容量も映像信号線の本数分だけ増えるのでその影響は無視できなくなってくる。

20

【0016】

このような影響は、例えば均一な中間色の画面の一部に濃い白や黒の矩形を表示するような場合に、その周辺の中間色の輝度が微妙に変化してしまうなどの画質の劣化として現れる。ハイビジョン映像を扱う液晶表示装置ではさらに映像信号線が増えて同時変化の割合も多くなることから、防止策は重要である。

【0017】

これまで、同一層で並行して走る配線間のクロストークを防止するために、間に固定電位の配線を入れたり、上下の層で並行して走る配線間のクロストーク防止のために、間にシールド専用の層を挟んだり（例えば、特許文献 1 参照）といった方法が開示されている。しかしながら、交差配線部でのクロストークに関してはその結合容量も小さかったことから、あまり検討されてこなかったようである。

30

【0018】

【特許文献 1】特開 2003 - 124320 号公報

【発明の開示】

【発明が解決しようとする課題】

【0019】

図 4 及び図 5 に示したようなアクティブ・マトリクス型の液晶駆動素子においては、その大部分が画素部 30 であり、画素部 30 の周辺に水平方向駆動回路 10 や垂直方向駆動回路 20 などの画素を選択・駆動する回路が配置される。図 4 及び図 5 に例示したように、画質に影響を与えるような信号線がクロスするのは、これらの駆動回路 10、20 と画素部 30 とを繋ぐごく一部の領域に限られることが多い。また、実際の配線に使用されているメタル層も 2 ~ 3 層程度と少ない。

40

【0020】

このような液晶駆動素子において、特許文献 1 のように専用のシールド層を設けるのは、半導体プロセスの効率が悪いことに加えてコストアップの要因にもなる。また、従来あまり検討されることのなかった交差配線部の結合容量が、多画素化・高画質化による映像信号線数の増加とともに画質へ悪影響を及ぼす可能性が増え、それを防止する方策が求められるようになってきた。

【0021】

50

本発明は、以上の点に鑑みなされたものであり、専用のシールド層を設けることなく交差配線部の結合容量の影響を実質ゼロとすることができ、信号間の相互干渉を防止して高画質化を実現し得る液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0022】

本発明は、上記の目的を達成するため、半導体基板上に、2次元マトリクス状に配列された複数の画素と、複数の画素に映像信号を供給するための信号線と、信号線と立体的に交差して、複数の画素のうち、所定の画素を選択するための画素選択線と、を備えた液晶表示装置において、半導体基板上に順次積層された第1の配線層、第2の配線層及び第3の配線層を有し、信号線と画素選択線とが立体的に交差する交差領域では、信号線及び画素選択線の一方が第1の配線層及び第3の配線層の一方に形成され、信号線及び画素選択線の他方が第1の配線層及び第3の配線層の他方に形成されると共に、第2の配線層には所定の電位を有する配線部が形成されてなることを特徴とする。

10

【0023】

この発明では、信号線と画素選択線とが互いに交差する交差領域では、交差する信号線と画素選択線の各配線層は、互いの間に信号線および画素選択線として用いていない1つの配線層を介在した構成とすることができる。

【発明の効果】

【0024】

本発明によれば、信号線と画素選択線とが互いに交差する交差領域では、交差する信号線と画素選択線の各配線層は、互いの間に信号線および画素選択線として用いていない1つの配線層を介在した構成とするようにしたため、信号線および画素選択線として用いていない通常の1つの配線層の一部を用いて交差領域に配置し、更にシールドするだけで、複数の信号線で伝送される映像信号が同時に同じように変化した場合においても、交差領域における信号線と画素選択線との間の結合容量は実質的にゼロなので、他方の信号線又は画素選択線へのクロストークの影響を少なくでき、良好な画質で映像を表示できる。また、本発明によれば、信号線及び画素選択線として用いていない通常の1つの配線層の一部を用いているだけなので、追加のマスクなどを必要とせず、従って製造工程において追加のプロセスも不要であり、製造コストの上昇を回避できる。

20

【発明を実施するための最良の形態】

【0025】

次に、本発明の各実施の形態に係る液晶表示装置について、図面を参照して説明する。図1は本発明になる液晶表示装置における液晶駆動素子部の第1の実施の形態を示す図である。液晶駆動素子の動作の概要は、すでに図4や図5などを用いて説明してきた。図1は、映像信号線とそれに交差する線の関係を示しており、ビデオスイッチや画素部などの回路は図示していない。単純には、横方向の配線は映像信号線であり、縦方向の配線は制御線、データ線、ビデオスイッチの入力となる映像信号線などを示すものと考えて構わないが、これらに限定するものではない。

30

【0026】

次に、本発明の第1の実施の形態について図1と共に説明する。図1の第1の実施の形態は2層メタル配線における交差部の例である。この実施の形態では、縦配線としてメタル1配線101が複数本平行に形成されており、また、横配線としてメタル2配線102が複数本平行に形成されている。更に、それらメタル1配線101とメタル2配線102とが交差する領域には、縦方向にポリシリコン配線103が形成されている。

40

【0027】

ポリシリコン配線103は、コンタクト104によりメタル1配線101と接続されている。コンタクト104の形成位置は、メタル2配線102のうち、図中、最上部のメタル配線より上側の領域と、最下部のメタル配線より下側の領域である。

【0028】

ここで、図2の概略断面図に示すように、シリコン基板100上に絶縁膜を介してポリ

50

シリコン配線 103 が形成されており、更にその上に、メタル 1 配線 101、メタル 2 配線 102 が順次図示しない絶縁層を介して積層されている。従って、図 1 では、メタル 1 配線 101 とメタル 2 配線 102 とが交差する領域には、メタル 1 配線 101 をそのメタル 1 配線 101 よりも下層のポリシリコン配線 103 に変換して配置している。

【0029】

これにより、メタル 1 配線 101 とメタル 2 配線 102 との交差部ではメタル 1 配線 101 は無くなり、メタル 1 配線 101 が存在したであろう配線領域をポリシリコン配線 103 とメタル 2 配線 102 の間のシールド層 105 として利用できることになる。さらに、このシールド層 105 を電源や GND 等の固定電位、又はそれに準ずる信号線にしておけば、上下の層間の干渉、すなわち、交差するメタル 2 配線 102 とポリシリコン配線 103 との間のクロストークを防止することができる。なお、本実施の形態は、図 2 の断面図に示すように、配線層は 3 層である。

10

【0030】

次に、本発明の第 2 の実施の形態について説明する。図 3 は本発明になる液晶表示装置における液晶駆動素子部の第 2 の実施の形態を示す図である。同図中、図 1 と同一構成部分には同一符号を付してある。図 3 も図 1 と同様に、映像信号線とそれに交差する線の関係を示しており、ビデオスイッチや画素部などの回路は図示していない。単純には、横方向の配線は映像信号線であり、縦方向の配線は制御線、データ線、ビデオスイッチの入力となる映像信号線などを示すものと考えて構わないが、これらに限定するものではない。

20

【0031】

本実施の形態は、3 層メタル配線の例である。表示素子の高速化、小型化、配線の低抵抗化などが要求される用途においては、メタルを 3 層用いて配線が行われたりする。このようなケースでは交差部のジャンパとしてポリシリコン配線を用いると配線抵抗の増大を招き、回路動作上好ましくない場合もある。

【0032】

そこで、本実施の形態では、メタルの配線層として 3 層使用可能な場合は、交差部に取ってポリシリコン配線を使わず、交差部を含めた縦配線にメタル 1 配線 101 を用い、交差部のシールド層 107 にメタル 2 配線 102 を用い、横配線にメタル 3 配線 106 を用いた構成としたものである。

30

【0033】

ここで、メタル 3 配線 106 は図 2 の断面図では図示していないが、メタル配線 102 の上に絶縁層を介して形成されている。従って、本実施の形態では、メタル 1 配線 101 とメタル 3 配線 106 とが交差する領域には、メタル 1 配線 101 とメタル 3 配線 106 との間のメタル 2 配線 102 をシールド層 107 として利用し、このシールド層 107 を電源や GND 等の電位に固定しておけば、上下の層間の干渉、すなわち、交差するメタル 1 配線 101 とメタル 3 配線 106 との間のクロストークを防止することができる。

【0034】

なお、本実施の形態では、メタル 2 配線 102 はメタル 1 配線 101 とメタル 3 配線 106 との交差部においてはシールド層 107 として用いているが、これ以外の部分では、メタル 1 配線 101 やメタル 3 配線 106 と同様にシールド層 107 とは電氣的に接続されていない独立した信号配線として用いることが可能であり、特別なシールド用のメタル層というわけではない。

40

【0035】

ここで、図 3 では、縦の信号線（縦配線）をメタル 1 配線 101 としているが、これに限定するものではない。例えば図 3 ではメタル 1 配線 101 とした縦線をメタル 2 配線 102 とし、横線としてのメタル 3 配線 106 との交差部では、コンタクトを介してメタル 1 配線 101 や図 2 のポリシリコン配線 103 に変換してよい。前者ではメタル 2 配線をシールド層として使えるし、後者ではメタル 1 配線またはメタル 2 配線のうちの都合の良い方が両方をシールド層として使うことが可能である。

【0036】

50

このように、第 1 の実施の形態では、メタル 1 配線 1 0 1 などの縦配線を横配線であるメタル 2 配線 1 0 2 との交差部で一時的にポリシリコン配線 1 0 3 に変換し、空いたメタル 1 配線 1 0 1 を交差部ではシールド層 1 0 5 として使用することにより、上下の層間（メタル 2 配線 1 0 2 とポリシリコン配線 1 0 3 との間）のクロストークを効率良く防止することができ、画質劣化の少ない画像を表示できる液晶駆動素子を提供することが可能となる。

【 0 0 3 7 】

また、3 層配線層の第 2 の実施の形態では、第 1 の実施の形態と同様の考え方に基づくものであり、他の部分では信号配線層として用いられているメタル 2 配線を、クロストークを嫌う縦配線と横配線との交差部ではシールド層 1 0 7 として用いて上下層間（メタル 1 配線 1 0 1 とメタル 3 配線 1 0 6 との間）のクロストークを効率良く防止することができ、画質劣化の少ない画像を表示できる液晶駆動素子を提供することが可能となる。

10

【 0 0 3 8 】

なお、本発明は以上の実施の形態に限定されるものではなく、例えば、図 1 の実施の形態では縦配線をポリシリコン層に移す場合を例にとって説明したが、縦配線と横配線の関係を実施の形態と入れ替えても同様の効果が得られるのは勿論である。

【 図面の簡単な説明 】

【 0 0 3 9 】

【 図 1 】本発明になる液晶駆動装置における交差配線部の第 1 の実施の形態を示す図である。

20

【 図 2 】図 1 の各配線間の関係を示す断面図である。

【 図 3 】本発明になる液晶駆動装置における交差配線部の第 2 の実施の形態を示す図である。

【 図 4 】従来の液晶表示装置における液晶駆動素子の第 1 の例の構成図である。

【 図 5 】従来の液晶表示装置における液晶駆動素子の第 2 の例の構成図である。

【 図 6 】液晶駆動素子の画素部の一例を示す図である。

【 図 7 】液晶駆動素子のビデオスイッチ部の一例を示す図である。

【 符号の説明 】

【 0 0 4 0 】

6 - 1 , 6 - 2 データ線

30

8 - 1 , 8 - 2 ゲート線

1 0 水平方向駆動回路

2 0 垂直方向駆動回路

3 0 画素部

4 1 , 4 2 ビデオスイッチ群

6 0 コントローラ回路

7 0 映像信号線

1 0 0 シリコン基板

1 0 1 メタル 1 配線

1 0 2 メタル 2 配線

40

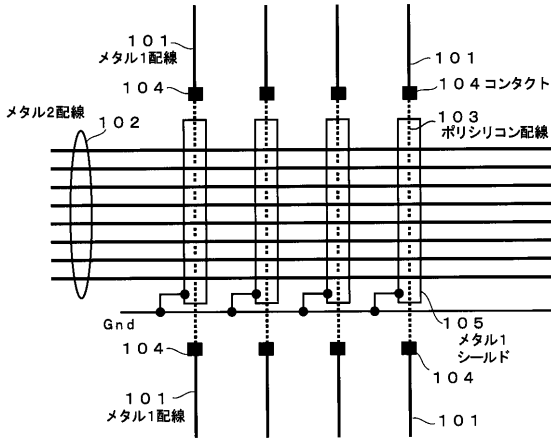
1 0 3 ポリシリコン配線

1 0 4 コンタクト

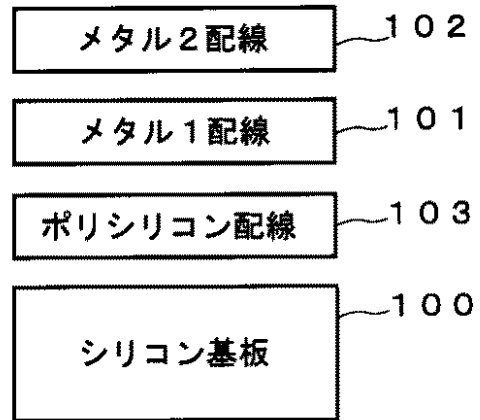
1 0 5 、 1 0 7 シールド層

1 0 6 メタル 3 配線

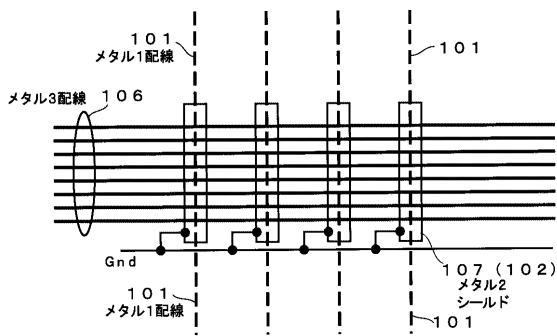
【図1】



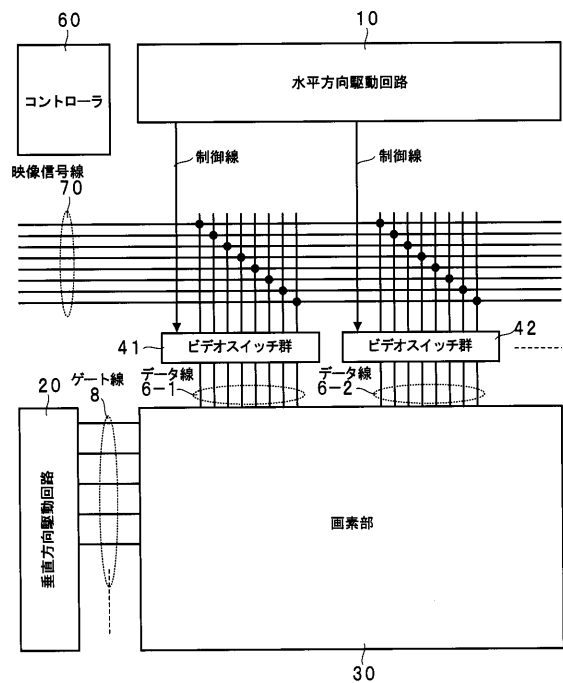
【図2】



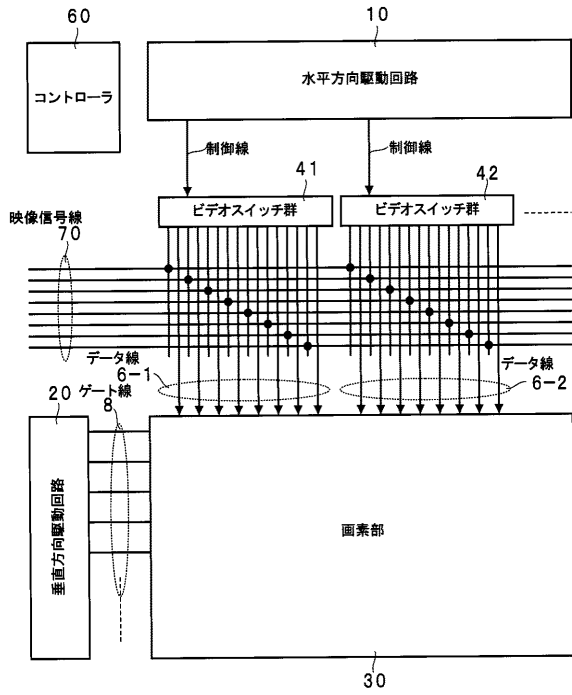
【図3】



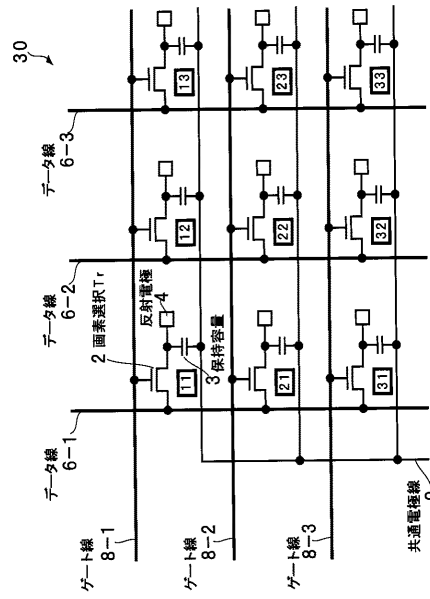
【図4】



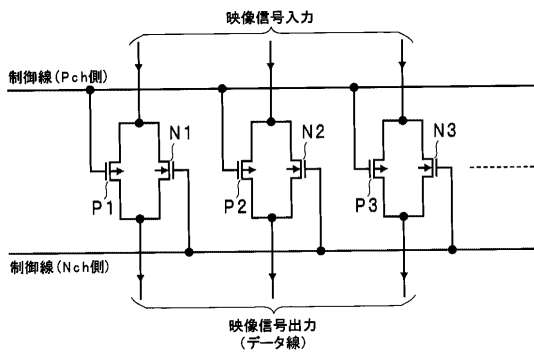
【 図 5 】



【 図 6 】



【 図 7 】



专利名称(译)	液晶表示装置		
公开(公告)号	JP2008185907A	公开(公告)日	2008-08-14
申请号	JP2007021002	申请日	2007-01-31
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	今野秀一		
发明人	今野 秀一		
IPC分类号	G02F1/1343 G09F9/30		
FI分类号	G02F1/1343 G09F9/30.338		
F-TERM分类号	2H092/GA32 2H092/GA59 2H092/HA14 2H092/JA23 2H092/JB31 2H092/KA03 2H092/KB02 2H092/KB04 2H092/MA28 2H092/NA23 2H092/NA27 2H092/PA06 5C094/AA02 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/FB12		
外部链接	Espacenet		

摘要(译)

在液晶驱动元件中，在彼此正交的信号线的交叉区域处提供专用屏蔽层导致半导体工艺的效率差并且还导致成本增加。由于像素数量的增加和图像质量的提高，交叉点布线部分处的耦合电容可能对图像质量产生不利影响的可能性增加。金属1线101在金属1线101下方的金属1线101下方连接到多晶硅线103，其中金属1线101和金属1线101上方的金属2线102彼此正交。在交叉区域中，用作信号线的金属1线101和多晶硅线103彼此交叉，并且剩余的一个布线层不用作其他线之间的信号线。可以采用其中插入金属1布线101的配置。[选图]图1

