

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-350378
(P2006-350378A)

(43) 公開日 平成18年12月28日 (2006. 12. 28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 611C	5C080
	G09G 3/20 611G	
	G09G 3/20 623B	
審査請求 有 請求項の数 2 O L (全 10 頁) 最終頁に続く		

(21) 出願番号	特願2006-225135 (P2006-225135)	(71) 出願人	599127667
(22) 出願日	平成18年8月22日 (2006. 8. 22)		エルジー フィリップス エルシーディー
(62) 分割の表示	特願平8-310263の分割		カンパニー リミテッド
原出願日	平成8年11月21日 (1996. 11. 21)		大韓民国 ソウル, ヨンドンポーク,
			ヨイドードン 2 O
		(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫
		最終頁に続く	

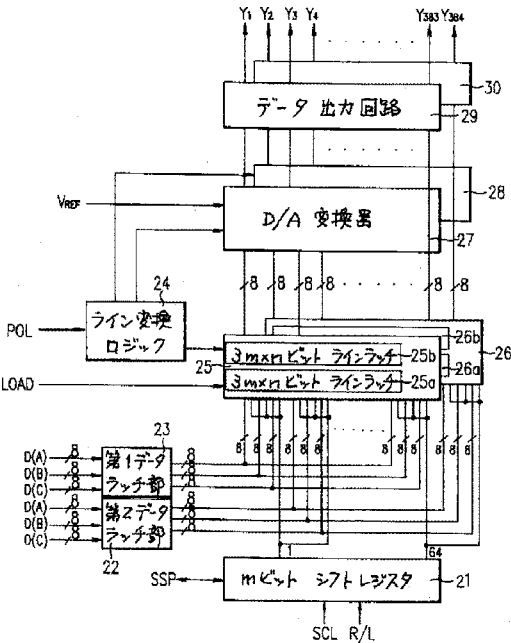
(54) 【発明の名称】 液晶表示装置の駆動装置

(57) 【要約】

【課題】高周波で動作されることにより発生する問題点を解決し、メイン駆動周波数を減少させた液晶表示装置のデータドライバを提供する。

【解決手段】ラッチクロック信号を出力し、第1クロック信号に相応するスタート信号を受信するためのm(整数)-ビットレジスタ回路21と、それぞれn(整数)-ビットデータを有する全ての映像信号を同時に受信し、ソース映像信号に当たる少なくとも2セットの3種の映像信号をラッチし出力するデータラッチ回路22、23と、第3信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチするラインラッチ回路25と、ラインラッチの映像信号をアナログ信号に変換するD/A変換回路27と、D/A変換回路からアナログ信号を出力させるデータ出力回路29とを備えた単一集積回路と;で構成されることを特徴とする。

【選択図】図5



【特許請求の範囲】

【請求項 1】

スタート信号を外部に出力する第 1 信号発生回路と、第 1 クロック信号を外部に出力する第 2 信号発生回路と、ロード信号を外部に出力する第 3 信号発生回路と、周波数を有するソース映像信号を外部的に発生させるための発生手段と、前記第 1 クロック信号に相応するスタート信号を受信し、ラッチクロック信号を出力する m (整数) - ビットレジスタ回路と、それぞれ n (整数) - ビットデータを有する前記全ての映像信号を同時に受信し、ソース映像信号に当たる少なくとも 2 セットの 3 種の映像信号をラッチし出力するデータラッチ回路と、前記第 3 信号発生回路のロード信号に基づいて映像信号を格納及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチするラインラッチ回路と、ラインラッチの映像信号をアナログ信号に変換する D/A 変換回路と、D/A 変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と、を備え、前記第 1 クロック信号の周波数が、3 種の映像信号のセット数により、前記ソース映像信号の周波数に比べて減少されるようにすることを特徴とする液晶表示装置の駆動装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動装置に関するもので、特に液晶表示装置のデータドライバに関するものである。

20

【背景技術】

【0002】

一般的なアクティブマトリックス型 (Active Matrix) 液晶表示装置は、図 1 に示すように、ゲートライン ($G_1 \sim G_n$) 及びデータライン ($D_1 \sim D_n$) と、各画素をスイッチングする薄膜トランジスタと、画素電極とが配列されている下板と、色相を示すためのカラーフィルタ及び共通電極で構成される上板と、そして前記 2 枚の上下板の間に埋められている液晶で構成される液晶パネル 1 と、前記液晶パネル 1 の各ゲートライン ($G_1 \sim G_n$) に駆動信号を順次に印加するゲートドライバ 2 と、前記液晶パネル 1 の各データライン ($D_1 \sim D_n$) に映像データを印加するデータドライバ 3 とを備える。

30

【0003】

このように構成された一般的な液晶表示装置において、最近は液晶パネル 1 の大型化、高解像度化が指向されている。このように、大型化、高解像度化されていくと、液晶表示装置を駆動するために各ドライバ 2、3 の駆動周波数が高くなるが、このような高周波で直接駆動可能なドライバ IC の開発は難しい。又、直接可能なドライバ IC が開発されても、高周波 EMI の問題のため、直接駆動が不可能である。

【0004】

よって、図 2 に示すように、奇数ラインと偶数ラインとに分離して液晶パネル 1 の両側にデータドライバ 3 a, 3 b を形成し、駆動周波数を半減させたことがあった。しかし、図 2 のような液晶表示装置においては、ドライバが両側に形成されるため、液晶表示装置全体で実際に映像をディスプレイする液晶パネルの占める面積が相対的に狭くなり、これにより、大型画面を得るには限界があった。

40

【0005】

上述した従来の液晶表示装置の図 1 のデータドライバ 3 を添付図面に基づき説明する。

【0006】

図 3 は、従来の液晶表示装置のデータドライバの構成ブロック図である。

【0007】

従来の液晶表示装置のデータドライバは、ソーススタートパルス (SSP) をソースパルスクロック (SCL) によりシフトさせてラッチクロックを出力させる m ビットシフトレジスタ 11 と、ソースクロック (SCL) によりディスプレイデータの 3 種 ($DA(n)$, $DB(n)$, $DC(n)$) をラッチ (Latch) させて出力するデータラッチ部 12 と、反転 (Inversion) のた

50

めに外部の P O L 信号により水平区間ごとに極性を切り換えるライン変換ロジック (Line Conversion Logic) 1 4 と、前記シフトレジスタ 1 1 から出力されたラッチクロックにより前記データラッチ部 1 2 から出力された一水平ラインの全てのディスプレイデータを外部のロード (LOAD) 信号及び前記ライン変換ロジック 1 4 の出力によりライン別にラッチさせ貯蔵する $3m \times n$ ビットの 2 ラインラッチ部 1 3 と、前記ラインラッチ部 1 2 から出力されたデータを液晶に印加するアナログ信号に変換するために外部基準電圧により形成された $2n$ 個のレベルのうちの 1 つの電圧を選択して出力する D / A 変換器 1 5 と、前記 D / A 変換器 1 5 から出力される信号を十分な駆動能力と出力電圧偏差の少ない安定された電圧に増幅して液晶に印加するデータ出力回路 1 6 とを備える。

【0008】

10

このように構成された従来のデータドライバの動作について説明する。

【0009】

図 4 は、従来のデータドライバの動作タイミング図である。

【0010】

まず、シフトレジスタ 1 1 は、ソースクロック (SCL) とソーススタートパルス (SSP) を入力して m 個のラッチクロック (SR01, SR02, SR03, ..., SR0m) ($m=64$) を順次にラインラッチ部 1 3 へ出力する。ソースクロック (SCL) は、XGA で約 65MHz の周波数を有するクロック信号である。

【0011】

そして、データラッチ部 1 2 は、 n ビットディスプレイデータの 3 種 (DA(n), DB(n), D C(n)) を前記ソースクロック (SCL) の下降エッジにラッチさせてラインラッチ部 1 3 へ出力する。したがって、ラインラッチ部 1 3 は、前記ソースクロックの下降エッジにラッチされた n ビットディスプレイデータを前記シフトレジスタ 1 1 から出力されたラッチクロック (SR01, SR02, SR03, ..., SR0m) により $3m \times n$ ビットの 1 番目のラインラッチ部 1 3 a にラッチさせる。一ラインデータは一水平ラインのディスプレイデータを貯蔵した後に外部のロード (LOAD) 信号により一度に 2 番目のラインラッチ部 1 3 b へ貯蔵される。同時に次のラインデータはシフトレジスタ 1 1 から出力されたラッチクロック (SR01, SR02, SR03, ..., SR0m) により 1 番目のラインラッチ部にラッチされる。このような動作は繰り返し行われる。

20

【0012】

30

このようにラインラッチ部 1 3 により貯蔵されたラインデータは D / A 変換器 1 5 へ出力される。

【0013】

D / A 変換器 1 5 は、内部のデータで外部基準電圧 (VREF) により形成された $2n$ 個のレベルのうちの前記ラインラッチ部 1 3 から入力されたラインデータに相応する 1 つの電圧を選択して出力する。この際、外部の P O L 信号によりライン変換ロジック 1 4 はラインごとの極性を転換して反転を容易にする。

【0014】

前記 D / A 変換器 1 5 から選択されて出力されたアナログ信号はデータ出力回路 1 6 により十分な駆動能力と出力電圧偏差の少ない安定な電圧として液晶に印加されてディスプレイされる。

40

【発明の開示】

【発明が解決しようとする課題】

【0015】

しかし、このような従来のデータドライバにおいては、次のような問題点があった。

【0016】

最近の液晶表示装置の大画面・高解像度の傾向にしたがい、液晶ノートパーソナルコンピュータ、モニタなどの応用において、最大の難題は、解像度に応ずる高い動作周波数の問題 (XGA は 65MHz、EWS は 107MHz) であり、既存のデータドライバ IC の動作周波数は 5V 駆動時に 55MHz (3.3V 駆動時に 40MHz) であるため

50

、直接駆動が不可能である。又、直接駆動可能なドライバＩＣが開発されるとしても、高周波ＥＭＩの問題のため、直接駆動が不可能である。

【００１７】

一方、上記のような従来のデータドライバの外部にラインメモリを設け、データの２分割駆動、又はＩＣ別分割駆動を介して周波数を１／２に低くすることはできる。しかし、この場合にはラインメモリの使用により製品のコスト及び重量が増加する。したがって、消費電力及び体積も増加する。

【００１８】

本発明は、前述した問題点を解決するためのもので、その目的は、高周波で動作されることにより発生する問題点を解決し、メイン駆動周波数を減少させた液晶表示装置のデータドライバを提供することにある。

10

【課題を解決するための手段】

【００１９】

このような目的を達成するための本発明の液晶表示装置の駆動装置は、スタート信号を外部に出力する第１信号発生回路と；第１クロック信号を外部に出力する第２信号発生回路と；ロード信号を外部に出力する第３信号発生回路と；周波数を有するソース映像信号を外部に出力させるための発生手段と；そしてラッチクロック信号を出力し、前記第１クロック信号に相応するスタート信号を受信するための m （整数）-ビットレジスタ回路と、それぞれ n （整数）-ビットデータを有する前記全ての映像信号を同時に受信し、ソース映像信号に当たる少なくとも２セットの３種の映像信号をラッチし出力するデータラッチ回路と、前記第３信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチするラインラッチ回路と、ラインラッチの映像信号をアナログ信号に変換する D/A 変換回路と、 D/A 変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と；で構成され、前記第１クロック信号の周波数が３種の映像信号のセット数により前記ソース映像信号の周波数に比べて減少されるようにすることを特徴とする。

20

【００２０】

又、本発明の液晶表示装置の駆動装置は、ソーススタート信号を外部に出力する第１信号発生回路と；第１クロック信号を外部に出力する第２信号発生回路と；ロード信号を外部に出力する第３信号発生回路と；極性信号を外部に出力する第４信号発生回路と；そしてラッチクロック信号を出力し、前記第１クロック信号に相応する前記ソーススタート信号をシフティングする m （整数）-ビットレジスタ回路と、各映像信号は n （整数）-ビットデータを有し、各セットの映像信号は LCD の１つのピクセルを表示するようにした全ての映像信号を同時に受信し、少なくとも２セットの３種の映像信号をラッチし出力するデータラッチ回路と、前記第３信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記レジスタのラッチクロック信号に相応する前記データラッチ回路の映像信号をラッチする $3m \times n$ ラインラッチ回路と、データラッチから映像信号の極性を反転させる極性反転回路と、ラインラッチの映像信号をアナログ信号に変換する D/A 変換回路と、前記 D/A 変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と；で構成され、前記３種の映像信号のセット数により駆動装置の駆動周波数が減少されるようにすることを特徴とする。

30

40

【００２１】

又、本発明の液晶表示装置の駆動装置は、ソーススタート信号を外部に出力する第１信号発生回路と；第１クロック信号を外部に出力する第２信号発生回路と；ロード信号を外部に出力する第３信号発生回路と；極性信号を外部に出力する第４信号発生回路と；そして第１クロック信号に相応するソーススタート信号をシフティングさせ、サンプリングクロック信号を出力するレジスタ回路と、 LCD ピクセルにそれぞれ表れる全ての映像信号を同時に受信し、少なくとも２セットの３種の映像信号をサンプリングし出力するデータサンプリング回路と、前記第３信号発生回路のロード信号に基づいて映像信号を貯蔵及び出力し、前記シフトレジスタのラッチクロック信号に相応する前記データラッチの映像信

50

号をラッチし、前記第3信号発生回路のロード信号に相応する前記映像信号を貯蔵して出力する $3m \times n$ ラインラッチ回路と、データラッチから映像信号の極性を反転させる極性反転回路と、前記ラッチ回路の映像信号をアナログ信号に変換するD/A変換回路と、前記D/A変換回路からアナログ信号を出力させるデータ出力回路とを備えた単一集積回路と；で構成され、前記3種の映像信号の数により駆動装置の駆動周波数が減少されるようにすることを特徴とする。

【発明の効果】

【0022】

上述したような本発明の液晶表示装置の駆動装置は、次のような効果がある。

【0023】

すなわち、本発明の駆動装置はメイン駆動周波数を $1/2$ 又は $1/3$ にドライバ自体で低くすることにより、外部のメモリ及び回路を無くし、高周波EMI等に有利であるモジュールにより作ることができ、共にコストの節減、製品の目方及び体積の減少、消費電力の減少等の効果が得られる。

【0024】

又、ノートパーソナルコンピュータ及びモニタにXGA、EWS解像度をシングル、又はダブル構造で実現できる。

【発明を実施するための最良の形態】

【0025】

発明の実施の形態1．

以下、図面に基づき本発明の実施の形態1を説明する。

【0026】

図5は、データラインの奇数部分と偶数部分に印加されるデータを分離して並列に処理することによりデータドライバの動作周波数を半減させた実施の形態1のIC構造であり、図7は、その動作の波形である。なお、図5において、スタート信号(SSP)を外部に出力する第1信号発生回路と、第1クロック信号を外部に出力する第2信号発生回路と、ロード信号(LOAD)を外部に出力する第3信号発生回路と、周波数を有するソース映像信号を外部に出力させるための発生手段と、極性を有する信号を外部に出力するための第4信号発生回路と、データラッチから映像信号の極性を反転させる極性反転回路は図示が省略されている。また、3種の映像信号A-Cは、例えば、それぞれ各ピクセルのR、G、Bの値である。

【0027】

mビットのシフトレジスタ21には、周波数の $1/2$ のソースクロック(SCL)が印加され、このソースクロックとソーススタートパルス(SSP)によりラッチパルス(図7のSR01, SR02, ...)を発生する。又、ドライバICの外部で奇数、偶数に分離されたデータは、第1データラッチ部22と第2データラッチ部23にそれぞれラッチされる。そして、第1、第2ラッチ部22、23にラッチされたnビット奇数データの3種と偶数データの3種はシフトレジスタ27のラッチパルスにより $3m \times n$ ビットの奇数ラインの第1ラッチ25aと偶数ラインの第1ラッチ26aにそれぞれラッチされる。

【0028】

第1ラッチライン25a、26aに貯蔵された一水平ラインのディスプレイデータは、ロード信号の1度で、奇数と偶数の第2ラインラッチ25b、26bに貯蔵されると共に次のラインのデータはシフトレジスタのラッチパルスにより第1ラインラッチ25a、26aに順次にラッチされる。奇数と偶数の第2ラインラッチ25b、26bに貯蔵されたラインデータはそれぞれのD/A変換器27、28により2つの基準電圧の中で該電圧を選択するようになる。

【0029】

この際、ライン変換ロジック24は、電圧の極性を切換って反転(Inversion)を容易にする。選択された基準電圧は、データ出力回路29、30を介して十分な駆動能力と出力電圧偏差の少ない安定された電圧として液晶に印加される。

10

20

30

40

50

【 0 0 3 0 】

一方、上記の実施の形態において、データを到着する順序どおりに第 1、第 2 ラッチ部 2 2、2 3 に貯蔵させて動作させ、2 つのデータ出力回路 2 9、3 0 の出力端子を 3 個ずつ交互に液晶パネルのデータラインと連結させる方法もある。

【 0 0 3 1 】

発明の実施の形態 2、図 6 は、本発明の実施の形態 2 である。

【 0 0 3 2 】

実施の形態 1 では、データを奇数と偶数と分離したが、本実施の形態では、3 つのデータラッチ部 3 2、3 3、3 4 を設け、第 1 データラインのデータは第 1 ラッチ部 3 2 に、第 2 データラインのデータは第 2 ラッチ部 3 3 に、第 3 データラインのデータは第 3 ラッチ部 3 4 に印加し、第 4 データライン、第 5 データライン、第 6 データラインのデータを再び第 1、第 2、第 3 ラッチ部にそれぞれ印加する方法でデータを分離する。 10

【 0 0 3 3 】

又、シフトレジスタ 3 1 には並列駆動しない場合の 1 / 3 の周波数を印加することにより、結局、データドライバ IC の動作周波数を 1 / 3 に減少させ得る。

【 0 0 3 4 】

その以外の動作は、実施の形態 1 と同様である。

【 0 0 3 5 】

上記の発明の実施の形態 1、2 は、データドライバを液晶パネルの一方にのみ取り付けただけであるが、このようなドライバを図 2 に示すようにダブル構造に形成すると、メイン駆動周波数を 2 倍も減少させ得る。 20

【 図面の簡単な説明 】

【 0 0 3 6 】

【図 1】一般的な液晶表示装置の構成ブロック図。

【図 2】一般的なダブルドライバを有する液晶表示装置の構成ブロック図。

【図 3】従来の液晶表示装置のデータドライバの構成ブロック図。

【図 4】図 3 のドライバの動作タイミング図。

【図 5】本発明の実施の形態 1 の液晶表示装置のデータドライバの構成ブロック図。

【図 6】本発明の実施の形態 2 の液晶表示装置のデータドライバの構成ブロック図。

【図 7】本発明の実施の形態 1 のドライバの動作タイミング図。 30

【 符号の説明 】

【 0 0 3 7 】

2 1、3 1 シフトレジスタ

2 2、2 3、3 2、3 3、3 4 データラッチ部

2 4、3 5 ライン変換ロジック

2 5、2 6、3 6、3 7、3 8 ラインラッチ部

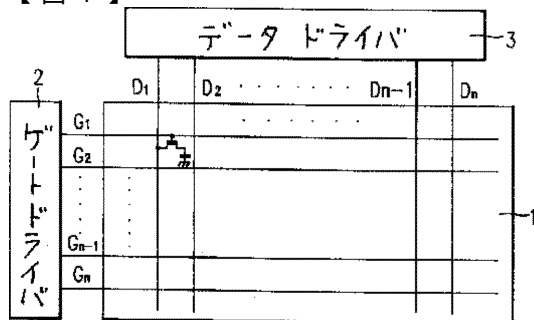
2 5 a、2 5 b、2 6 a、2 6 b、3 6 a、3 6 b、3 7 a、3 7 b、3 8 a、3 8 b

ラインメモリ

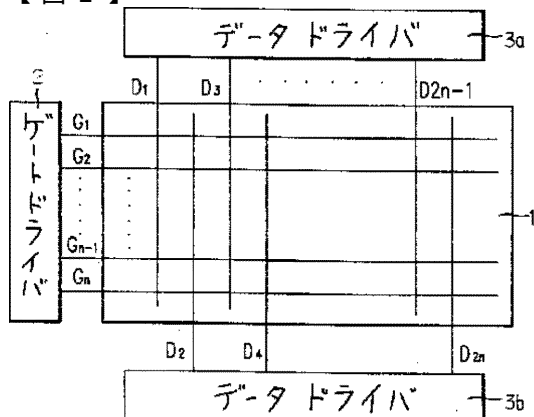
2 7、2 8、3 9、4 0、4 1 D / A 変換器

2 9、3 0、4 2、4 3、4 4 データ出力回路 40

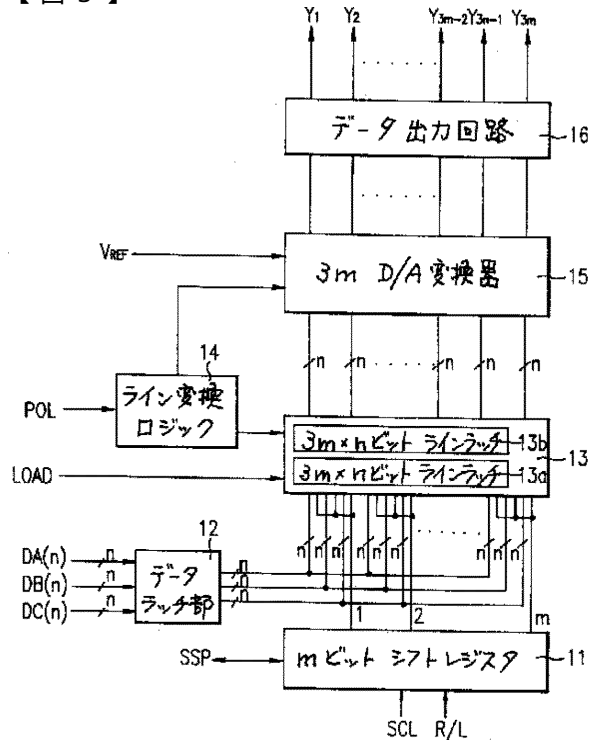
【 図 1 】



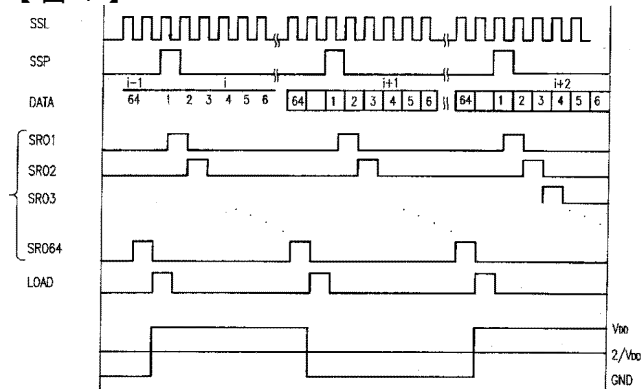
【 図 2 】



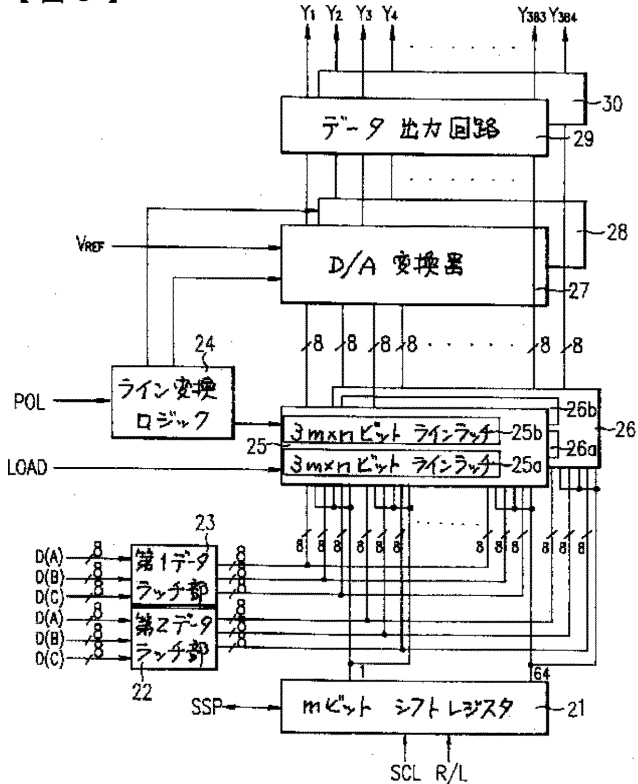
【圖 3】



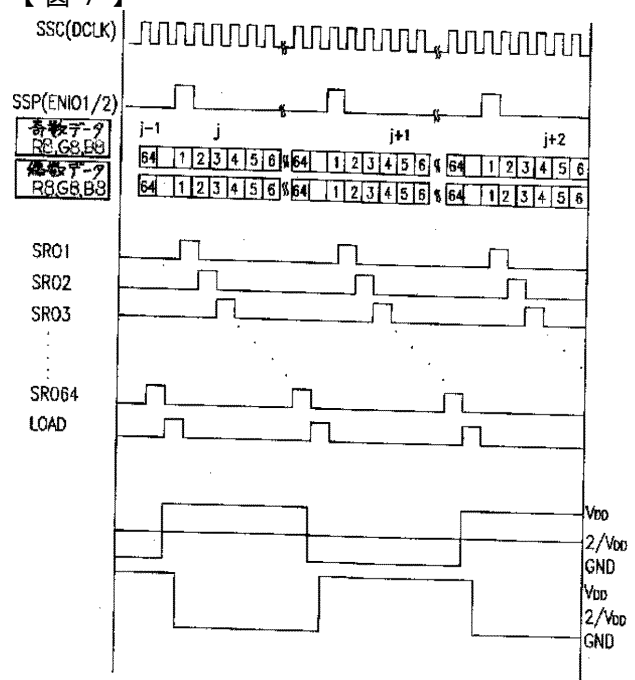
【 図 4 】



【 図 5 】



【 圖 7 】



【請求項 1】

該第1の奇数ラインラッチと第1の偶数ラインラッチのそれぞれは、該シフトレジスタからのラッチクロックパルスの各々に応答し、該ラッチ部に保持されている奇数ライン画素データと偶数ライン画素データを同時にラッチして、一水平走査期間にm個の奇数ライン画

素データと m 個の偶数ライン画素データを順次保持するようにしており、

m 個の奇数ライン画素データを保持する第2の奇数ラインラッチ (25b) と m 個の偶数ライン画素データを保持する第2の偶数ラインラッチ (26b)、

該第2の奇数ラインラッチと第2の偶数ラインラッチのそれぞれは、一水平期間毎にロード信号 (LOAD) に応答して、該第1の奇数ラインラッチに保持されている画素データの全て及び該第1の偶数ラインラッチに保持されている画素データの全てを同時にラッチしており、

一水平期間毎に、該第2の奇数ラインラッチ及び該第2の偶数ラインラッチに保持されているデジタルな画素データの各々全てを同時に変換して、該液晶パネルの奇数ライン ($Y_1, Y_3 \dots Y_{384}$) と偶数ライン ($Y_2, Y_4 \dots Y_{384}$) に与えているD/A変換器 (27) とからなるものである、液晶表示装置。

【請求項2】

$k \times m$ 個のラインを含むアクティブマトリックス型液晶パネルと該液晶パネルの一方の側面に配置された液晶パネル駆動装置とからなる液晶表示装置において、該駆動装置は一水平走査期間の初めに発生されたスタートパルス (SSP) をクロックパルスによりシフトして、該一走査期間に、クロックパルス間隔だけシフトした m 個のラッチクロックパルスを生成するシフトレジスタ (31)、

デジタルな画素データの系列における連続する i 番目ライン画素データ、 $i+1$ 番目ライン画素データ、-----、及び $i+(k-1)$ 番目ライン画素データの k 個の画素データを同時的に一時保持するラッチ部 (32, 33, 34)、

一水平期間における m 個の i 番目ライン画素データの各々を保持する第1の i 番目ラインラッチ (36a)、一水平期間における m 個の $i+1$ 番目ライン画素データの各々を保持する第1の $i+1$ 番目ラインラッチ (37a)、-----、及び一水平期間における m 個の $i+(k-1)$ 番目ライン画素データの各々を保持する第1の $i+(k-1)$ 番目ラインラッチ (38a)、

該第1の i 番目ラインラッチ～第1の $i+(k-1)$ 番目ラインラッチのそれぞれは、該シフトレジスタからのラッチクロックパルスの各々に応答し、該ラッチ部に保持されている i 番目ライン画素データ～ $i+(k-1)$ 番目ライン画素データを同時にラッチして、一水平走査期間に m 個の i 番目ライン画素データと m 個の $i+(k-1)$ 番目ライン画素データを順次保持するようにしており、

m 個のライン画素データを保持する第2の i 番目ラインラッチ (36b) と m 個の $i+1$ 番目ライン画素データを保持する第2の $i+1$ 番目ラインラッチ (37b)、-----、 m 個の $i+(k-1)$ 番目ライン画素データを保持する第2の $i+(k-1)$ 番目ラッチ (38b)、

該第2の i 番目ラインラッチ～第2の $i+(k-1)$ 番目ラインラッチのそれぞれは、一水平期間毎にロード信号 (LOAD) に応答して、該第1の i 番目ラインラッチに保持されている画素データの全て～該第1の $i+(k-1)$ 番目ラインラッチに保持されている画素データの全てを同時にラッチしており、

一水平期間毎に、該第2の i 番目ラインラッチ～該第2の $i+(k-1)$ 番目ラインラッチに保持されているデジタルな画素データの各々全てを同時に変換して、該液晶パネルの i 番目ライン～ $i+(k-1)$ 番目ラインに与えているD/A変換器 (39) とからなるものである、液晶表示装置。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 4 1 C
G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 5 0

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(72)発明者 ヨン ヒ ギュン

大韓民国 ソウル ドボン - グ ドボン - ドン 5 6 8 - 4 3

F ターム(参考) 2H093 NA16 NA43 NB07 NC16 NC22 NC26 NC34 ND34 ND39 ND40

ND54 ND60

5C006 AA16 AF83 BB16 BC16 BF03 BF04 BF25 FA32 FA48

5C080 AA10 BB05 DD27 EE29 FF11 JJ02 JJ04

专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	JP2006350378A	公开(公告)日	2006-12-28
申请号	JP2006225135	申请日	2006-08-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	ヨンヒギユン		
发明人	ヨン ヒ ギユン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.611.C G09G3/20.611.G G09G3/20.623.B G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.641.C G02F1/133.505 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NB07 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND34 2H093/ND39 2H093/ND40 2H093/ND54 2H093/ND60 5C006/AA16 5C006/AF83 5C006/BB16 5C006/BC16 5C006/BF03 5C006/BF04 5C006/BF25 5C006/FA32 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZF37		
代理人(译)	臼井伸一 朝日 伸光		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶显示装置的数据驱动器，其解决了由高频操作引起的问题并降低了主驱动频率。一种m（整数）位寄存器电路，用于输出锁存时钟信号并用于接收对应于第一时钟信号的起始信号，以及m（整数）位寄存器电路，用于输出所有视频信号数据锁存电路22和23，用于锁存和输出对应于源视频信号的至少两组三种视频信号，并根据第三信号发生电路的负载信号存储和输出视频信号，用于锁存数据的视频信号的线锁存电路25锁存对应于寄存器，视频信号线锁存器和d的锁存时钟信号电路/A转换电路27，其从d的模拟信号转换/A转换器以及用于输出模拟信号的数据输出电路29。点域5

