

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-316137

(P2005-316137A)

(43) 公開日 平成17年11月10日(2005.11.10)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H093
G02F 1/133	G02F 1/133 520	5C006
G09G 3/20	G02F 1/133 525	5C080
	G02F 1/133 550	
	G09G 3/20 611E	
審査請求 未請求 請求項の数 3 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2004-134106 (P2004-134106)
 (22) 出願日 平成16年4月28日 (2004.4.28)

(71) 出願人 000103747
 オプトレックス株式会社
 東京都荒川区東日暮里五丁目7番18号
 (74) 代理人 100103090
 弁理士 岩壁 冬樹
 (74) 代理人 100124501
 弁理士 塩川 誠人
 (72) 発明者 一色 眞誠
 東京都荒川区東日暮里5丁目7番18号
 オプトレックス株式会社内
 Fターム(参考) 2H093 NA16 NA31 NA43 NC03 NC18
 NC21 NC34 NC49 NC65 ND35
 ND49 ND58 NE03
 5C006 AC25 BB16 BC06 BF25 BF42
 BF43 FA23 FA43 GA02
 最終頁に続く

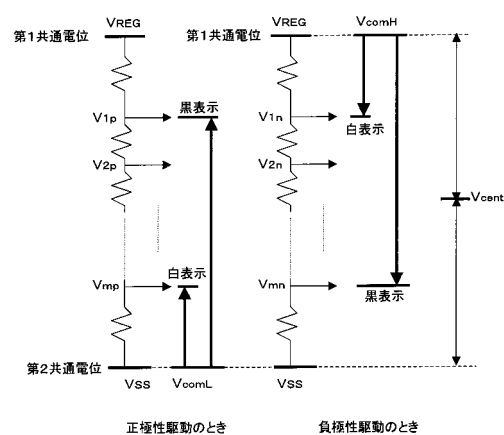
(54) 【発明の名称】 液晶表示装置用電源回路

(57) 【要約】

【課題】 V_{comH} と V_{comL} の中間電位を理想的な中間電位からずれにくくし、また、液晶表示装置用電源回路の部品点数を少なくする。

【解決手段】 正極性駆動のときに共通電極に設定される電位を V_{comL} とし、負極性駆動のときに共通電極に設定される電位を V_{comH} とする。また、電位差を分圧してソース配線に設定する電位を生成するための二種類の所定電位を、それぞれ V_{REG} および V_{SS} とする。このとき、 V_{REG} と V_{comH} とを等電位とし、その共通電位を一つの電位出力部から出力する。また、 V_{SS} と V_{comL} とを等電位とし、その共通電位を一つの電位出力部から出力する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

ソースおよびドレイン間を導通状態または非導通状態に切り替えるスイッチング素子と、スイッチング素子のドレインに接続される画素電極と、スイッチング素子のソースに接続されるソース配線と、画素電極に対向するコモン電極と、コモン電極と画素電極間に挟持される液晶とを備え、スイッチング素子のソースおよびドレイン間が導通状態から非導通状態に切り替えられた後における前記ドレインに接続された画素電極の電位がコモン電極の電位以上となる第 1 駆動状態と、スイッチング素子のソースおよびドレイン間が導通状態から非導通状態に切り替えられた後における前記ドレインに接続された画素電極の電位がコモン電極の電位以下となる第 2 駆動状態とを切替可能であり、第 1 駆動状態と第 2 駆動状態とでコモン電極に異なる電位が設定される液晶表示装置に適用される液晶表示装置用電源回路であって、

10

電位差を分圧してソース配線に設定する電位を生成するための二種類の所定電位のうち高い方の電位を V_{REG} とし、第 2 駆動状態でのコモン電極の電位を V_{COMH} としたときに、電位 V_{REG} と電位 V_{COMH} とを等電位として出力する高電位出力部を一つ備えた

ことを特徴とする液晶表示装置用電源回路。

【請求項 2】

電位差を分圧してソース配線に設定する電位を生成するための二種類の所定電位のうち低い方の電位を V_{SSL} とし、第 1 駆動状態でのコモン電極の電位を V_{COML} としたときに、電位 V_{SSL} と電位 V_{COML} とを等電位として出力する低電位出力部を一つ備えた

20

請求項 1 に記載の液晶表示装置用電源回路。

【請求項 3】

高電位出力部の出力電位と低電位出力部の出力電位との電位差を分圧して、第 1 駆動状態のときにソース配線に設定される複数種類の電位を生成する第 1 の抵抗群と、

高電位出力部の出力電位と低電位出力部の出力電位との電位差を分圧して、第 2 駆動状態のときにソース配線に設定される複数種類の電位を生成する第 2 の抵抗群とを備え、

第 1 の抵抗群による分圧で生成される複数種類の電位のうち最も低い電位と低電位出力部の出力電位との電位差を V_j とし、第 2 の抵抗群による分圧で生成される複数種類の電位のうち最も高い電位と高電位出力部の出力電位との電位差を V_k とし、スイッチング素子のソースおよびドレイン間を導通状態から非導通状態に切り替えたときにおける画素電極の電位低下量であるフィードスルー電圧を V_f としたときに、

30

$$V_j = V_k + 2 \cdot V_f$$

を満足する

請求項 2 に記載の液晶表示装置用電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置用電源回路に関し、特に、アクティブ素子を用いた液晶表示装置に適用される液晶表示装置用電源回路に関する。

40

【背景技術】

【0002】

以下の説明において、電圧や電位を V_{REG} 等の記号で示す場合があるが、記号で示された電圧や電位の単位は V (ボルト) であるものとし、単位の表記は省略する。

【0003】

TFT (Thin Film Transistor) を用いた液晶表示装置 (以下、TFT 液晶表示装置と記す。) では、画素毎に画素電極および TFT が設けられる。また、各画素電極に対向するように 1 枚のコモン電極が設けられ、コモン電極と各画素電極との間に液晶が配置される。画素電極は、TFT のドレインに接続される。また、TFT のソースはソース配線に接続され、TFT のゲートはゲート配線に接続される。ゲート配線を介してゲートがオン

50

電位に設定されると、ソースとドレインとの間が導通状態となり、画素電極がソース配線と等しい電位に設定される。ゲートの電位がオフ電位に設定されると、ソースとドレインとの間が非導通状態となり、ソース配線と画素電極の間も非導通状態に切り替えられる。オン電位とは、ソースとドレインとの間を導通状態にするためのゲートの所定電位である。オフ電位とは、ソースとドレインとの間を非導通状態にするためのゲートの所定電位である。以下、オン電位を V_{GH} と表し、オフ電位を V_{GL} と表すことにする。なお、 $V_{GL} < V_{GH}$ の関係が成立する。

【0004】

各画素（画素電極およびTFT）は、例えばマトリクス状に配置され、各ゲート配線は行毎に、1行におけるそれぞれのTFTのゲートに接続される。そして、各ソース配線は列毎に、1列におけるそれぞれのTFTのソースに接続される。画像を表示する場合には、ゲート配線を順次選択しながら走査し、選択したゲート配線の電位を V_{GH} に設定する。選択した行の選択期間中、選択したゲート配線に対応する1行分の各画素の画像データに応じて、各ソース配線の電位を設定する。この結果、選択したゲート配線に対応する1行分の各画素電極と、コモン電極との間に、画像データに応じた電圧が印加される。以降、同様にゲート配線を順次選択していくことにより、1画面分の画像が表示される。

10

【0005】

TFTのように、画素電極とソース配線との間を導通状態または非導通状態に切り替えるスイッチング素子をアクティブ素子という。

【0006】

スイッチング素子のソースおよびドレイン間が導通状態から非導通状態に切り替えられた後におけるそのドレインに接続された画素電極の電位がコモン電極の電位以上となるように駆動している状態を正極性駆動と呼ぶことにする。従って、ゲート配線を選択しながら走査しているときに、選択したゲート配線に接続される各ゲートを V_{GH} から V_{GL} に切り替えた後における選択行の各画素電極の電位がコモン電極の電位以上になるように駆動している状態は、正極性駆動である。一方、スイッチング素子のソースおよびドレイン間が導通状態から非導通状態に切り替えられた後における前記ドレインに接続された画素電極の電位がコモン電極の電位以下となるように駆動している状態を負極性駆動と呼ぶことにする。従って、ゲート配線を選択しながら走査しているときに、選択したゲート配線に接続される各ゲートを V_{GH} から V_{GL} に切り替えた後における選択行の各画素電極の電位がコモン電極の電位以下になるように駆動している状態は、負極性駆動である。

20

30

【0007】

なお、スイッチング素子のソースおよびドレイン間を導通状態から非導通状態に切り替えたときにおける画素電極の電位低下量であるフィードスルー電圧を考慮すると、負極性駆動の場合には、ソースおよびドレイン間が導通状態のときに画素電極電位がコモン電極電位以上となる場合もあり得る。そこで、ソースおよびドレイン間が導通状態から非導通状態に切り替えられた後における画素電極電位とコモン電極電位との高低関係によって、正極性駆動および負極性駆動を規定した。

【0008】

コモン電極の電位は、正極性駆動のときには V_{comL} に設定され、負極性駆動のときには V_{comH} に設定される。ただし、 $V_{comH} > V_{comL}$ の関係が成立する。

40

【0009】

また、ソース配線に設定される電位は、二種類の所定電位の電位差を分圧することによって生成される。この二種類の所定電位のうち高い方の電位を V_{REG} とし、低い方の電位を V_{SS} とする。電位 V_{SS} としては、接地電位（0V）が用いられることが多い。以下、電位 V_{SS} が接地電位である場合を例にして説明する。

【0010】

図10は、従来、TFT液晶表示装置の駆動に用いられていた各電位の高低関係の例を示す説明図である。図10に示すように、 $V_{GL} < V_{GH}$ 、 $V_{comL} < V_{comH}$ 、 $V_{SS} < V_{REG}$ 等の関係が成立する。なお、図10に示す V_{CL} は、電位 V_{comL} を生

50

成するための $V_{c o m L}$ 用電源の出力電位である。また、後述するように、 $V_{R E G}$ 、 $V_{c o m H}$ 、 $V_{c o m L}$ の出力部としてそれぞれ演算増幅器（以下、オペアンプと記す。）が設けられる。図 10 に示す $V_{D H}$ は、オペアンプの電源電圧である。

【0011】

図 11 は、各電位 $V_{R E G}$ 、 $V_{S S}$ 、 $V_{c o m H}$ および $V_{c o m L}$ を生成する従来の液晶表示装置用電源回路の構成例を示す説明図である。オペアンプ 101 は、ボルテージフォロワ接続され、電位 $V_{R E G}$ を入力され、電位 $V_{R E G}$ を出力する。すなわち、オペアンプ 101 は、電位 $V_{R E G}$ の出力部である。オペアンプ 101 の出力端には $V_{R E G}$ 用配線 104 が接続され、 $V_{R E G}$ 用配線 104 の電位は $V_{R E G}$ に設定される。オペアンプ 101 の出力端は、端子 102 を介して平滑コンデンサ 103 に接続される。同様に、オペアンプ 111 は、ボルテージフォロワ接続され、電位 $V_{c o m H}$ を入力され、電位 $V_{c o m H}$ を出力する。すなわち、オペアンプ 111 は、電位 $V_{c o m H}$ の出力部である。オペアンプ 111 の出力端には $V_{c o m H}$ 用配線 114 が接続され、 $V_{c o m H}$ 用配線 114 の電位は $V_{c o m H}$ に設定される。オペアンプ 111 の出力端は、端子 112 を介して平滑コンデンサ 113 に接続される。また、オペアンプ 121 は、ボルテージフォロワ接続され、電位 $V_{c o m L}$ を入力され、電位 $V_{c o m L}$ を出力する。すなわち、オペアンプ 121 は、電位 $V_{c o m L}$ の出力部である。オペアンプ 121 の出力端には $V_{c o m L}$ 用配線 124 が接続され、 $V_{c o m L}$ 用配線 124 の電位は $V_{c o m L}$ に設定される。オペアンプ 121 の出力端は、端子 122 を介して平滑コンデンサ 123 に接続される。

10

【0012】

また、端子 131 は接地されるとともに、端子 131 には $V_{S S}$ 用配線 133 が接続される。従って、 $V_{S S}$ 用配線 133 の電位は $V_{S S}$ に設定される。

20

【0013】

各平滑コンデンサ 103、113、123 の一方の電極は接地され、他方の電極はそれぞれ対応する端子 102、112、122 に接続される。各オペアンプ 101、111、121 の出力端が、それぞれ端子 102、112、122 を介して平滑コンデンサ 103、113、123 に接続されていることにより、各オペアンプ 101、111、121 の出力電位は安定する。

【0014】

$V_{R E G}$ 用配線 104 の電位 $V_{R E G}$ と、 $V_{S S}$ 用配線 133 の電位 $V_{S S}$ との電位差が分圧され、その結果生成された電位がソース配線に設定される。

30

【0015】

なお、図 11 において、前述の $V_{c o m L}$ 用電源（電位 $V_{c L}$ を出力する電源）の図示は省略している。また、この $V_{c o m L}$ 用電源の出力端にも平滑コンデンサが設けられる。

【0016】

また、従来の液晶表示装置用電源回路の構成として、電位 $V_{S S}$ と電位 $V_{c o m L}$ とを共通化した構成も知られている（例えば、非特許文献 1 参照）。このような液晶表示装置用電源回路では、図 11 に示す配線 133 に設定される電位を $V_{S S}$ としても、正極性駆動の際のコモン電極電位 $V_{c o m L}$ としても使用する。この構成の場合、図 11 に示すオペアンプ 121、端子 122、 $V_{c o m L}$ 用配線 124 および平滑コンデンサ 123 を備えていなくてよい。また、前述の $V_{c o m L}$ 用電源（図示せず。）や $V_{c o m L}$ 用電源に設けられる平滑コンデンサも設ける必要がない。

40

【0017】

図 12 は、コモン電極および画素電極に設定される理想的な電位の一例を示す説明図である。以下の説明では、ノーマリホワイトの TFT 液晶表示装置を例に説明する。ただし、ここでは説明を簡略化するため、フィードスルー電圧は考慮せずに説明する。

【0018】

電位 $V_{R E G}$ と電位 $V_{S S}$ との電位差は、抵抗 140_a 、 140_b 、 140_c 、 140_d 等によって分圧され、正極性駆動のときにソース配線に設定される電位 $V_{1 p}$ 、 $V_{2 p}$

50

, \dots , V_{m_p} が生成される。電位 $V_{1_p} \sim V_{m_p}$ のうち最も高い電位を V_{1_p} とし、最も低い電位を V_{m_p} とする。また、電位 V_{REG} と電位 V_{SS} との電位差は、抵抗 141_a , 141_b , 141_c , 141_d 等によって分圧され、負極性駆動のときにソース配線に設定される電位 V_{1_n} , V_{2_n} , \dots , V_{m_n} が生成される。電位 $V_{1_n} \sim V_{m_n}$ のうち最も高い電位を V_{1_n} とし、最も低い電位を V_{m_n} とする。

【0019】

正極性駆動のときには、コモン電極の電位が V_{comL} に設定される。そして、白表示とする画素の画素電極に接続されるソース配線の電位は V_{m_p} に設定され、その画素電極の電位も V_{m_p} にされる。また、黒表示とする画素の画素電極に接続されるソース配線の電位は V_{1_p} に設定され、その画素電極の電位も V_{1_p} にされる。画素電極の電位が V_{1_p} , V_{m_p} 以外の電位（例えば V_{2_p} 等）に設定された場合には、中間調表示となる。

10

【0020】

負極性駆動のときには、コモン電極の電位が V_{comH} に設定される。そして、白表示とする画素の画素電極に接続されるソース配線の電位は V_{1_n} に設定され、その画素電極の電位も V_{1_n} にされる。また、黒表示とする画素の画素電極に接続されるソース配線の電位は V_{m_n} に設定され、その画素電極の電位も V_{m_n} にされる。画素電極の電位が V_{1_n} , V_{m_n} 以外の電位（例えば V_{2_n} 等）に設定された場合には、中間調表示となる。

【0021】

$V_{m_p} - V_{comL} = V_{comH} - V_{1_n}$ という関係と、 $V_{1_p} - V_{comL} = V_{comH} - V_{m_n}$ という関係が成立している状態が理想的な状態である。また、この理想的な状態における V_{comH} と V_{comL} の中間電位を V_{cent} とする。なお、 $V_{m_p} - V_{comL} = V_{comH} - V_{1_n}$ が成立しているということは、正極性駆動のときに白表示とする画素に印加する電圧と、負極性駆動のときに白表示とする画素に印加する電圧とが等しいということの意味する。同様に、 $V_{1_p} - V_{comL} = V_{comH} - V_{m_n}$ が成立しているということは、正極性駆動のときに黒表示とする画素に印加する電圧と、負極性駆動のときに黒表示とする画素に印加する電圧とが等しいということの意味する。また、これらの関係が成立していないということは、正極性駆動のときと負極性駆動のときとで、白表示または黒表示とする画素への印加電圧にずれが生じていることを意味する。

20

【0022】

【非特許文献1】Goohyung Chung, “S6D0110”, 第15ページ、第37ページ、
[online]、2002年7月9日、Samsung Electronics Corporation, Ltd., [平成16年4月21日検索]、インターネット<URL: http://www.samsung.com/Products/Semiconductor/SystemLSI/DDI/MobileDDI/MobileTFT/S6D0110/ds_s6d0110_r05.pdf>

30

【発明の開示】

【発明が解決しようとする課題】

【0023】

図11に示す従来の構成において、電位 V_{REG} 、 V_{comH} および V_{comL} は、それぞれ異なるオペアンプから出力される電位である。オペアンプの出力電位は、個々のオペアンプの特性により同一にならない場合がある。例えば、図11に示す構成の液晶表示装置用電源回路を複数製造した場合であっても、オペアンプ111の出力電位は同一になるとは限らず、液晶表示装置用電源回路毎に出力される電位 V_{comH} が異なる場合が生じ得る。ここではオペアンプ111を例に説明したが、他のオペアンプ101やオペアンプ121の出力電位も液晶表示装置用電源回路毎に異なり、その結果、出力される電位 V_{REG} や電位 V_{comL} も液晶表示装置用電源回路毎に異なる場合が生じ得る。オペアンプの出力電位は、 ± 300 mV程度ばらつく場合がある。

40

【0024】

このようにオペアンプの出力電位にばらつきが生じると、電位 V_{comH} と電位 V_{comL} の中間電位が、理想的な状態での中間電位 V_{cent} からずれてしまう。図13は、オペアンプ111（図11参照）の出力電位のばらつきにより、電位 V_{comH} が図12に示す理想的な状態よりも低下した状態を示している。この場合、電位 V_{comH} の低下

50

に伴い、電位 V_{comH} と電位 V_{comL} の中間電位は、理想的な中間電位 V_{cent} よりも低くなる。また、 $V_{mp} - V_{comL} = V_{comH} - V_{1n}$ および $V_{1p} - V_{comL} = V_{comH} - V_{mn}$ という関係が成立しなくなる。図13では、電位 V_{comH} がばらついた場合を示したが、電位 V_{comL} がばらついた場合にも同様の結果となる。すなわち、電位 V_{comL} のばらつきにより、電位 V_{comL} が図12に示す理想的な状態よりも上昇したり低下したりした場合、電位 V_{comH} と電位 V_{comL} の中間電位は、理想的な中間電位 V_{cent} からずれてしまう。また、 $V_{mp} - V_{comL} = V_{comH} - V_{1n}$ および $V_{1p} - V_{comL} = V_{comH} - V_{mn}$ という関係が成立しなくなる。

【0025】

また、電位 V_{REG} がばらつきにより上昇または低下した場合にも、図12に示す理想的な状態でなくなってしまう。電位 V_{REG} が上昇または低下すると、 V_{1p} , V_{2p} , \dots , V_{mp} の各電位および V_{1n} , V_{2n} , \dots , V_{mn} の各電位も上昇または低下する。その結果、 $V_{mp} - V_{comL} = V_{comH} - V_{1n}$ および $V_{1p} - V_{comL} = V_{comH} - V_{mn}$ という関係が成立しなくなる。従って、電位 V_{comH} と電位 V_{comL} の中間電位は、理想的な中間電位 V_{cent} からずれた状態となる。

10

【0026】

電位 V_{comL} と電位 V_{comH} の中間電位が、図12に示す理想的な中間電位 V_{cent} からずれると、液晶表示装置の表示品位が低下してしまう。例えば、フリッカが生じてしまう。また、液晶表示装置が動いたり、観察者の視点が動いたりしたときに、横方向の筋が観察されてしまうという現象が生じる。このような表示品位の低下は、 V_{comH} と V_{comL} の中間電位と、理想的な状態における V_{comH} と V_{comL} の中間電位 V_{cent} とのずれが $\pm 100mV$ 以上になると発生する。

20

【0027】

このような問題を解決するために、個々の液晶表示装置用電源回路毎にオペアンプの出力電位のばらつきを調整していた。図14は、電位 V_{comH} のばらつきを調整する方法の一例を示す説明図である。図14に示すように、抵抗 150_a , 150_b によって、電位 V_{REG} と接地電位 ($0V$) との電位差を分圧し、分圧によって得られる電位を端子115を介して、オペアンプ111に入力する。そして、液晶表示装置用電源回路毎に、分圧によって得る電位を調整することによって、オペアンプ111の出力電位が同一になるようにしていた。

30

【0028】

しかし、図14のような調整を行うと、液晶表示装置用電源回路の部品点数が増加してしまう。また、携帯型電子機器の表示部として用いられる液晶表示装置では部品点数の削減が求められている。

【0029】

そこで、本発明は、 V_{comH} と V_{comL} の中間電位が理想的な中間電位からずれにくい液晶表示装置用電源回路を提供することを目的とする。また、少ない部品点数で実現することができる液晶表示装置用電源回路を提供することを目的とする。

【課題を解決するための手段】

【0030】

本発明による態様1は、ソースおよびドレイン間を導通状態または非導通状態に切り替えるスイッチング素子と、スイッチング素子のドレインに接続される画素電極と、スイッチング素子のソースに接続されるソース配線と、画素電極に対向するコモン電極と、コモン電極と画素電極間に挟持される液晶とを備え、スイッチング素子のソースおよびドレイン間が導通状態から非導通状態に切り替えられた後におけるそのドレインに接続された画素電極の電位がコモン電極の電位以上となる第1駆動状態と、スイッチング素子のソースおよびドレイン間が導通状態から非導通状態に切り替えられた後におけるそのドレインに接続された画素電極の電位がコモン電極の電位以下となる第2駆動状態とを切替可能であり、第1駆動状態と第2駆動状態とでコモン電極に異なる電位が設定される液晶表示装置に適用される液晶表示装置用電源回路であって、電位差を分圧してソース配線に設定する

40

50

電位を生成するための二種類の所定電位のうち高い方の電位を V_{REG} とし、第2駆動状態でのコモン電極の電位を V_{comH} としたときに、電位 V_{REG} と電位 V_{comH} とを等電位として出力する高電位出力部を一つ備えたことを特徴とする液晶表示装置用電源回路を提供する。

【0031】

本発明による態様2は、態様1において、電位差を分圧してソース配線に設定する電位を生成するための二種類の所定電位のうち低い方の電位を V_{SS} とし、第1駆動状態でのコモン電極の電位を V_{comL} としたときに、電位 V_{SS} と電位 V_{comL} とを等電位として出力する低電位出力部を一つ備えた液晶表示装置用電源回路を提供する。態様2によれば、 V_{comH} と V_{comL} の中間電位を理想的な中間電位とすることができ、表示品位の低下を防止することができる。また、部品点数をより少なくすることができる。

10

【0032】

本発明による態様3は、態様2において、高電位出力部の出力電位と低電位出力部の出力電位との電位差を分圧して、第1駆動状態のときにソース配線に設定される複数種類の電位を生成する第1の抵抗群と、高電位出力部の出力電位と低電位出力部の出力電位との電位差を分圧して、第2駆動状態のときにソース配線に設定される複数種類の電位を生成する第2の抵抗群とを備え、第1の抵抗群による分圧で生成される複数種類の電位のうち最も低い電位と低電位出力部の出力電位との電位差を V_j とし、第2の抵抗群による分圧で生成される複数種類の電位のうち最も高い電位と高電位出力部の出力電位との電位差を V_k とし、スイッチング素子のソースおよびドレイン間を導通状態から非導通状態に切り替えたときにおける画素電極の電位低下量であるフィードスルー電圧を V_f としたときに、 $V_j = V_k + 2 \cdot V_f$ を満足する液晶表示装置用電源回路を提供する。態様3によれば、フィードスルー電圧が生じる場合であっても、第1駆動状態のときと第2駆動状態のときとで、画素を白色にするために液晶に印加する電圧を等しくすることができる。

20

【発明の効果】

【0033】

本発明によれば、 V_{comH} と V_{comL} の中間電位を理想的な中間電位からずれにくくし、表示品位を低下しにくくすることができる。また、部品点数を少なくすることができる。

【発明を実施するための最良の形態】

30

【0034】

以下、本発明を実施するための最良の形態を、図面を参照して説明する。以下の説明において、電圧や電位を V_{REG} 等の記号で示す場合があるが、記号で示された電圧や電位の単位はV(ボルト)であるものとし、単位の表記は省略する。また、以下の説明では、液晶表示装置がノーマリホワイトの液晶表示装置である場合を例にして説明する。

【0035】

[実施の形態1] 図1は、本発明による液晶表示装置用電源回路が適用される液晶表示装置の構成例を示す説明図である。液晶表示装置には、画素毎に、スイッチング素子1と画素電極2が設けられる。本実施の形態では、スイッチング素子1がTFTである場合を例にして説明する。また、画素はマトリクス状に配置されるものとする。画素はマトリクス状に配置されるので、TFT1と画素電極2との組み合わせは、マトリクス状に複数設けられるが、図1ではTFT1および画素電極2を1つだけ示し、他は図示を省略した。また、液晶表示装置には、各画素電極2と対向するコモン電極3が設けられる。本実施の形態では、コモン電極3は1枚であるものとする。なお、コモン電極3および各画素電極2は、透明電極である。コモン電極3と各画素電極2との間に液晶(図示せず)が挟持される。

40

【0036】

TFT1のゲート1_aは、ゲート配線5に接続される。ゲート配線5は、マトリクス状に配置された画素電極の各行毎に設けられる。そして、1行におけるそれぞれのTFTの各ゲート1_aは、その行のゲート配線に接続される。また、各行毎に設けられる各ゲート

50

配線 5 は、それぞれ電位 V_{GH} の出力部（図示せず）または電位 V_{GL} の出力部（図示せず）のいずれかに接続される。なお、選択行のゲート配線は、電位 V_{GH} の出力部（図示せず）に接続され、その後電位 V_{GL} の出力部（図示せず）に接続されるように切り替えられる。また、非選択行のゲート配線は、電位 V_{GL} の出力部（図示せず）に接続される。従って、選択行のゲート配線に接続される各ゲート 1_a の電位は、電位 V_{GH} に設定され、その後、電位 V_{GL} に設定される。また、非選択行のゲート配線に接続される各ゲート 1_a の電位は、電位 V_{GL} に設定される。

【0037】

なお、各ゲート配線を、電位 V_{GH} の出力部（図示せず）または電位 V_{GL} の出力部（図示せず）のいずれかに接続させるようにするためには、各ゲート配線毎にスイッチ（図示せず）を設ければよい。そして、各ゲート配線のスイッチをそれぞれ切り替えることにより、各ゲート配線を電位 V_{GH} の出力部または電位 V_{GL} の出力部に接続させる構成とすればよい。

10

【0038】

TFT1 のソース 1_c は、ソース配線 4 に接続される。ソース配線 4 は、マトリクス状に配置された画素電極の各列毎に設けられる。そして、1 列におけるそれぞれの TFT の各ソース 1_c は、その列のソース配線に接続される。また、各列毎に設けられる各ソース配線 4 は、それぞれ、二種類の所定電位（電位 V_{REG} および電位 V_{SS} ）の電位差を分圧することによって生成される複数の電位に応じた各出力端子のいずれかに接続される。分圧によって生成された複数の電位に応じた各出力端子のうち、どの電位の出力端子に接続されるのかは、画像データおよび極性（正極性駆動か負極性駆動か）に応じて定められる。なお、分圧によって生成される複数の電位の出力部については、図 3 を用いて後述する。

20

【0039】

TFT1 のドレイン 1_b は、画素電極 2 に接続される。選択行のゲート配線の電位が V_{GH} （オン電位）に設定されると、ソース 1_c とドレイン 1_b との間が導通状態になり、画素電極 2 は、ソース配線 4 と等電位になる。また、選択行における各画素に対応する各ソース配線は、選択行における各画素の画像データおよび極性に応じた電位に設定されるので、選択行の各画素電極 2 もその画素の画像データおよび極性に応じた電位になる。また、コモン電極 3 も極性に応じて所定の電位（ V_{comL} または V_{comH} ）に設定される。この結果、選択行の各画素において、画素電極 2 とコモン電極 3 とに挟持された液晶は、画像データに応じた電圧が印加され、画像データに応じた透過率を呈する。また、ゲート配線 5 の電位が V_{GH} から V_{GL} （オフ電位）に切り替えられると、ソース 1_c とドレイン 1_b との間が非導通状態になる（すなわち、ソース配線 4 と画素電極 2 との間が非導通状態になる）。

30

【0040】

次に、本発明による液晶表示装置用電源回路の構成について説明する。なお、背景技術の説明と同様に、正極性駆動（第 1 駆動状態）のときにコモン電極 3 に設定される電位を V_{comL} とし、負極性駆動（第 2 駆動状態）のときにコモン電極 3 に設定される電位を V_{comH} とする。また、電位差を分圧してソース配線に設定する電位を生成するための二種類の所定電位を、それぞれ V_{REG} および V_{SS} とする。ただし、この二種類の所定電位のうち高い方を V_{REG} とし、低い方を V_{SS} とする。

40

【0041】

本発明による液晶表示用電源回路では、電位 V_{REG} と電位 V_{comH} とを等電位とする。そして、一つの電位出力部から出力される電位を V_{REG} （ソース配線に設定する電位を生成するための二種類の所定電位のうちの高い方の電位）として用いるとともに、 V_{comH} （負極性駆動のときにコモン電極 3 に設定される電位）としても用いる。同様に、本発明では、電位 V_{SS} と電位 V_{comL} とを等電位とする。そして、一つの電位出力部から出力される電位を V_{SS} （ソース配線に設定する電位を生成するための二種類の所定電位のうちの低い方の電位）として用いるとともに、 V_{comL} （正極性駆動のときに

50

コモン電極 3 に設定される電位)としても用いる。また、本実施の形態では、電位 V_{SS} は接地電位 (0 V) であるとする。従って、 V_{COML} も接地電位である。

【0042】

図 2 は、本発明による液晶表示用電源回路の構成例を示す説明図である。なお、本実施の形態による液晶表示用電源回路は、二種類の所定電位の電位差を分圧することによって生成される複数の電位の出力部も備えるが、この出力部に関しては図 2 では図示せず、後述の図 3 に示す。

【0043】

図 2 に示すオペアンプ 11 は、ボルテージフォロワ接続されたオペアンプである。オペアンプ 11 の非反転入力端子には、等電位である V_{REG} および V_{COMH} の電位が入力される。以下、この電位を第 1 共通電位と記す。オペアンプ 11 は、ボルテージフォロワ接続されているので、オペアンプ 11 の出力電位は、入力電位と等しい。従って、オペアンプ 11 の出力電位も第 1 共通電位である。すなわち、オペアンプ 11 は、第 1 共通電位の出力部である。オペアンプ 11 の出力端には第 1 共通電位配線 14 が接続され、第 1 共通電位配線 14 の電位はオペアンプ 11 によって第 1 共通電位に設定される。また、オペアンプ 11 の出力端は、第 1 端子 12 に接続される。そして、第 1 端子 12 は、平滑コンデンサ 13 に接続される。すなわち、オペアンプ 11 の出力端は、第 1 端子 12 を介して平滑コンデンサ 13 に接続される。

10

【0044】

平滑コンデンサ 13 の一方の電極は接地され、他方の電極は第 1 端子 12 に接続される。平滑コンデンサ 13 により、オペアンプ 11 の出力電位 (第 1 共通電位) は安定する。

20

【0045】

また、第 2 端子 31 は接地されるとともに、第 2 端子 31 には第 2 共通電位配線 33 が接続される。第 2 端子 31 は、接続されている配線 (第 2 共通電位配線 33) の電位を第 2 共通電位に設定する端子である。すなわち、第 2 端子 31 は、第 2 共通電位配線 33 に対して第 2 共通電位を出力する電位出力部としての役割を果たす。ただし、第 2 共通電位は、等電位である V_{SS} および V_{COML} の電位である。第 1 共通電位および第 2 共通電位は、第 1 共通電位が第 2 共通電位よりも高電位になるように定められる。本実施形態では、第 2 端子 31 は接地されているので、第 2 共通電位は接地電位である。従って、第 2 共通電位配線 33 の電位は、接地電位に設定される。

30

【0046】

なお、第 2 共通電位は接地電位に限定されるわけではない。接地電位以外の電位を第 2 共通電位として出力する場合には、第 2 共通電位を出力するオペアンプ (図示せず) を設け、そのオペアンプの出力端に第 2 共通電位配線 33 を接続する構成とすればよい。また、この場合、オペアンプ 11 と同様に、第 2 共通電位を出力するオペアンプ (図示せず) の出力端を平滑コンデンサ (平滑コンデンサ 13 とは異なる平滑コンデンサ。図示せず) に接続する構成とすればよい。

【0047】

オペアンプ 11 から出力される電位は、負極性駆動のときにコモン電極 3 に設定される電位 V_{COMH} として用いられる。すなわち、負極性駆動のときには、コモン電極 3 は第 1 共通電位配線 14 に接続され、コモン電極 3 の電位は第 1 共通電位に設定される。また、第 2 端子 31 から出力される電位は、正極性駆動のときにコモン電極 3 に設定される電位 V_{COML} として用いられる。すなわち、正極性駆動のときには、コモン電極 3 は第 2 共通電位配線 33 に接続され、コモン電極 3 の電位は第 2 共通電位に設定される。

40

【0048】

また、オペアンプ 11 から出力される第 1 共通電位および第 2 端子 31 から出力される第 2 共通電位は、それぞれ、電位差を分圧してソース配線に設定する電位を生成するための二種類の所定電位として用いられる。図 3 は、二種類の所定電位 (第 1 共通電位である V_{REG} および第 2 共通電位である V_{SS}) の電位差を分圧することによって生成される複数の電位の出力部の例を示す説明図である。図 3 に示す第 1 共通電位配線 14 および第

50

2 共通電位配線 3 3 は、それぞれ図 2 に示す第 1 共通電位配線 1 4 および第 2 共通電位配線 3 3 と同一の配線である。

【 0 0 4 9 】

図 3 に示すように、第 1 共通電位配線 1 4 および第 2 共通電位配線 3 3 には、第 1 出力部 4 1 および第 2 出力部 4 2 が接続される。第 1 出力部 4 1 は、抵抗 5 1 , 5 2 , 5 3 , 5 4 等の複数の抵抗を含む。図 3 に示す例では、一つの抵抗 5 1 の一端が第 1 共通電位配線 1 4 に接続され、別の抵抗 5 4 の一端が第 2 共通電位配線 3 3 に接続されている。第 1 出力部 4 1 は、各抵抗 5 1 , 5 2 , 5 3 , 5 4 等によって、図 2 に示すオペアンプ 1 1 の出力電位である第 1 共通電位 (V_{REG}) と、第 2 端子 3 1 の出力電位である第 2 共通電位 (V_{SS}) との電位差を分圧し、電位 V_{1p} , V_{2p} , \dots , V_{mp} を生成する。複数の抵抗による分圧で電位 V_{1p} , V_{2p} , \dots , V_{mp} となる箇所に、それぞれ電位を出力するための出力端子 41_a , 41_b , \dots , 41_m が設けられる。各電位 V_{1p} , V_{2p} , \dots , V_{mp} は、正極性駆動のときにソース配線に設定される電位である。

10

【 0 0 5 0 】

第 2 出力部 4 2 も、第 1 出力部 4 1 と同様に複数の抵抗 6 1 , 6 2 , 6 3 , 6 4 等を含む。図 3 に示す例では、一つの抵抗 6 1 の一端が第 1 共通電位配線 1 4 に接続され、別の抵抗 6 4 の一端が第 2 共通電位配線 3 3 に接続されている。そして、第 2 出力部 4 2 は、各抵抗 6 1 , 6 2 , 6 3 , 6 4 等によって、オペアンプ 1 1 の出力電位である第 1 共通電位 (V_{REG}) と、第 2 端子 3 1 の出力電位である第 2 共通電位 (V_{SS}) との電位差を分圧し、電位 V_{1n} , V_{2n} , \dots , V_{mn} を生成する。複数の抵抗による分圧で電位 V_{1n} , V_{2n} , \dots , V_{mn} となる箇所に、それぞれ電位を出力するための出力端子 42_a , 42_b , \dots , 42_m が設けられる。各電位 V_{1n} , V_{2n} , \dots , V_{mn} は、負極性駆動のときにソース配線に設定される電位である。

20

【 0 0 5 1 】

なお、第 1 出力部 4 1 において、分圧により生成される電位のうち最も高い電位は V_{1p} であり、 V_{2p} , V_{3p} , \dots の順に電位が低くなるものとし、最も低い電位は V_{mp} であるものとする。同様に、第 2 出力部 4 2 において、分圧により生成される電位のうち最も高い電位は V_{1n} であり、 V_{2n} , V_{3n} , \dots の順に電位が低くなるものとし、最も低い電位は V_{mn} であるものとする。また、第 1 出力部 4 1 や第 2 出力部 4 2 において、分圧により生成される電位の種類は例えば 6 4 種類等とすればよい。ただし、ここに示した値「6 4」は例示であり、分圧により生成される電位の種類は 6 4 種類未満であっても 6 4 種類より多くてもよい。

30

【 0 0 5 2 】

なお、電位 V_{1p} は、電位 V_{COML} との電位差によって正極性駆動のときに黒表示を実現するために用いられる電位である。一方、電位 V_{1n} は、電位 V_{COMH} との電位差によって負極性駆動のときに白表示を実現するために用いられる電位である。また、電位 V_{2p} は、電位 V_{COML} との電位差によって正極性駆動のときに 2 番目に輝度が低い中間調表示を実現するために用いられる電位である。一方、電位 V_{2n} は、電位 V_{COMH} との電位差によって負極性駆動のときに 2 番目に輝度が高い中間調表示を実現するために用いられる電位である。従って、 $V_{1p} = V_{1n}$ や $V_{2p} = V_{2n}$ が成立しているわけではない。他の電位についても同様であり、例えば、 $V_{mp} = V_{mn}$ 等が成立しているわけではない。

40

【 0 0 5 3 】

また、図 3 では、直列に接続された抵抗によって電位 V_{1p} , V_{2p} , \dots , V_{mp} や電位 V_{1n} , V_{2n} , \dots , V_{mn} を生成する場合を示した。所望の電位を生成する場合、直列に接続された抵抗によっていくつかの電位を生成し、その生成した電位同士の電位差をさらに分圧することによって所望の各電位を生成してもよい。例えば、6 4 種類の電位を生成する場合、電位 V_{REG} と電位 V_{SS} との電位差を分圧して、まず 8 種類の電位を生成し、その 8 種類の電位同士の電位差をさらに分圧することによって 6 4 種類の電位を生成するように構成してもよい。

50

【0054】

正極性駆動のときには、選択行の各画素電極に接続されたソース配線は、第1出力部41に含まれる各出力端子 41_a 、 41_b 、 \dots 、 41_m のいずれかに接続され、出力端子に応じた電位に設定される。どの電位の出力端子に接続されるかは、選択行の各画素に対応する画像データに応じて決定される。また、負極性駆動のときには、選択行の各画素電極に接続されたソース配線は、第2出力部42に含まれる各出力端子 42_a 、 42_b 、 \dots 、 42_m のいずれかに接続され、出力端子に応じた電位に設定される。負極性駆動の場合においても、どの電位の出力端子に接続されるかは、選択行の各画素に対応する画像データに応じて決定される。

【0055】

なお、各ソース配線を、出力端子 41_a 、 41_b 、 \dots 、 41_m あるいは出力端子 42_a 、 42_b 、 \dots 、 42_m のいずれかに接続させるようにするためには、各ソース配線毎にスイッチ（図示せず）を設ければよい。そして、各ソース配線のスイッチをそれぞれ切り替えることにより、各ソース配線を図3に示すいずれかの出力端子に接続させる構成とすればよい。

【0056】

また、コモン電極3を、第1共通電位配線14と第2共通電位配線33のいずれかに接続させるようにするためには、コモン電極3から引き出される配線（図示せず）にスイッチ（図示せず）を設ければよい。そして、そのスイッチを切り替えることにより、コモン電極を第1共通電位配線14と第2共通電位配線33のいずれかに接続させる構成とすればよい。

【0057】

図2および図3に示す液晶表示装置用電源回路を用いれば、オペアンプの出力電位のばらつきに起因する従来の問題点を解消することができる。以下、その理由について図4および図5を用いて説明する。ただし、ここでは説明を簡略化するため、フィードスルー電圧は考慮せずに説明する。フィードスルー電圧は、TFT1のソース 1_c およびドレイン 1_b 間を導通状態から非導通状態に切り替えたときにおける画素電極の電位低下量である。すなわち、ゲート配線の電位を V_{GH} から V_{GL} に切り替えるのに伴って低下する画素電極電位の低下量である。

【0058】

図4に示すように、正極性駆動のときには、白表示とする画素の画素電極に接続されるソース配線の電位を V_{mp} に設定することにより、その画素電極の電位を V_{mp} にするものとする。正極性駆動のときのコモン電極3の電位は V_{comL} （第2共通電位）であるので、その画素の液晶に $V_{mp} - V_{comL}$ の電圧が印加され、その画素は白色になる。また、黒表示とする画素の画素電極に接続されるソース配線の電位を V_{1p} に設定することにより、その画素電極の電位を V_{1p} にするものとする。すると、その画素の液晶に $V_{1p} - V_{comL}$ の電圧が印加され、その画素は黒色となる。

【0059】

また、負極性駆動のときには、白表示とする画素の画素電極に接続されるソース配線の電位を V_{1n} に設定することにより、その画素電極の電位を V_{1n} にするものとする。負極性駆動のときのコモン電極3の電位は V_{comH} （第1共通電位）であるので、その画素の液晶に $V_{comH} - V_{1n}$ の電圧が印加され、その画素は白色になる。また、黒表示とする画素の画素電極に接続されるソース配線の電位を V_{mn} に設定することにより、その画素電極の電位を V_{mn} にするものとする。すると、その画素の液晶に $V_{comH} - V_{mn}$ の電圧が印加され、その画素は黒色となる。

【0060】

ここで、正極性駆動のときに白表示とする画素に印加する電圧と、負極性駆動のときに白表示とする画素に印加する電圧とが等しく、また、正極性駆動のときに黒表示とする画素に印加する電圧と、負極性駆動のときに黒表示とする画素に印加する電圧とが等しいものとする。このとき、 $V_{mp} - V_{comL} = V_{comH} - V_{1n}$ および $V_{1p} - V_{comL}$

10

20

30

40

50

$V_{c o m L} = V_{c o m H} - V_{m n}$ が成立する。この理想的な状態における $V_{c o m H}$ (第1共通電位) と $V_{c o m L}$ (第2共通電位) との中間電位が $V_{c e n t}$ である。

【0061】

複数の液晶表示装置用電源回路を製造したときに、図2に示すオペアンプ11の出力電位にばらつきが生じたとする。そして、ある液晶表示装置用電源回路では、図4に示す場合に比べて第1共通電位が低下したとする。図5は、このときの状態を示す。オペアンプ11が出力する第1共通電位が低下すると、負極性駆動のときにコモン電極に設定される電位 $V_{c o m H}$ が低下し、 $V_{c o m H}$ と $V_{c o m L}$ の中間電位も低下する。また、分圧により $V_{1 p} \sim V_{m p}$ および $V_{1 n} \sim V_{m n}$ を生成するための電位 $V_{R E G}$ も低下する。ただし、電位 $V_{c o m H}$ および電位 $V_{R E G}$ は、同一のオペアンプ11から出力される等しい電位であるので、 $V_{c o m H} = V_{R E G}$ という関係は保たれる。また、 $V_{c o m L} = V_{S S}$ という関係も保たれる。

10

【0062】

また、図4に示す場合に比べ電位 $V_{R E G}$ が低下すると、 $V_{R E G}$ と $V_{1 p}$ の電位差、 $V_{1 p}$ と $V_{2 p}$ の電位差、 \dots 、 $V_{m p}$ と $V_{S S}$ の電位差もそれぞれ低下する。同様に、 $V_{R E G}$ と $V_{1 n}$ の電位差、 $V_{1 n}$ と $V_{2 n}$ の電位差、 \dots 、 $V_{m n}$ と $V_{S S}$ の電位差もそれぞれ低下する。この場合、 $V_{c o m H} - V_{1 n}$ が低下すると、同様に $V_{m p} - V_{c o m L}$ も低下する。また、 $V_{c o m H} - V_{m n}$ が低下すると、同様に $V_{1 p} - V_{c o m L}$ も低下する。この結果、 $V_{m p} - V_{c o m L} = V_{c o m H} - V_{1 n}$ および $V_{1 p} - V_{c o m L} = V_{c o m H} - V_{m n}$ という関係は保たれる。

20

【0063】

従って、オペアンプ11の出力電位にばらつきにより第1共通電位が低下したとしても、正極性駆動のときに白表示とする画素に印加する電圧と、負極性駆動のときに白表示とする画素に印加する電圧とが等しく、また、正極性駆動のときに黒表示とする画素に印加する電圧と、負極性駆動のときに黒表示とする画素に印加する電圧とが等しいという関係は保たれる。従って、図5における $V_{c o m H}$ と $V_{c o m L}$ との中間電位は、図4に示す $V_{c e n t}$ より低くなるものの、理想的な状態における中間電位であるといえる。よって、フリッカや横方向の筋が観察されてしまうという現象は発生しない。

【0064】

ここでは、第1共通電位が低下する場合を例に説明したが、オペアンプ11の出力電位のばらつきにより第1共通電位が上昇する場合であっても、正極性駆動のときに白表示とする画素に印加する電圧と、負極性駆動のときに白表示とする画素に印加する電圧とが等しく、また、正極性駆動のときに黒表示とする画素に印加する電圧と、負極性駆動のときに黒表示とする画素に印加する電圧とが等しいという関係は保たれる。

30

【0065】

また、本実施の形態では、接地電位を第2共通電位としているので、複数の液晶表示装置用電源回路毎に、第2端子31が出力する第2共通電位がばらつくということはない。

【0066】

また、既に説明したように、第2共通電位を出力するオペアンプ(図示せず。)を設け、そのオペアンプの出力端に第2共通電位配線33を接続する構成としてもよい。この場合、オペアンプの出力電位のばらつきにより、第2共通電位がばらつくことが生じ得る。しかし、図4および図5を用いて説明した理由と同様の理由により、正極性駆動のときに白表示とする画素に印加する電圧と、負極性駆動のときに白表示とする画素に印加する電圧とが等しく、また、正極性駆動のときに黒表示とする画素に印加する電圧と、負極性駆動のときに黒表示とする画素に印加する電圧とが等しいという関係は保たれる。よって、フリッカや横方向の筋が観察されてしまうという現象は発生しない。

40

【0067】

また、本発明によれば、電位 $V_{R E G}$ と電位 $V_{c o m H}$ とを等電位とし、この各電位を一つのオペアンプ11から出力している。同様に、電位 $V_{S S}$ と電位 $V_{c o m L}$ とを等電位とし、この各電位を一つの電位出力部(第2端子31)から出力している。従って、図

50

11に示す従来の構成に比べて、オペアンプや端子の数を削減することができる。また、オペアンプ数の削減に伴い、平滑コンデンサの数も削減することができる。このように本発明では部品点数を少なくすることができる。

【0068】

以上の説明ではフィードスルー電圧を考慮せずに説明した。実際には、フィードスルー電圧が生じる。すなわち、ソース1_cとドレイン1_b(図1参照)との間を導通状態から非導通状態に切り替えたとき(ゲート1_aの電位をV_{G_H}からV_{G_L}に切り替えたとき)、TFT1に接続されている画素電極の電位は若干低下する。この低下量がフィードスルー電圧である。フィードスルー電圧は、一般に0.2V~1Vである。以下、第1の実施の形態における、フィードスルー電圧を考慮した場合の電位V_{m_p}(第1出力部41内の抵抗51~54等による分圧で生成される電位のうち最も低い電位)と第2共通電位との電位差について説明する。電位V_{m_p}と第2共通電位との電位差をV_jとする。フィードスルー電圧を考慮した場合、電位差V_jは以下の式を満足するように定める。

10

【0069】

$$V_j = V_k + 2 \cdot V_f \quad (\text{式1})$$

【0070】

ただし、V_kは、電位V_{1_n}(第2出力部42内の抵抗61~64等による分圧で生成される電位のうち最も高い電位)と第1共通電位との電位差である。また、V_fはフィードスルー電圧である。

【0071】

図6は、電位差V_jを、上記の式を満足するように定める理由を示す説明図である。ソース1_cとドレイン1_bとの間が導通状態のとき、電位がV_{1_n}であるソース配線に接続されている画素電極の電位はV_{1_n}である。負極性駆動のときに、この画素電極電位V_{1_n}とコモン電極3の電位V_{c_{o_m_H}との電位差V_kを画素に印加して白表示を行うとする。ゲート1_aの電位をV_{G_H}からV_{G_L}に切り替えて、ソース1_cとドレイン1_bとの間を非導通状態に切り替えたとき、画素電極の電位はV_{1_n}からフィードスルー電圧分だけ低下し、V_{1_n'}になる。このとき、画素電極の電位はV_f低下しているので、画素電極の電位V_{1_n'}とコモン電極3の電位V_{c_{o_m_H}との電位差は、V_k+V_fになる。従って、実際には、画素電極とコモン電極とに挟持される液晶にV_k+V_fの電圧が印加されて、その画素は白色になる。}}

20

30

【0072】

また、ソース1_cとドレイン1_bとの間が導通状態のとき、電位がV_{m_p}であるソース配線に接続されている画素電極の電位はV_{m_p}である。正極性駆動のときに、この画素電極電位V_{m_p}とコモン電極3の電位V_{c_{o_m_L}との電位差V_jを画素に印加して白表示を行うとする。ゲート1_aの電位をV_{G_H}からV_{G_L}に切り替えて、ソース1_cとドレイン1_bとの間を非導通状態に切り替えたとき、画素電極の電位はV_{m_p}からフィードスルー電圧分だけ低下し、V_{m_p'}になる。このとき、画素電極の電位はV_f低下しているので、画素電極の電位V_{m_p'}とコモン電極3の電位V_{c_{o_m_L}との電位差は、V_j-V_fになる。従って、実際には、画素電極とコモン電極とに挟持される液晶にV_j-V_fの電圧が印加されて、その画素は白色になる。}}

40

【0073】

また、正極性駆動のときと負極性駆動のときとで、画素を白色にするために液晶に印加する電圧は等しくなければならないので、V_k+V_f=V_j-V_fという条件を満足していなければならない。この条件より、上記の式1が導出される。

【0074】

式1の条件を満足する電位差V_jを実現するように電位V_{m_p}を生成することによって、フィードスルー電圧が生じる場合であっても、正極性駆動のときと負極性駆動のときとで、画素を白色にするために液晶に印加する電圧を等しくすることができる。

【0075】

なお、式1の条件を満足させることによって、正極性駆動のときと負極性駆動のときと

50

で、画素を白色にするために液晶に印加する電圧を等しくするためには、本実施の形態のように、 $V_{c.o.m.H} = V_{R.E.G}$ および $V_{c.o.m.L} = V_{S.S}$ であることを前提とする。

【0076】

第1の実施の形態において、正極性駆動が第1駆動状態に相当し、負極性駆動が第2駆動状態に相当する。また、オペアンプ11が高電位出力部に相当し、第2端子31が低電位出力部に相当する。また、第1出力部41に含まれる複数の抵抗51, 52, 53, 54等が第1の抵抗群に相当し、第2出力部42に含まれる複数の抵抗61, 62, 63, 64等が第2の抵抗群に相当する。

【0077】

[実施の形態2] 第2の実施の形態では、第1の実施の形態と同様に、電位 $V_{R.E.G}$ と電位 $V_{c.o.m.H}$ とを等電位とし、共通のオペアンプから出力する。ただし、電位 $V_{S.S}$ と電位 $V_{c.o.m.L}$ は、別々の電位出力部から出力する。図7は、第2の実施の形態における液晶表示装置用電源回路の構成例を示す説明図である。なお、図2に示す構成部と同様の構成部については、図2と同一の符号を付し、説明を省略する。ただし、以下の説明では、オペアンプ11の出力端に接続される配線14を、共通電位配線14と記すことにする。また、オペアンプ11が共通電位配線14に設定する電位を共通電位と記すことにする。

10

【0078】

図7に示すオペアンプ21は、オペアンプ11と同様に、ボルテージフォロワ接続されたオペアンプである。オペアンプ21の非反転入力端子には、正極性駆動のときにコモン電極3(図1参照)に設定される電位である $V_{c.o.m.L}$ が入力される。オペアンプ21は、ボルテージフォロワ接続されているので、オペアンプ21の出力電位も $V_{c.o.m.L}$ となる。すなわち、オペアンプ21は、電位 $V_{c.o.m.L}$ の出力部である。オペアンプ21の出力端には $V_{c.o.m.L}$ 配線24が接続され、 $V_{c.o.m.L}$ 配線24の電位はオペアンプ21によって $V_{c.o.m.L}$ に設定される。また、オペアンプ21の出力端は、第2端子22に接続される。そして、第2端子22は、平滑コンデンサ23に接続される。すなわち、オペアンプ21の出力端は、第2端子22を介して平滑コンデンサ23に接続される。

20

【0079】

平滑コンデンサ23の一方の電極は接地され、他方の電極は第2端子22に接続される。平滑コンデンサ23により、オペアンプ21の出力電位 $V_{c.o.m.L}$ は安定する。

【0080】

また、第3端子44は接地されるとともに、第3端子44には $V_{S.S}$ 配線43が接続される。第3端子44は、接続されている配線($V_{S.S}$ 配線43)の電位を $V_{S.S}$ に設定する端子である。すなわち、第3端子44は、 $V_{S.S}$ 配線43に対して電位 $V_{S.S}$ を出力する電位出力部としての役割を果たす。本実施形態では、第3端子44は接地されているので、電位 $V_{S.S}$ は接地電位である。従って、 $V_{S.S}$ 配線43の電位は、接地電位に設定される。

30

【0081】

オペアンプ21から出力される電位は、正極性駆動のときにコモン電極3に設定される電位 $V_{c.o.m.L}$ として用いられる。すなわち、正極性駆動のときには、コモン電極3は $V_{c.o.m.L}$ 配線24に接続され、コモン電極3の電位は $V_{c.o.m.L}$ に設定される。

40

【0082】

また、オペアンプ11から出力される共通電位および第3端子44から出力される電位 $V_{S.S}$ は、それぞれ、電位差を分圧してソース配線に設定する電位を生成するための二種類の所定電位として用いられる。また、共通電位と電位 $V_{S.S}$ との電位差を分圧して $V_{1p} \sim V_{mp}$ および $V_{1n} \sim V_{mn}$ を生成する出力部の構成は、図3に例示する構成と同様である。ただし、第1出力部41および第2出力部42は、図3に示す第2共通電位配線33ではなく、 $V_{S.S}$ 配線43に接続される。

【0083】

本実施の形態による液晶表示装置用電源回路を用いれば、オペアンプの出力電位のばらつきに起因する従来の問題の発生を軽減することができる。以下、その理由を図8および

50

図 9 を用いて説明する。ただし、ここでは説明を簡略化するため、フィードスルー電圧は考慮せずに説明する。

【 0 0 8 4 】

図 8 に示すように、正極性駆動のときには、白表示とする画素の画素電極に接続されるソース配線の電位を $V_{m p}$ に設定することにより、その画素電極の電位を $V_{m p}$ にするものとする。正極性駆動のときのコモン電極 3 の電位は $V_{c o m L}$ であるので、その画素の液晶に $V_{m p} - V_{c o m L}$ の電圧が印加され、その画素は白色となる。また、黒表示とする画素の画素電極に接続されるソース配線の電位を $V_{1 p}$ に設定することにより、その画素電極の電位を $V_{1 p}$ にするものとする。すると、その画素の液晶に $V_{1 p} - V_{c o m L}$ の電圧が印加され、その画素は黒色となる。

10

【 0 0 8 5 】

また、負極性駆動のときには、白表示とする画素の画素電極に接続されるソース配線の電位を $V_{1 n}$ に設定することにより、その画素電極の電位を $V_{1 n}$ にするものとする。負極性駆動のときのコモン電極 3 の電位は $V_{c o m H}$ であるので、その画素の液晶に $V_{c o m H} - V_{1 n}$ の電圧が印加され、その画素は白色となる。また、黒表示とする画素の画素電極に接続されるソース配線の電位を $V_{m n}$ に設定することにより、その画素電極の電位を $V_{m n}$ にするものとする。すると、その画素の液晶に $V_{c o m H} - V_{m n}$ の電圧が印加され、その画素は黒色となる。

【 0 0 8 6 】

ここで、正極性駆動のときに白表示とする画素に印加する電圧と、負極性駆動のときに白表示とする画素に印加する電圧とが等しく、また、正極性駆動のときに黒表示とする画素に印加する電圧と、負極性駆動のときに黒表示とする画素に印加する電圧とが等しいものとする。このとき、 $V_{m p} - V_{c o m L} = V_{c o m H} - V_{1 n}$ および $V_{1 p} - V_{c o m L} = V_{c o m H} - V_{m n}$ が成立する。この理想的な状態における $V_{c o m H}$ (共通電位) と $V_{c o m L}$ との中間電位が $V_{c e n t}$ である。

20

【 0 0 8 7 】

複数の液晶表示装置用電源回路を製造したときに、図 7 に示すオペアンプ 11 の出力電位にばらつきが生じたとする。そして、ある液晶表示装置では、図 8 に示す場合に比べて共通電位が低下したとする。図 9 は、このときの状態を示す。オペアンプ 11 が出力する共通電位が低下すると、負極性駆動のときにコモン電極に設定される電位 $V_{c o m H}$ が低下し、 $V_{c o m H}$ と $V_{c o m L}$ の中間電位も低下する。また、分圧により $V_{1 p} \sim V_{m p}$ および $V_{1 n} \sim V_{m n}$ を生成するための電位 $V_{R E G}$ も低下する。図 8 に示す場合に比べて電位 $V_{R E G}$ が低下すると、 $V_{R E G}$ と $V_{1 p}$ の電位差、 $V_{1 p}$ と $V_{2 p}$ の電位差、 \dots 、および $V_{m p}$ と $V_{S S}$ の電位差もそれぞれ低下する。同様に、 $V_{R E G}$ と $V_{1 n}$ の電位差、 $V_{1 n}$ と $V_{2 n}$ の電位差、 \dots 、 $V_{m n}$ と $V_{S S}$ の電位差もそれぞれ低下する。

30

【 0 0 8 8 】

すなわち、図 9 に示す場合では、電位差 $V_{c o m H} - V_{1 n}$ および $V_{c o m H} - V_{m n}$ は、それぞれ図 8 に示す場合よりも低下する。また、電位 $V_{S S}$ は一定で、 $V_{m p}$ と $V_{S S}$ の電位差が低下するので、 $V_{m p} - V_{c o m L}$ も低下する。同様に、 $V_{S S}$ は一定で、 $V_{1 p}$ と $V_{S S}$ との電位差も低下することになるので、 $V_{1 p} - V_{c o m L}$ も低下する。

40

【 0 0 8 9 】

よって、共通電位のばらつきにより電位差 $V_{c o m H} - V_{1 n}$ および $V_{c o m H} - V_{m n}$ が図 8 に示す場合よりも低下したときには、電位差 $V_{m p} - V_{c o m L}$ および $V_{1 p} - V_{c o m L}$ も低下する。このように、電位差 $V_{c o m H} - V_{1 n}$ や $V_{c o m H} - V_{m n}$ だけが低下するのではなく、電位差 $V_{m p} - V_{c o m L}$ や $V_{1 p} - V_{c o m L}$ も低下する。この結果、 $V_{c o m H}$ と $V_{c o m L}$ の中間値は理想的な中間値 $V_{c e n t}$ からずれるものの、 $V_{m p} - V_{c o m L}$ 、 $V_{c o m H} - V_{1 n}$ および $V_{1 p} - V_{c o m L}$ 、 $V_{c o m H} - V_{m n}$ という理想的な状態に近い状態は維持できる。換言すると、 $V_{c o m H}$ と $V_{c o m L}$ の中間電位は、理想的な中間電位 $V_{c e n t}$ からあまりずれない。 $V_{c o m H}$ と $V_{c o$

50

m_L の中間電位と理想的な中間電位 V_{cent} とのずれが少ないので、フリッカや横方向の筋が観察されてしまうという現象も発生しにくい。

【0090】

ここでは、共通電位が低下する場合を例に説明したが、オペアンプ11の出力電位のばらつきにより共通電位が上昇する場合であっても、 V_{comH} と V_{comL} の中間電位と理想的な中間電位 V_{cent} とのずれは少ない。

【0091】

なお、図11に示す従来の構成では、オペアンプ111の出力電位がばらついたときに $V_{1p} \sim V_{mp}$ および $V_{1n} \sim V_{mn}$ の各電位は V_{comH} とともに変動しないため、 $V_{comH} - V_{1n}$ や $V_{comH} - V_{mn}$ が変動しても、 $V_{mp} - V_{comL}$ や $V_{1p} - V_{comL}$ は変動しない。従って、第2の実施の形態のように、 $V_{mp} - V_{comL}$ 、 $V_{comH} - V_{1n}$ および $V_{1p} - V_{comL}$ 、 $V_{comH} - V_{mn}$ という理想的な状態に近い状態を維持できない。図11に示す従来の構成で、オペアンプ101の出力電位 V_{REG} がばらついたときも同様である。すなわち、第2の実施の形態のように、理想的な状態に近い状態を維持できない。

10

【0092】

また、第2の実施の形態では、電位 V_{REG} と電位 V_{comH} とを等電位とし、この各電位を一つのオペアンプ11から出力している。従って、図11に示す従来の構成に比べて、オペアンプや端子の数を削減することができる。また、オペアンプ数の削減に伴い、平滑コンデンサの数も削減することができる。このように本発明では部品点数を少なくすることができる。

20

【0093】

第2の実施の形態において、正極性駆動が第1駆動状態に相当し、負極性駆動が第2駆動状態に相当する。また、オペアンプ11が高電位出力部に相当する。

【0094】

以上の説明では、液晶表示装置がノーマリホワイトの液晶表示装置である場合を例に説明した。本発明による液晶表示装置用電源回路は、ノーマリブラックの液晶表示装置に適用されてもよい。

【図面の簡単な説明】

【0095】

【図1】本発明による液晶表示装置用電源回路が適用される液晶表示装置の構成例を示す説明図。

30

【図2】本発明による液晶表示用電源回路の構成例を示す説明図。

【図3】二種類の所定電位の電位差を分圧することによって生成される複数の電位の出力部の例を示す説明図。

【図4】オペアンプの出力電位のばらつきに起因する従来の問題点を解消することができることを示す説明図。

【図5】オペアンプの出力電位のばらつきに起因する従来の問題点を解消することができることを示す説明図。

【図6】電位差 V_j を $V_j = V_k + 2 \cdot V_f$ を満足するように定める理由を示す説明図。

40

【図7】第2の実施の形態における液晶表示装置用電源回路の構成例を示す説明図。

【図8】オペアンプの出力電位のばらつきに起因する従来の問題点を軽減することができることを示す説明図。

【図9】オペアンプの出力電位のばらつきに起因する従来の問題点を軽減することができることを示す説明図。

【図10】TFT液晶表示装置の駆動に用いられていた各電位の高低関係の例を示す説明図。

【図11】従来の液晶表示装置用電源回路の構成例を示す説明図。

【図12】コモン電極および画素電極に設定される理想的な電位の一例を示す説明図。

【図13】オペアンプの出力電位のばらつきにより電位 V_{comH} が理想的な状態よりも

50

低下した状態を示す説明図。

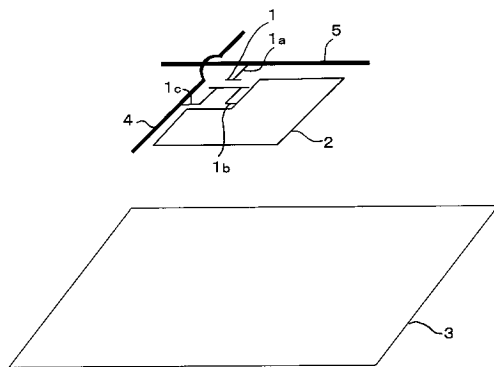
【図14】電位 V_{comH} のばらつきを調整する方法の一例を示す説明図。

【符号の説明】

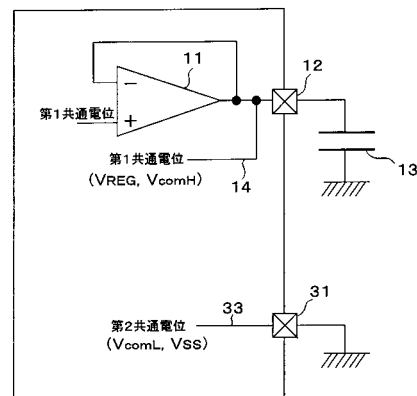
【0096】

- 11 オペアンプ
- 12 第1端子
- 13 平滑コンデンサ
- 14 第1共通電位配線
- 31 第2端子
- 33 第2共通電位配線

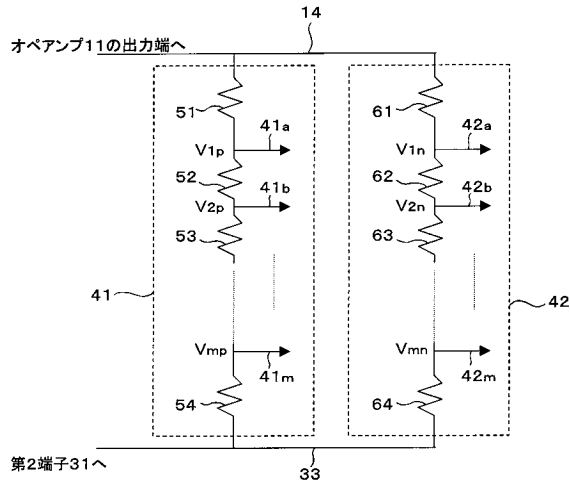
【図1】



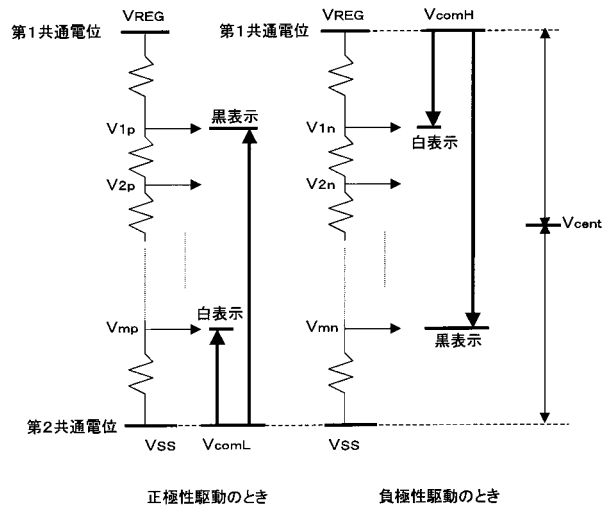
【図2】



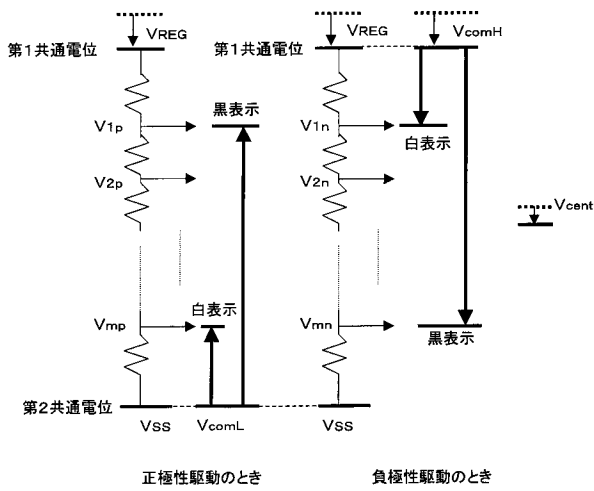
【 図 3 】



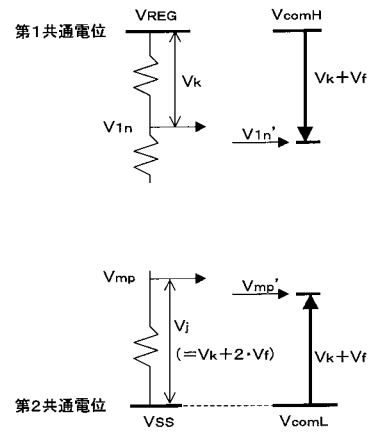
【 図 4 】



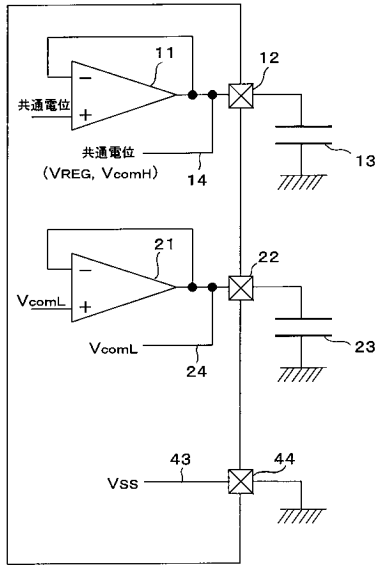
【 図 5 】



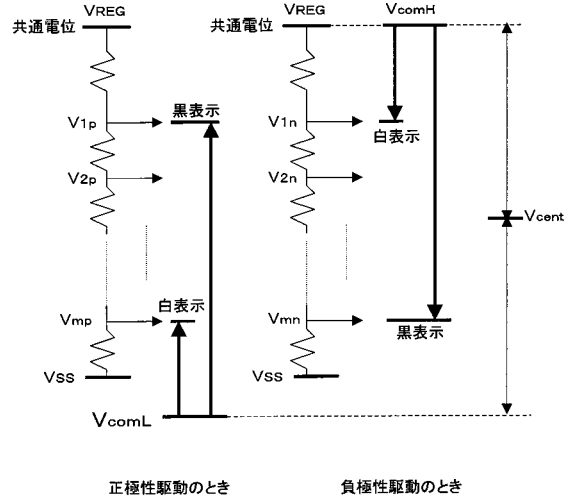
【 図 6 】



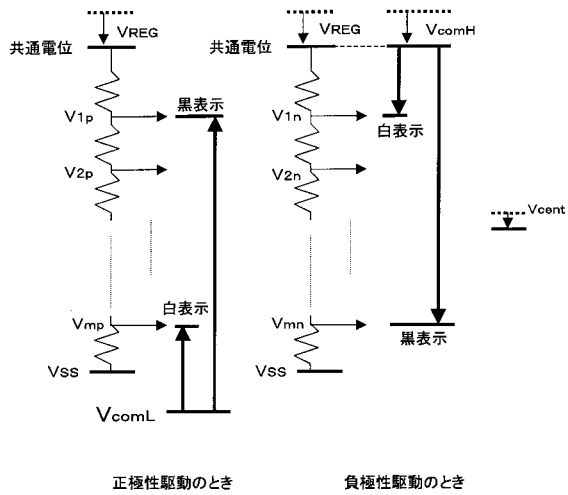
【 図 7 】



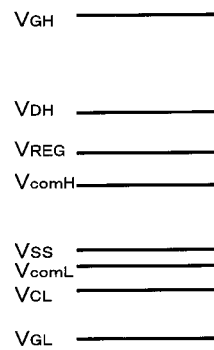
【 図 8 】



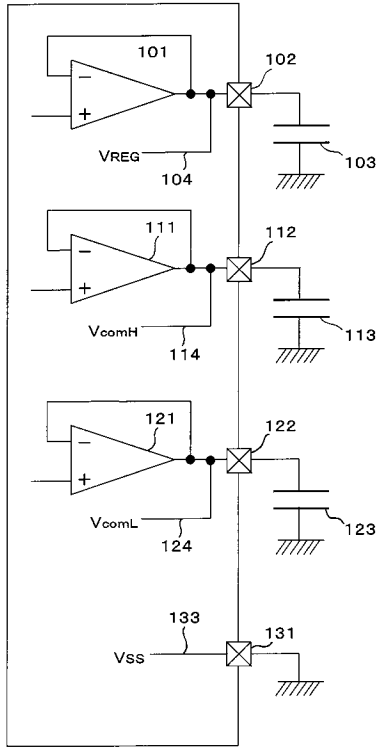
【 図 9 】



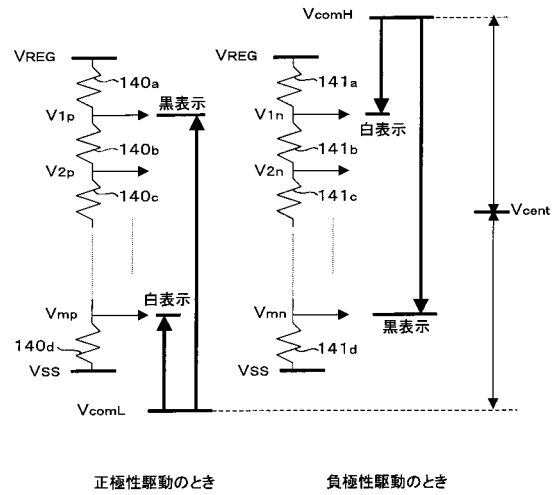
【 図 10 】



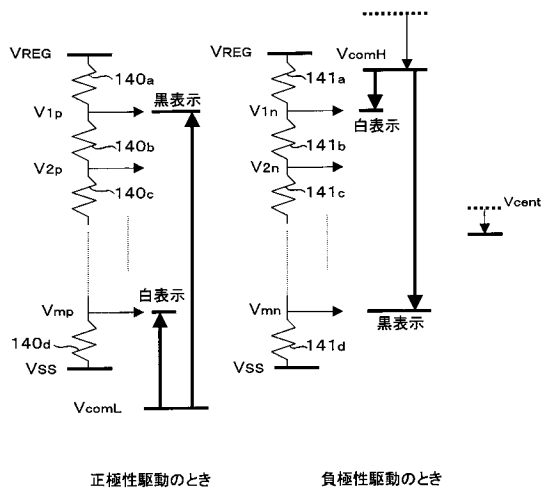
【 図 1 1 】



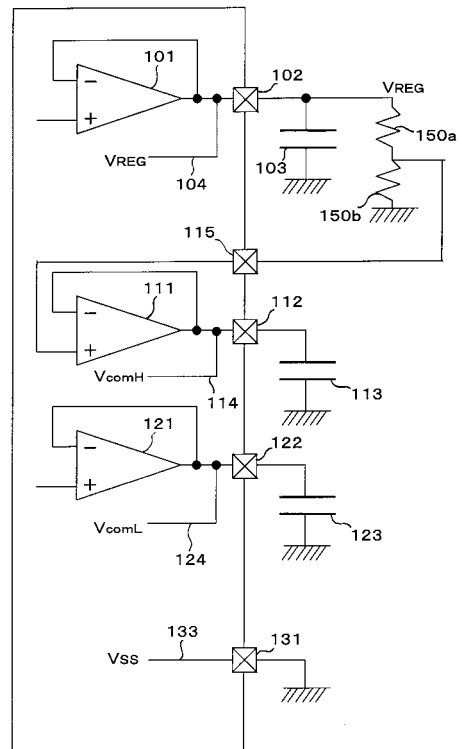
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G 3/20 6 1 2 E

G 0 9 G 3/20 6 1 2 F

G 0 9 G 3/20 6 2 4 C

Fターム(参考) 5C080 AA10 BB05 DD06 DD22 FF03 FF11 JJ03

专利名称(译)	液晶表示装置用电源回路		
公开(公告)号	JP2005316137A	公开(公告)日	2005-11-10
申请号	JP2004134106	申请日	2004-04-28
申请(专利权)人(译)	光王公司		
[标]发明人	一色真誠		
发明人	一色 真誠		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.520 G02F1/133.525 G02F1/133.550 G09G3/20.611.E G09G3/20.612.E G09G3/20.612.F G09G3/20.624.C		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NC03 2H093/NC18 2H093/NC21 2H093/NC34 2H093/NC49 2H093/NC65 2H093/ND35 2H093/ND49 2H093/ND58 2H093/NE03 5C006/AC25 5C006/BB16 5C006/BC06 5C006/BF25 5C006/BF42 5C006/BF43 5C006/FA23 5C006/FA43 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD22 5C080/FF03 5C080/FF11 5C080/JJ03 2H193/ZA04 2H193/ZF03 2H193/ZF59 2H193/ZH40 2H193/ZP03		
代理人(译)	岩冬树 盐川正人		
外部链接	Espacenet		

摘要(译)

本发明的目的是防止VcomH和V comL之间的中间电势偏离理想的中间电势，并且减少用于液晶显示装置的电源电路的部件数量。 解决方案：在正向驱动期间设置到公共电极的电势为V comL，在负向驱动期间设置到公共电极的电势为V comH。 此外，用于划分电势差以产生在源极布线中设置的电势的两种预定电势分别是V REG和V SS。 此时，V REG和V comH是相等的电位，并且从一个电位输出单元输出公共电位。 此外，将V SS和V comL 设置为相等的电位，并且从一个电位输出单元输出公共电位。 [选择图]图4

